

論文2003-40SD-4-1

회로 시뮬레이션을 위한 단일전자 트랜지스터의 과도전류 모델링 (Transient Modeling of Single-Electron Transistors for Circuit Simulation)

柳 允 燮 *, 金 相 勳 *

(YunSeop Yu and Sang-Hoon Kim)

요 약

본 논문에서는 과도상태 회로 시뮬레이션에서 각각의 단일전자 트랜지스터 (Single electron transistor: SET)가 독립적으로 다루어질 수 있는 영역을 체계적으로 조사했다. Interconnection 정전용량이 충분히 큰 회로의 과도상태 시뮬레이션에서도 정상상태 경우와 마찬가지로 각각의 SET가 독립적으로 다루어질 수 있음을 찾았다. 그러나, 각각의 SET들이 서로 독립적으로 다루어질 수 있는 interconnection의 부하정전용량은 정상상태보다 약 10배 정도 크다. 이런 조건에서 SPICE에 적용 가능한 단일전자 트랜지스터 (Single electron transistor: SET)의 과도상태 compact 모델을 제시한다. 이 모델은 SPICE main routine의 admittance 행렬과 전류 행렬 구성 요소를 효율적으로 만들기 위해 새롭게 개발된 등가회로 접근방식에 기초한다. 과도상태 모델은 전자우물 안의 전자 개수를 정확히 계산하기 위해서 시변 master 방정식 solver를 각각 포함한다. 이 모델을 이용해서 단일전자 회로 및 단일전자 소자/회로와 CMOS 회로가 결합한 SET/CMOS hybrid 회로를 성공적으로 계산했다. SPICE에 적용된 기존의 시뮬레이터의 결과와 비교해서 상당히 일치하며 CPU 계산 시간도 더 짧아짐을 보인다.

Abstract

In this study, a regime where independent treatment of SETs in transient simulations is valid has been identified quantitatively. It is found that as in the steady-state case, each SET can be treated independently even in the transient case when the interconnection capacitance is large enough. However, the value of the load capacitance C_L of the interconnections for the independent treatment of SETs is approximately 10 times larger than that of the steady state case. A compact SET transient model is developed for transient circuit simulation by SPICE. The developed model is based on a linearized equivalent circuit and the solution of master equation is done by the programming capabilities of the SmartSpice. Exact delineation of several simulation time scales and the physics-based compact model make it possible to accurately simulate hybrid circuits in the time scales down to several tens of pico seconds. The simulation time is also shown to depend on the complexity level of the transient model.

Keywords : 단일전자 트랜지스터, SPICE, 과도전류, 등가회로, hybrid 회로

* 正會員, 韓京大學校 情報制御工學科

(Department of Information & Control Engineering,
Hankyong National University)

接受日字:2002年12月13日, 수정완료일:2003年4月4日

I. 서 론

단일전자 트랜지스터 (single electron transistor: SET)는 저전력, 초고속, 초고집적이라는 장점을 가지고 있어서 기존의 Si VLSI 기술을 가진 미래의 메모리^[1~3]

및 논리 회로^[4-6]에 적용과 기본적인 물리적 현상에 대한 큰 관심이 증대되고 있다. 특히, Si 나노 소자들의 제작 기술의 발전으로 단일전자 회로의 실현이 가속화되었다^[1-6]. 단일전자 트랜지스터 회로의 고유한 저출력 신호를 증폭하기 위해서 기존의 CMOS 회로들이 단일 전자 메모리 배열^[2]과 논리 회로^[7]의 외부 회로로 사용된다. 그러므로 직류와 과도상태 경우에 단일전자 회로와 CMOS 회로로 구성된 SET/CMOS hybrid 회로들의 성능을 예측할 수 있는 시뮬레이션 기술이 요구된다.

단일전자 회로는 회로 안의 터널접합을 통한 전자들의 확률적인 터널링에 의해 특성화된다. 그러므로 모든 전자우물 안의 전자 분포의 확률을 정확히 계산해야 한다. 이 계산은 회로 안의 모든 가능한 전자들의 터널링을 고려하는 master 방정식의 해를 구하는 것과 같다^[8]. 잘 알려진 단일전자 시뮬레이터인 MOSES^[9]와 SIMON^[10]은 전자우물 안의 평균 전자 개수를 구하기 위해서 Monte-Carlo 방법을 사용한다. 다른 시뮬레이터인 SENECA^[11]는 전자우물 안의 전자 개수의 확률을 구하기 위해서 master 방정식을 직접 계산한다. 이들 시뮬레이터는 정확한 시뮬레이션 결과를 제공하나 회로 내부의 모든 전자우물 안의 전자들의 변화를 고려해야 하기 때문에 매우 큰 행렬 계산을 해야 한다.

이들 시뮬레이터들은 CMOS 회로를 포함해서 계산하기 어렵기 때문에 단일전자 회로와 CMOS 회로가 구성된 SET/CMOS hybrid 회로의 성능을 예측할 수 없다. 한편, 잘 알려진 회로 시뮬레이터인 SPICE^[12]는 SET 회로를 계산할 능력을 가지지 못한다. 더 중요하게, SPICE에서 소자가 적용되기 위해서 필요한 기본 가정은 소자의 전류-전압 특성은 단지 단자 전압의 변화를 통해서만 이웃하는 소자에 영향을 받는다는 것이다. 단일전자 소자를 가진 회로는 서로 이웃하는 소자끼리 단자 전압뿐만 아니라 전자우물의 전자분포에 따라서 영향을 받으므로 SPICE의 기본 가정과는 반대된다. 최근에 단일전자 소자끼리 연결된 interconnection의 크기가 충분히 크면 각 전자우물들이 독립적으로 다뤄져서 단일전자 소자들간의 전류-전압 특성이 독립적으로 된다는 것을 보였다^[13]. 또한, 단일전자 회로의 SPICE 시뮬레이션이 SPICE macro-modeling에 의해서 가능하다는 것을 보였다. 그러나, 이 모델은 정상상태의 시뮬레이션으로 한정되므로 과도상태에 적용 가능하지는 명확하지 않다.

다른 SET/CMOS hybrid 회로 시뮬레이터인 SET-SPICE^[14]와 CAMSET^[15]이 개발되었다. 그 모델들은 SET를 black-box로 고려해서 그 black-box의 상태는 주어진 바이어스 조건에서 정상상태^[14]와 시변^[15] master 방정식을 계산하는 것에 의해서 결정된다. 이들 master 방정식의 해를 SmartSpice^[16]의 프로그래밍 기법으로 SmartSpice에 삽입했다. 이들 시뮬레이터들은 정상상태 모델링으로도 거의 정확히 시뮬레이션 가능한 마이크로 초 (μsec)의 시간에서 SET 회로의 과도상태 특성을 성공적으로 예측했다. 이들 시뮬레이터의 기본 가정도 각 SET를 독립적으로 다루는 macro-modeling의 가정과 일치한다. 그러나 과도상태 해석에서 각 SET들이 독립적으로 다룰 수 있는 조건이 아직까지 확실히 알려지지 않았다. 이 논문의 첫 번째 목적은 과도상태에서 각 SET들이 독립적으로 다뤄질 수 있는 정량적인 조건을 체계적으로 조사하는 것이다. 그 조건 안에서 정상상태 macro-modeling과 비슷한 절차가 과도 상태에도 적용될 수 있음을 보인다. II장에서는 과도 상태에서 단일전자 소자들의 전류-전압 특성이 서로 독립적으로 될 수 있는 interconnection의 부하 정전용량 (load capacitance)의 크기를 단일전자 인버터 회로를 이용해서 자세히 조사할 것이다. 이 조건에서 단일전자 트랜지스터들로 구성된 회로의 과도상태 특성을 효율적으로 시뮬레이션할 수 있다. III장에서는 과도상태 단일전자 트랜지스터의 선형화된 등가회로 모델과 비교적 정확한 등가회로 구성요소 계산을 소개한다. IV장은 III장에서 제안한 과도상태 모델을 수정한 dc 모델을 소개한다. V장은 여러가지 단일전자 회로 및 SET/CMOS hybrid 회로 예들의 시뮬레이션 결과를 소개한다. 기존의 SPICE에 적용된 단일전자 트랜지스터 모델과 KOSEC-SPICE와의 성능을 정량적으로 비교한다.

II. 과도상태에서 compact model 적용 가능한 영역

<그림 2>는 <그림 1>에 보여진 SET의 과도상태 시뮬레이션을 보인다. 드레인-소스 전압 $V_{ds} = 0.1$ V이고 상승 시간 $t_r = 10$ psec에서 게이트-소스 전압 V_{gs} 이 0에서 0.1 V까지 선형적으로 증가할 때 V_{gs} 의 함수로써 드레인 전류 I_d 를 보인다. 시변 master 방정식이 수치해석적으로 풀어진다^[11]. t_r 을 10개의 표본 시

간 간격 (sampling time interval) $t_s = 1$ psec으로 균일하게 나뉜다. t_s 는 Δt 의 간격으로 나뉜다. 초기 조건으로 $t = qt_s$ 에서 전자우물의 전자분포와 바이어스를 사용해서 $t = (q+1)t_s$ (여기서 $q = 1, 2, 3, \dots$)에서 master 방정식의 해를 계산하는데 유한차분법 (finite difference method)이 사용된다. <그림 2>는 4개 다른 Δt 의 시뮬레이션 결과를 나타낸다. $\Delta t = 0.05$ 와 0.1 psec의 결과는 서로 비슷하나 $\Delta t = 0.5$ 와 1 psec의 결과는 $\Delta t = 0.05$ 와 0.1 psec의 결과와 상당히 차이가 있다. 더욱이, $\Delta t = 1$ psec 경우의 차이가 $\Delta t = 0.5$ psec 경우의 차이보다 훨씬 크다.

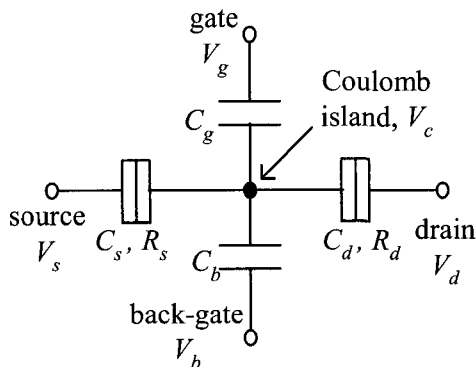


그림 1. 단일전자 트랜지스터 모식도 (드레인과 소스의 터널접합 정전용량 C_d , C_s 와 게이트와 백게이트 정전용량 C_g , C_b 와 드레인, 소스 터널접합 저항 R_d , R_s 와 드레인, 소스, 게이트, 백게이트 전압 V_d , V_s , V_g , V_b)

Fig. 1. The schematic diagram of an SET. The tunnel junction capacitances of the drain and of the source are denoted by C_d and C_s , respectively. The normal capacitances of the gate and the backgate are denoted by C_g and C_b , respectively. The terminal voltages of the drain, the source, the gate, and the backgate are expressed as V_d , V_s , V_g , and V_b , respectively. Finally, the resistances of the drain and the source tunnel junction are denoted by R_d and R_s , respectively.

다양한 t_r , t_s , Δt 들에 대해서 많은 시뮬레이션을 수행한 결과가 <그림 3>에 나타내져 있다. <그림 3>에서 최소 Δt 경우보다 5% 차이 미만의 영역이 빗금치므로 표현되어 있다. 터널접합 정전용량과 터널접합 저항의 곱인 터널접합의 시상수 (time constant)는 실선으로 표현되어졌다. 유효한 시뮬레이션을 위한 (t 는 항

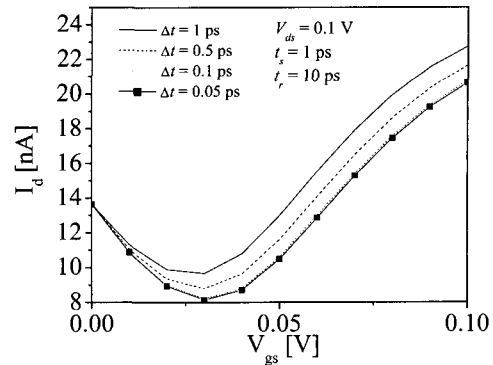


그림 2. V_{gs} 가 0 - 0.1V로 선형적 증가할 때 $I_{ds} - V_{gs}$ 특성 ($C_d = 0.2$ aF, $C_s = 0.1$ aF, $C_g = 0.8$ aF, $C_b = 0.7$ aF, $R_d = R_s = 1$ M Ω , 온도 $T = 30$ K, $t_r = 10$ psec, $V_{ds} = 0.1$ V, $V_{bs} = 0.075$ V일 때 다양한 Δt)

Fig. 2. The drain current (I_d) as a function of the gate-source voltage V_{gs} when V_{gs} varies linearly from 0 to 0.1 V. The simulation uses various Δt_s while $t_r = 10$ psec, the drain-source voltage $V_{ds} = 0.1$ V, and the backgate-source voltage $V_{bs} = 0.075$ V. Other parameters are: $C_d = 0.2$ aF, $C_s = 0.1$ aF, $C_g = 0.8$ aF, $C_b = 0.7$ aF, $R_d = R_s = 1$ M Ω , and the temperature $T = 30$ K.

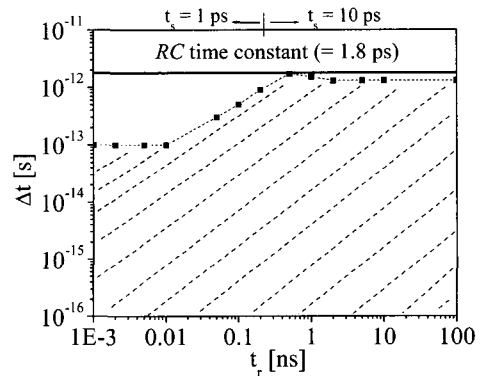


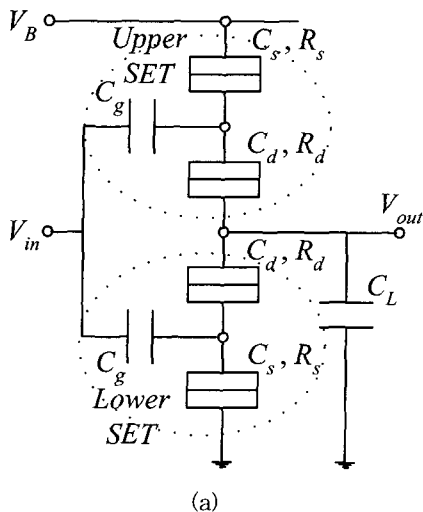
그림 3. 다양한 t_r , t_s , Δt 들에 대해서 <그림 2>에서 보여진 많은 시뮬레이션 결과 요약 (빗금친 영역: 최소 Δt 경우보다 5% 차이 미만의 영역, 실선: 터널접합의 시상수)

Fig. 3. The summary of the simulation results of <Fig. 1(a)> at various t_s , t_{ss} , and Δt_s . The regime of less than 5% deviation from the minimum Δt case is denoted by the dashed region and the time constant of the tunnel junction is given by the solid line.

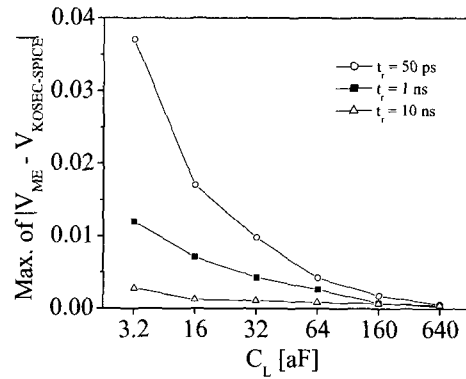
상 터널접합의 시상수보다 작고 t_r 이 감소하면서 감소한다. Δt 의 하한점 (lower bound)은 터널접합을 통과하는 전자 터널링 시간 ($\sim 10^{-16}$ sec)^[17]이다.

<그림 4(a)>에서 보여진 단일전자 인버터 (SEI)를 두 가지 형태의 과도상태 시뮬레이션 방법으로 시뮬레이션했다. 첫 번째 형태의 계산은 회로 안의 세 개 전자우물 (위 (upper)과 아래 (lower) SET의 두 개 전자우물과 interconnection의 한 개 전자우물) 모두의 전자 분포를 고려해서 시변 master 방정식을 구한다^[11]. 두 번째 형태의 계산은 위와 아래의 SET 각각의 시변 master 방정식을 구한 후에 interconnection에서 Kirchhoff 법칙을 적용한다. <그림 4(b)>는 인버터의 입력전압이 세 가지 상승 시간 t_r 에 대해서 0에서 0.03 V로 증가할 때, 두 가지 형태의 계산으로부터 얻은 출력전압들 사이의 최대 차이를 보인다. Interconnection 부하정전용량 C_L 이 64 aF보다 크면 두 계산 결과의 차이는 무시할 수 있으나 C_L 이 64aF보다 작아짐에 따라서 그 차이가 증가한다. 이 결과는 interconnection 부하정전용량이 충분히 큰 회로의 과도상태의 경우에서도 정상상태의 경우처럼 각 SET들의 전압-전류 특성이 독립적으로 다뤄질 수 있음을 제안한다. 그러나 SET들이 독립적으로 다뤄질 수 있는 C_L 의 값은 정상상태의 값^[13]보다 거의 10배 정도 크다.

일반적인 회로에서 interconnection은 다음 단의 여러 개의 gate capacitance에 연결이 되므로 위의 조건은 대부분의 경우에 모두 만족한다.



(a)



(b)

그림 4. (a) 두 개의 SET가 직렬로 연결된 단일전자 인버터의 모식도와 (b) 단일전 인버터의 입력 전압이 세 가지 t_r 에 대해서 0에서 0.03 V로 증가할 때, 두 가지 형태의 계산으로부터 얻은 출력전압들 사이의 최대 차이 ($C_d = C_s = 1.6$ aF, $C_g = 3.2$ aF, $R_d = R_s = 100$ M Ω , $V_B = 0.03$ V, $T = 30$ K). 여기서 V_{ME} 는 회로 안의 3 전자우물 (위와 아래 SET의 두개 전자우물과 interconnection의 한 개 전자우물) 모두의 전자 분포를 고려해서 시변 master 방정식을 계산하여 얻은 단일전자 인버터의 출력전압이고 V_{KCL} 은 위와 아래의 SET 각각의 시변 master 방정식을 구한 후에 interconnection에서 Kirchhoff 법칙을 적용하여 얻은 단일전자 인버터의 출력전압)

Fig. 4. (a) The schematic diagram of a single-electron inverter, consisting of two SETs in series and (b) the maximum difference between the output voltages (V_{out}) obtained from two types of calculations when the input voltage (V_{in}) of the inverter is swept from 0 to 0.03 V in three different t_r s ($C_d = C_s = 1.6$ aF, $C_g = 3.2$ aF, $R_d = R_s = 100$ M Ω , $V_B = 0.03$ V, $T = 30$ K). The result V_{ME} is the output voltage calculated by solving the time-dependent master equation considering the overall probability distribution of three Coulomb islands. The result V_{KCL} is the output voltages calculated by solving two time-dependent master equations of the lower and the upper SETs independently and applying the Kirchhoff's law at the interconnection.

III. 등가회로를 이용한 과도상태 시뮬레이션 방법

<그림 5>는 SET/CMOS hybrid 회로의 SPICE 과도 상태 시뮬레이션을 요약한 순서도이다.

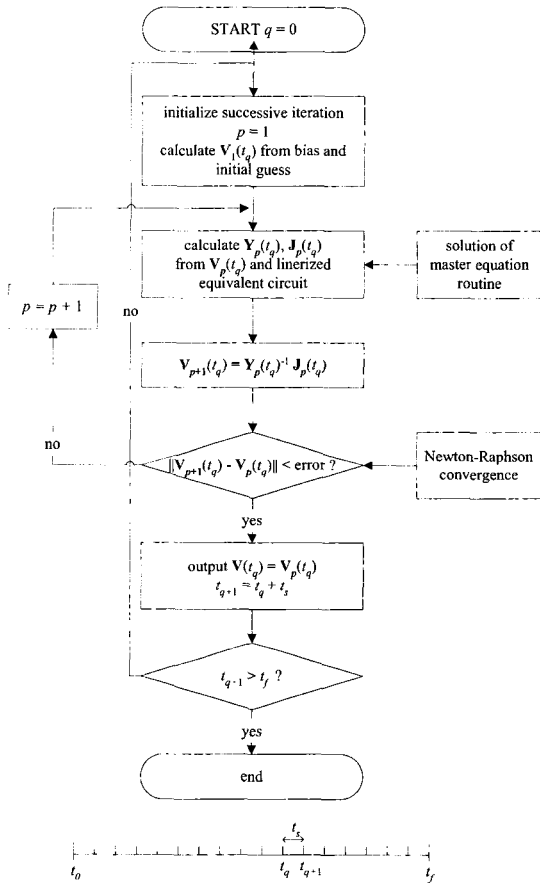


그림 5. SET/CMOS hybrid 회로의 SPICE 과도상태 시뮬레이션의 순서도
 Fig. 5. The flow chart for the SPICE transient simulation of SET/CMOS hybrid circuits.

회로 안에 N 마디 (node)들이 있을 때, 임의의 시간 t_q 에서 $N \times 1$ 마디 전압 벡터 (nodal voltage vector) $\mathbf{V}(t_q)$ 는 다음 행렬 방정식으로부터 구해진다.

$$\mathbf{Y}(t_q)\mathbf{V}(t_q) = \mathbf{J}(t_q) \quad (1)$$

여기서 $\mathbf{Y}(t_q)$ 와 $\mathbf{J}(t_q)$ 는 시간 t_q 에서 각각 $N \times N$ 마디 어드미턴스 행렬 (nodal admittance matrix) 과

$N \times 1$ 마디 등가전류 벡터 (nodal equivalent current vector)이다. $\mathbf{Y}(t_q)$ 와 $\mathbf{J}(t_q)$ 의 구성 요소들은 다음과 같이 정의된다.

$$[\mathbf{Y}(t_q)]_{ij} = \frac{\partial I_i(t_q)}{\partial [\mathbf{V}(t_q)]_j} \quad (2)$$

$$[\mathbf{J}(t_q)]_i = \sum_k^{all\ nodes} \left\{ \frac{\partial I_i(t_q)}{\partial [\mathbf{V}(t_q)]_k} [\mathbf{V}(t_q)]_k - I_i(t_q) \right\} \quad (3)$$

여기서 $I_i(t_q)$ 는 i 번째 마디 밖으로 흐르는 모든 전류들의 합이다. 순서도에서 보여진 것처럼 $\mathbf{V}(t_q)$ 는 초기 추정과 Newton-Raphson 방법의 연속적인 반복을 통해 계산되어진다^[18,19].

CMOS 회로 안에 $I_i(t_q)$ 는 i 번째 마디에 연결된 모든 단자 (terminal) 전류들의 합이다. SPICE의 등가회로는 식 (3)이 자동적으로 수행되는 방법으로 만들어진다^[18,19]. 즉, $\partial I_i(t_q) / \partial [\mathbf{V}(t_q)]_k$ 는 트랜스컨덕턴스

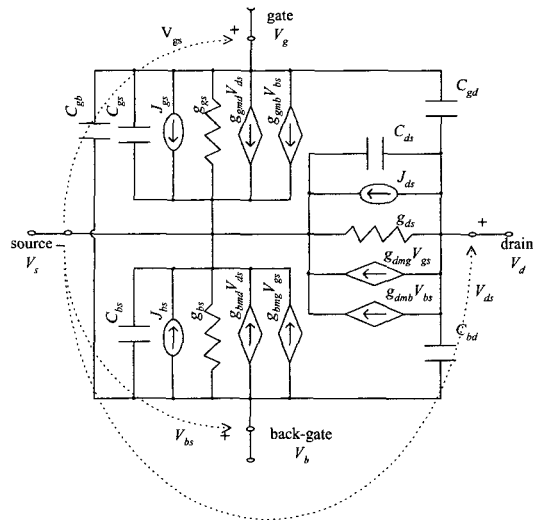


그림 6. SPICE 적용을 위한 SET의 선형화된 등가회로. 여기서 C_{ds} , C_{gs} , C_{bs} , C_{gd} , C_{gb} , C_{bd} 는 각각 드레인-소스, 게이트-소스, 백게이트-소스, 게이트-드레인, 게이트-백게이트, 백게이트-드레인 정전용량이다^[20].

Fig. 6. The linearized equivalent circuit of the SET for SPICE implementation. The symbols, C_{ds} , C_{gs} , C_{bs} , C_{gd} , C_{gb} , and C_{bd} are the drain-source, the gate-source, the backgate-source, the gate-drain, the gate-backgate, and the backgate-drain capacitance, respectively^[20].

(transconductance)로 표현되고 $[J(t_q)]_i$ 는 전류원 (current source)으로 표현된다. 트랜스컨덕턴스와 단자 전류는 주어진 단자 전압에서 소자 물리적 특성을 반영하는 간단한 수식으로 표현된다. 독립적인 SET 근사 방법의 SET 등가회로는 CMOS 등가회로와 같은 방법으로 만들어진다. <그림 6>은 <그림 1>에서 보여진 SET의 선형화된 등가회로 모델을 보인다^[20].

여기서 J 벡터의 구성 요소인 J_{ds} , J_{gs} , J_{bs} 는 다음과 같이 주어진다^[20].

$$\begin{bmatrix} J_{ds} \\ J_{gs} \\ J_{bs} \end{bmatrix} = \begin{bmatrix} g_{ds} & g_{dmg} & g_{dmb} \\ g_{gmd} & g_{gs} & g_{gmb} \\ g_{bmd} & g_{bmg} & g_{bs} \end{bmatrix} \begin{bmatrix} V_{ds} \\ V_{gs} \\ V_{bs} \end{bmatrix} - \begin{bmatrix} I_d \\ I_g \\ I_b \end{bmatrix}$$

$$\begin{bmatrix} g_{ds} & g_{dmg} & g_{dmb} \\ g_{gmd} & g_{gs} & g_{gmb} \\ g_{bmd} & g_{bmg} & g_{bs} \end{bmatrix} = \begin{bmatrix} \frac{\partial I_d}{\partial V_{ds}} & \frac{\partial I_d}{\partial V_{gs}} & \frac{\partial I_d}{\partial V_{bs}} \\ \frac{\partial I_g}{\partial V_{ds}} & \frac{\partial I_g}{\partial V_{gs}} & \frac{\partial I_g}{\partial V_{bs}} \\ \frac{\partial I_b}{\partial V_{ds}} & \frac{\partial I_b}{\partial V_{gs}} & \frac{\partial I_b}{\partial V_{bs}} \end{bmatrix} \quad (4)$$

SET 단자 전류는 터널접합을 흐르는 터널전류 (tunneling current)와 변위전류 (displacement current)로 구성된다. 예를 들면, 드레인 전류 $I_d(t_q)$ 는 다음과 같이 표현된다.

$$I_d(t_q) = I_d^{tun}(t_q) + I_d^{id}(t_q) + I_d^{ed}(t_q), \quad (5)$$

여기서 $I_d^{tun}(t_q)$ 는 드레인 터널접합을 통해 흐르는 터널 전류이고 $I_d^{id}(t_q)$ 는 내부 변위전류 (internal displacement current)이고 $I_d^{ed}(t_q)$ 는 외부 변위전류 (external displacement current)이다. 식 (5)의 첫 번째 항목은 다음과 같이 주어진다.

$$I_d^{tun}(t_q) = e \sum_{n=-\infty}^{\infty} [\Gamma_d^{dec}(n, t_q) - \Gamma_d^{inc}(n, t_q)] P_n(t_q), \quad (6)$$

$$\Gamma_d^a(n, t_q) = \frac{1}{e^2 R_d} \frac{\Delta E_d^a(n, t_q)}{1 - \exp(-\frac{\Delta E_d^a(n, t_q)}{k_B T})}, \quad (7)$$

$$\Delta E_d^a(n, t_q) = \begin{cases} eV'_d(t_q) + e^2 \left(\frac{-2n-1}{2C_\Sigma} \right), & a = dec \\ -eV'_d(t_q) + e^2 \left(\frac{2n-1}{2C_\Sigma} \right), & a = inc, \end{cases} \quad (8)$$

$$V'_d(t_q) = \frac{1}{C_\Sigma} \left[\sum_{k=s,g,b} (-C_k V_k(t_q)) + (C_\Sigma - C_d) V_d(t_q) \right]. \quad (9)$$

여기서 e 는 전자의 전하량, R_d 는 드레인과 전자우물 사이의 터널링 저항, $C_\Sigma = C_d + C_g + C_b$ 이다. 임의의 시간 $t = t_q$ 에서 $V'_d(t_q)$ 는 드레인과 전자우물 사이의 전압강하, $\Gamma_d^a(n, t_q)$ 과 $\Delta E_d^a(n, t_q)$ 는 각각 터널접합을 통한 전자의 터널링에 의해 전자우물 안의 전하가 ne 에서 $(n+1)e$ ($a = dec$)이나 $(n-1)e$ ($a = inc$)로 되는 터널링율 (tunneling rate)과 자유에너지 차이 (free energy difference)이다.

$P_n(t_q)$ 는 $t = t_q$ 에서 전자우물 안에 전하가 ne 일 확률이다. $P_n(t_q)$ 는 단자전압의 함수이므로 매 연속적인 반복 단계마다 새로운 $P_n(t_q)$ 가 요구된다. II장에서 설명한 것처럼 표본 시간 간격 $t_s (= t_{q+1} - t_q)$ 는 Δt 의 간격으로 나뉘지고 $P_n(t_q)$ 변화는 시변 master 방정식으로부터 구해진다^[8,11,14].

$$P_n(t_q + (v+1)\Delta t) = \Gamma_{n,n+1}(t_q + v\Delta t)\Delta t P_{n+1}(t_q + v\Delta t) + \Gamma_{n,n-1}(t_q + v\Delta t)\Delta t P_{n-1}(t_q + v\Delta t) + [1 - \Gamma_{n-1,n}(t_q + v\Delta t)\Delta t - \Gamma_{n+1,n}(t_q + v\Delta t)\Delta t] P_n(t_q + v\Delta t),$$

$$\sum_n P_n(t_q + v\Delta t) = 1, \quad (10)$$

$$\Gamma_{n+1,n}(t_q + v\Delta t) = \Gamma_d^{dec}(n, t_q + v\Delta t) + \Gamma_s^{dec}(n, t_q + v\Delta t),$$

$$\Gamma_{n-1,n}(t_q + v\Delta t) = \Gamma_d^{inc}(n, t_q + v\Delta t) + \Gamma_s^{inc}(n, t_q + v\Delta t),$$

$$v = 0, 1, 2, \dots, M, \text{ and } M = \text{int}\left(\frac{t_{q+1} - t_q}{\Delta t}\right). \quad (11)$$

시뮬레이션 안에서 차단확률 (threshold probability) P_{th} 는 유한한 전자개수의 확률만이 포함되도록 설정된다^[11]. 식 (5)의 두 번째 항목은 소스 및 드레인 터널 접합을 통한 터널링에 의해 발생하는 전자우물의 전위 변화로부터 유도되는 내부 변위전류이다^[21]. $I_d^{tun}(t_q)$ 는 다음과 같이 표현된다^[21].

$$I_d^{id}(t_q) = -\frac{C_d}{C_\Sigma} [I_s^{tun}(t_q) + I_d^{tun}(t_q)]. \quad (12)$$

식 (5)의 세 번째 항목은 단자전압의 변화로부터 유도된 외부 변위전류이고 다음과 같이 표현된다.

$$I_d^{ed}(t_q) = C_d \frac{dV'_d(t_q)}{dt}. \quad (13)$$

다른 단자전류들도 위의 방법과 같이 구해진다.

마지막으로, 컨덕턴스 (conductance) 항목들은 단자 전압들에 대한 단자전류들의 도함수로부터 구해진다^[20]. 예를 들면,

$$g_{ds} = \frac{\partial I_d(t_q)}{\partial V_{ds}(t_q)} = \frac{\partial I_d^{tun}(t_q)}{\partial V_{ds}(t_q)} - \frac{C_d}{C_\Sigma} \left(\frac{\partial I_s^{tun}(t_q)}{\partial V_{ds}(t_q)} + \frac{\partial I_d^{tun}(t_q)}{\partial V_{ds}(t_q)} \right) + \frac{\partial I_d^{ed}(t_q)}{\partial V_{ds}(t_q)}. \quad (14)$$

첫 번째 항목인 $\partial I_d^{tun}(t_q)/\partial V_{ds}(t_q)$ 는 다음과 같이 주어진다.

$$\frac{\partial I_d^{tun}(t_q)}{\partial V_{ds}(t_q)} = e \sum_{n=-\infty}^{\infty} \left\{ \left[\frac{\partial \Gamma_d^{dec}(n, t_q)}{\partial V_{ds}(t_q)} - \frac{\partial \Gamma_d^{inc}(n, t_q)}{\partial V_{ds}(t_q)} \right] P_n(t_q) + \left[\Gamma_d^{dec}(n, t_q) - \Gamma_d^{inc}(n, t_q) \right] \frac{\partial P_n(t_q)}{\partial V_{ds}(t_q)} \right\}, \quad (15)$$

$$\frac{\partial \Gamma_d^a(n, t_q)}{\partial V_{ds}(t_q)} = \frac{1}{e^2 R_d} \frac{\frac{\partial \Delta E_d^a(n, t_q)}{\partial V_{ds}(t_q)} [1 - (1 + \frac{\Delta E_d^a(n, t_q)}{k_B T}) \exp(-\frac{\Delta E_d^a(n, t_q)}{k_B T})]}{[1 - \exp(-\frac{\Delta E_d^a(n, t_q)}{k_B T})]^2}, \quad (16)$$

$$\frac{\partial \Delta E_d^a(n, t_q)}{\partial V_{ds}(t_q)} = \begin{cases} e \frac{\partial V'_d(t_q)}{\partial V_{ds}(t_q)}, & a = dec, \\ -e \frac{\partial V'_d(t_q)}{\partial V_{ds}(t_q)}, & a = inc, \end{cases} \quad (17)$$

$$\frac{\partial V'_d(t_q)}{\partial V_{ds}(t_q)} = \frac{(C_\Sigma - C_d)}{C_\Sigma}, \quad (18)$$

$$\frac{\partial P_n(t_q)}{\partial V_{ds}(t_q)} = -P_n^0(t_q) \sum_{i=0}^n \left\{ \prod_{j=1}^i \frac{\Gamma_{j-1}(t_q)}{\Gamma_{j,j}(t_q)} \sum_{s=0}^{n-i} \left[\frac{1}{\Gamma_{s+1}(t_q)} \frac{\partial \Gamma_{s+1}(t_q)}{\partial V_{ds}(t_q)} - \frac{1}{\Gamma_{s+1}(t_q)} \frac{\partial \Gamma_{s+1}(t_q)}{\partial V_{ds}(t_q)} \right] \right. \\ \left. + \prod_{j=1}^{n-i} \frac{\Gamma_{j+1}(t_q)}{\Gamma_{j,j}(t_q)} \sum_{s=0}^{n-i} \left[\frac{1}{\Gamma_{s+1}(t_q)} \frac{\partial \Gamma_{s+1}(t_q)}{\partial V_{ds}(t_q)} - \frac{1}{\Gamma_{s+1}(t_q)} \frac{\partial \Gamma_{s+1}(t_q)}{\partial V_{ds}(t_q)} \right] \right\}, \quad (19)$$

$$\frac{\partial \Gamma_{n+1,n}(t_q)}{\partial V_{ds}(t_q)} = \frac{\partial \Gamma_d^{dec}(n, t_q)}{\partial V_{ds}(t_q)} + \frac{\partial \Gamma_s^{dec}(n, t_q)}{\partial V_{ds}(t_q)}, \\ \frac{\partial \Gamma_{n-1,n}(t_q)}{\partial V_{ds}(t_q)} = \frac{\partial \Gamma_d^{inc}(n, t_q)}{\partial V_{ds}(t_q)} + \frac{\partial \Gamma_s^{inc}(n, t_q)}{\partial V_{ds}(t_q)}. \quad (20)$$

식 (14)의 $\partial I_s^{tun}(t_q)/\partial V_{ds}(t_q)$ 항목도 위와 같은 방법으로 구해진다. <그림 5> 안의 캐패시터 망 (capacitor network)의 $I_d^{ed}(t_q)$ 와 $\partial I_d^{ed}(t_q)/\partial V_{ds}(t_q)$ 는 backward Euler 근사를 가진 캐패시터의 iterative companion model에 의해서 계산되어진다^[18]. <그림 1>에 보여진 캐패시터망은 <그림 5>의 선형화된 등가회로의 캐패시터망으로 전하량 보존 법칙에 의해 변화되어진다. <그림 1> 안에서 C_a , C_b 가 각각 단자 a와 전자우물 사

이, 단자 b와 전자우물 사이의 정전용량일 때 <그림 5> 안의 정전용량 $C_{ab} = C_a C_b / C_\Sigma$ 이다.

IV. 등가회로를 이용한 dc 시뮬레이션 방법

SET의 dc 등가회로는 <그림 5>의 등가회로 안에서 I_{ds} , g_{ds} , g_{dms} , g_{dmb} 를 제외한 모든 구성 요소를 제거하는 것에 의해서 얻어진다. 단자전류 계산에서 내부 및 외부 변위전류는 존재하지 않는다. 그러므로 $I_g = I_b = 0$ 이고 $I_d = I_d^{tun} = -I_s^{tun} = -I_s$ 이다. 전자우물 안에 전하가 ne 일 확률 P_n 은 정상상태 master 방정식^[14]과 간단한 반복 절차를 통해서 구해지고 다음과 같이 표현된다.

$$P_0 = \frac{1}{\sum_{n=1}^{\infty} \left(\prod_{m=-n+1}^0 \frac{\Gamma_{m-1,m}}{\Gamma_{m,m-1}} + \prod_{m=0}^{n-1} \frac{\Gamma_{m+1,m}}{\Gamma_{m,m+1}} \right) + 1}, \\ P_n = P_0 \prod_{m=-n+1}^0 \frac{\Gamma_{m-1,m}}{\Gamma_{m,m-1}}, \quad n < 0, \\ P_n = P_0 \prod_{m=0}^{n-1} \frac{\Gamma_{m+1,m}}{\Gamma_{m,m+1}}, \quad n > 0. \quad (22)$$

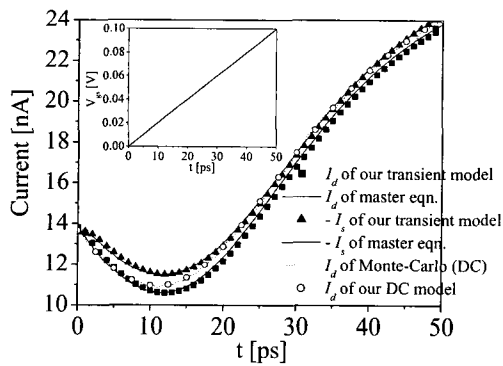
마지막으로 admittance 행렬은 정상상태 단자 전류와 확률을 식 (14)와 식 (20)과 같은 식에 적용하여 구해진다.

V. 시뮬레이션 결과 및 토론

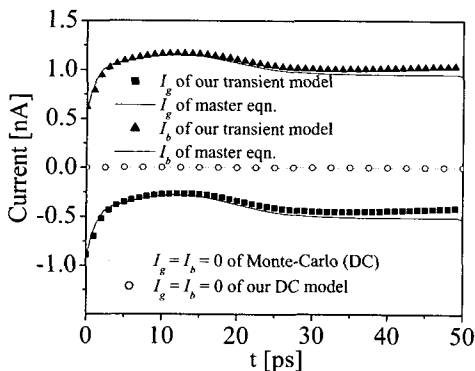
$V_{ds} = 0.1$ V, $V_{bs} = 0.075$ V이고 V_{gs} 가 $t_r = 50$ psec에서 0에서 0.1 V로 선형적으로 변화할 때, <그림 7(a), (b)>는 <그림 1>에 보여진 SET의 단자전류 $I_d(t)$, $I_s(t)$, $I_g(t)$, $I_b(t)$ 들을 보인다. SPICE 에 적용한 우리의 과도상태 모델로부터 계산된 모든 단자전류 (채워진 기호)들은 시변 master 방정식의 수치해석적인 해로부터 구해진 결과(실선)와 거의 일치한다. 이 결과는 SmartSpice 안에 적용한 우리의 모델이 완전히 유효함을 보인다. 우리의 과도상태 모델이 전자우물의 시변 충전 (time-dependent charging)과 변위전류의 기여를 정확히 포함하고 있음을 확인할 만큼 과도상태 전류는 dc 전류와 상당한 차이가 있음을 보인다. 그와 같은 전류 요소들은 dc 모델로는 설명이 불가능하다. 마지막으로, IV장의 SPICE 모델로부터 계산된 dc 전류

(빈 원들)는 Monte-Carlo로부터 계산된 결과 (점선)과 완전히 일치한다. <그림 7(c)>는 삽입그림에서 보여진 것처럼 V_{gs} 가 변화할 때 드레인전류 $I_d(t)$ 를 나타낸다. 과도상태 모델은 입력전압의 증가 또는 감소함에 따라서 변위전류의 부호 변화에 기원한 hysteretic 특성을 예측한다. 그와 같은 과도상태의 자세한 결과는 기존에는 마이크로 초 크기의 시뮬레이션에서도 확인할 수 없었으나 단지 II장에서 토론된 많은 시뮬레이션 시간 크기의 정확한 묘사로부터 가능하다.

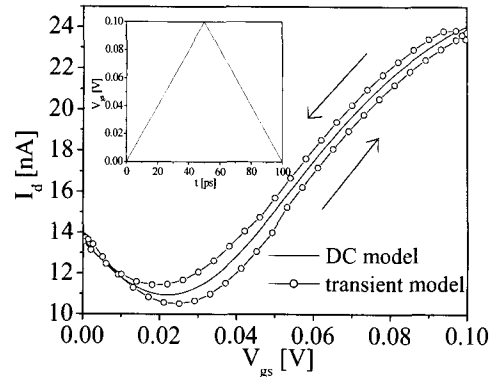
<그림 8(a)>는 4개의 SET로 구성된 단일전자 NOR (SE-NOR) 게이트의 모식도를 나타낸다^[22]. <그림 8(b)>는 SE-NOR 게이트의 전압전달 특성을 나타낸다. 채워진 네모들은 dc 모델의 결과이고 점선은 $t_r = 500$ nsec일 때 과도상태 결과이고 실선은 $t_r = 50$ nsec일 때의 과도상태 결과이다. 입력 중의 하나인 V_{g2} 는 $-V_{dd}$ 의 바이어스 전압으로 고정되어 있고 다른 입력인 V_{g1} 는 t_r 로 $-V_{dd}$ 에서 V_{dd} 로 증가시킨다. 출력 전압 V_{out} 은 $t_r = 500$ nsec의 과도상태 결과는 dc 결과와 거의 비슷하나 $t_r = 50$ nsec의 과도상태 결과는 dc 결과보다 상당한 지연이 존재한다.



(a)



(b)



(c)

그림 7. (a) $V_{ds} = 0.1$ V, $V_{bs} = 0.075$ V이고 V_{gs} 가 50 psec 안에서 0에서 0.1 V로 선형적으로 변화할 때의 <그림 1>에 보여진 SET의 드레인 과 소스 단자전류 $I_d(t)$, $I_s(t)$ 와 (b)게이트와 백게이트 단자 전류 $I_g(t)$, $I_b(t)$ (c) 삽입그림에서 보여진 것처럼 V_{gs} 가 변화할 때의 드레인전류 $I_d(t)$ ($V_{ds} = 0.1$ V, $V_{bs} = 0.075$ V, $C_d = 0.2$ aF, $C_s = 0.1$ aF, $C_g = 0.8$ aF, $C_b = 0.7$ aF, $R_d = R_s = 1$ M Ω , $T = 30$ K). 우리의 dc 모델의 결과와 Monte-Carlo 결과도 보여진다. 기호들은 우리의 SPICE 모델의 결과들이고 선들은 master 방정식과 Monte-Carlo 결과를 나타낸다.

Fig. 7. (a) The drain (I_d) and the source current (I_s), and (b) the gate (I_g) and the backgate current (I_b) of the SET in <Fig. 1(b)> when V_{gs} varies linearly from 0 to 0.1 V in $t_r = 50$ psec, and (c) the drain current when V_{gs} varies as shown in the inset ($V_{ds} = 0.1$ V, $V_{bs} = 0.075$ V, $C_d = 0.2$ aF, $C_s = 0.1$ aF, $C_g = 0.8$ aF, $C_b = 0.7$ aF, $R_d = R_s = 1$ M Ω , $T = 30$ K). The results from our DC model and the Monte-Carlo results are also shown. The symbols denote the results of our SPICE model and the lines denote the results of the master equation or the Monte-Carlo.

<그림 9(a)>는 세 개의 SE-NOR로 구성된 단일전자 OR (SE-OR) 게이트와 CMOS 버퍼 (buffer)로 결합된 hybrid 회로의 모식도를 보인다. 출력전압이 충분한 전압 폭을 가지도록 SE-OR 게이트의 출력전압 V_{OR} 를 증폭하는데 CMOS 버퍼가 사용된다. CMOS소자들과 SET들의 집적을 위해 CMOS의 채널길이는 50 nm로 설정하고 시뮬레이션을 위해 SPICE level 49가 사용되

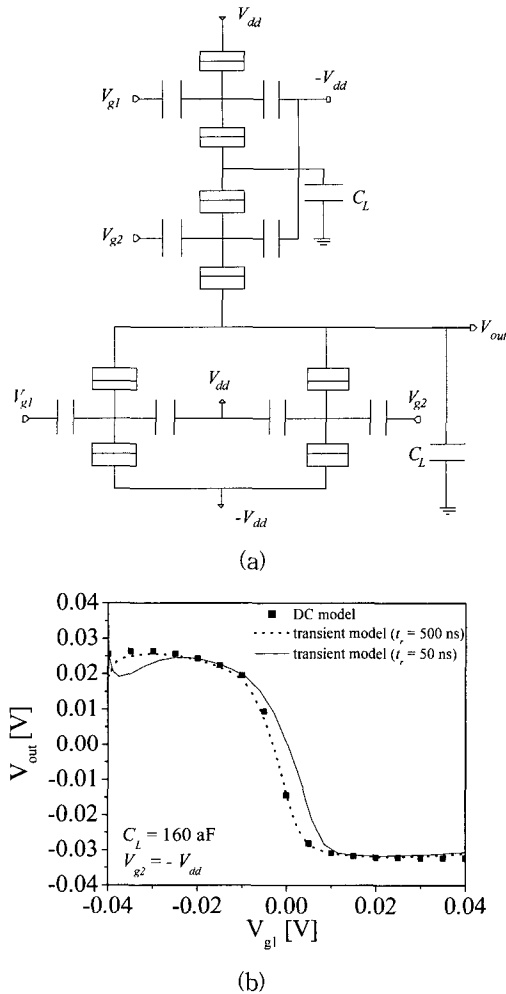
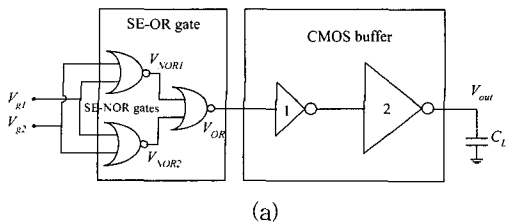
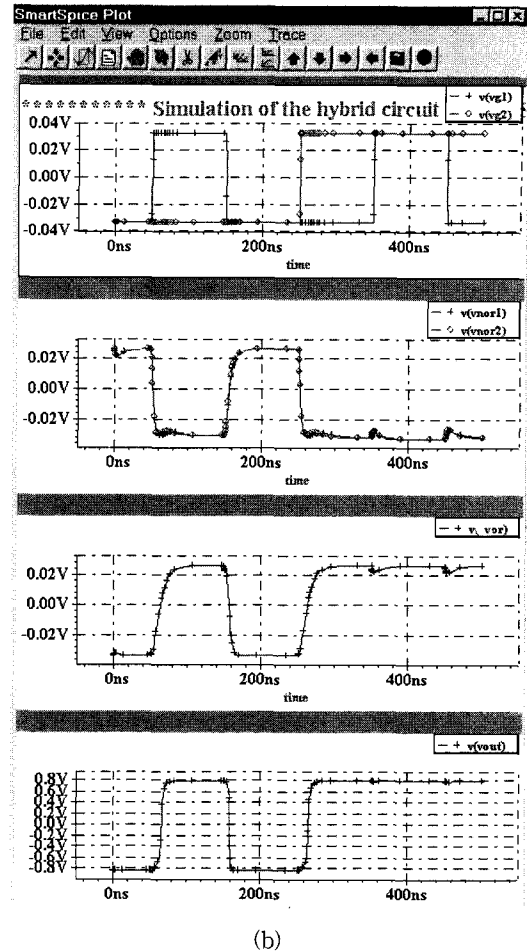


그림 8. (a) 단일전자 NOR (SE-NOR) 게이트의 모식도와 (b) SE-NOR의 전압전달 특성 ($V_{dd} = 0.03335$ V, $C_L = 160$ aF). 파라미터들은 <그림 6>에서 사용한 것과 같다. 기호들은 dc 모델의 결과이고 선들은 과도상태의 모델의 결과이다.

Fig 8. (a) The schematic diagram and (b) the voltage transfer characteristics of an SE-NOR gate ($V_{dd} = 0.03335$ V, $C_L = 160$ aF). The parameters of the SET are the same as those in <Fig. 6> The symbols denote the results of the DC model and the lines denote the results of the transient model.



(a)

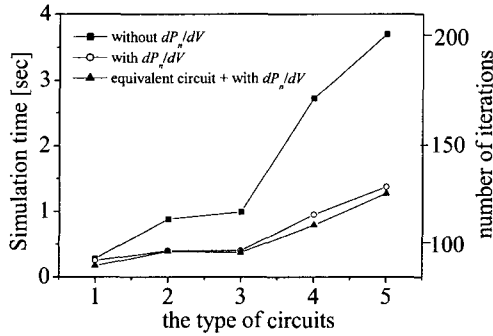


(b)

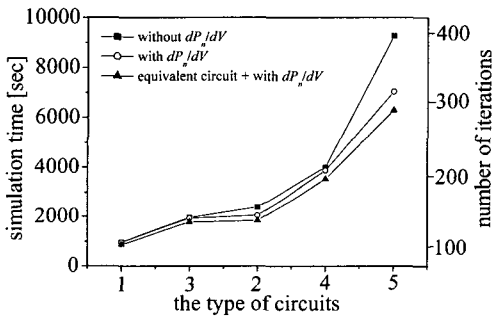
그림 9. SE-OR 게이트와 CMOS 버퍼로 결합된 hybrid 회로의 (a) 모식도와 (b) 과도상태 시뮬레이션 결과. 게이트 산화막 두께 $t_{ox} = 5$ nm; pMOS와 nMOS의 문턱전압은 $V_{th}^{NMOS} = 10$ mV, $V_{th}^{PMOS} = -10$ mV; 전공과 전자 이동도는 각각 ($\mu_p = 200$ cm²/Vs와 $\mu_n = 400$ cm²/Vs; 인버터 1 (게이트 길이 $L = 50$ nm, pMOS와 nMOS 게이트 폭은 각각 $W_p = 0.4$ μ m 와 $W_n = 0.2$ μ m); 인버터 2 ($L = 50$ nm, $W_p = 40$ μ m, $W_n = 20$ μ m).

Fig. 9. (a) A hybrid circuit consisting of an SE-OR gate and a CMOS buffer and (b) the transient simulation results of the hybrid circuit. The parameters of the CMOS are as follows: the gate oxide thickness, $t_{ox} = 5$ nm; the threshold voltages $V_{th}^{NMOS} = 10$ mV, $V_{th}^{PMOS} = -10$ mV; the mobilities ($\mu_p = 200$ cm²/Vs, $\mu_n = 400$ cm²/Vs; the inverter 1 (the gate length $L = 50$ nm, the gate width $W_p = 0.4$ μ m, $W_n = 0.2$ μ m); the inverter 2 ($L = 50$ nm, $W_p = 40$ μ m, and $W_n = 20$ μ m).

었다. <그림 8(b)>는 <그림 8(a)>에서 보여진 hybrid 회로를 SmartSpice로 과도상태 시뮬레이션한 결과를 보인다. 입력전압 (V_{gl} , V_{g2})들, 첫 번째 SE-OR 게이트의 출력전압 (V_{NOR1} , V_{NOR2})들, V_{OR} 과 V_{out} 이 클럭 주기 200 nsec로 그려졌다. 명확한 논리회로 특성이 각 V_{gl} , V_{NOR1} (V_{NOR2})와 V_{OR} 에서 보여진다. 또



(a)



(b)

그림 10. (a) 직류와 (b) 과도상태에서 여러 종류의 단일전자 회로들의 계산 시간과 총 반복횟수. x 축은 회로의 복잡성을 나타낸다; 1 (SEI), 2 (SE-NOR 게이트), 3 (두 개의 SEI), 4 (네 개의 SEI), 5 (SE-OR 게이트). SPICE의 소자 모델의 세 가지 형태로부터 계산된 시뮬레이션 시간의 차이가 있고 회로가 복잡해짐에 따라서 시뮬레이션 시간이 증가한다.

Fig. 10. The simulation times and the total number of iterations of several types of SET circuits (a) in the DC simulation and (b) in the transient simulation. The x -axis denotes the complexity of the circuit: 1 (single electron inverter), 2 (SE-NOR gate), 3 (two inverters), 4 (four inverters), 5 (SE-OR gate; three SE-NOR gates). Three levels of the device model show discrepancies in the simulation time and it increases as the complexity of the circuit increases.

한, 이 결과들은 디지털 신호 왜곡의 점차적인 감소 뿐만 아니라 출력전압 폭의 점차적인 증가 (V_{gl} ; ± 33.35 mV $\rightarrow V_{NOR1}$; ± 28 mV $\rightarrow V_{OR}$; ± 26 mV)를 성공적으로 보여주고 있다. 그 결과들은 결과적으로 버퍼의 출력 전압 V_{out} 이 ± 0.8 V 전압폭과 입력에 대한 출력 모양의 회복을 얻을 수 있음을 보인다.

<그림 10(a), (b)>는 각각 여러 종류의 단일전자 회로들의 직류와 과도상태의 계산 시간 (총 반복횟수: total iteration number)을 나타낸다^[21]. x 축은 회로의 복잡성을 나타낸다; 1 (SEI), 2 (SE-NOR 게이트), 3 (두 개의 SEI), 4 (네 개의 SEI), 5 (SE-OR 게이트). SPICE의 SET 모델의 세 가지 다른 형태의 시뮬레이션 속도를 비교한다. 첫 번째 형태 (채워진 네모들)는 등가회로를 고려하지 않고 admittance 계산에서 단자 전압에 대한 확률의 도함수인 $\partial P_n/\partial V$ 가 무시된 경우의 계산에 사용된 총 반복횟수를 나타낸다. 두 번째 형태(빈 원들)는 등가회로를 고려하지 않고 admittance 계산에 $\partial P_n/\partial V$ 가 고려된 경우의 계산에 사용한 총 반복횟수를 나타낸다. 세 번째 형태 (채워진 세모들)은 등가회로를 고려하고 admittance 계산에 $\partial P_n/\partial V$ 가 고려된 경우의 계산에 사용한 총 반복횟수를 나타낸다. 첫 번째 형태가 두 번째나 세 번째보다 시뮬레이션 속도가 느리고 더 중요하게 각 형태의 시뮬레이션 속도는 회로가 복잡해짐에 따라서 느려진다. 이전에 SET-SPICE와 CAMSET과 같은 SPICE 모델은 첫 번째 형태와 비슷한 구조를 가진다.

VI. 결 론

본 논문에서는 과도상태 회로 시뮬레이션에서 각각의 SET가 독립적으로 다루어질 수 있는 영역을 체계적으로 조사했다. Interconnection 정전용량이 충분히 큰 회로의 과도상태 시뮬레이션에서도 정상상태 경우와 마찬가지로 각각의 SET가 독립적으로 다루어질 수 있음을 찾았다. 그러나, 각각의 SET들이 서로 독립적으로 다루어질 수 있는 interconnection의 부하정전용량은 정상상태보다 약 10배정도 크다. 이런 조건에서 SPICE에 적용 가능한 SET의 과도상태 compact 모델을 제시한다. 이 모델은 SPICE main routine의 admittance 행렬과 전류 행렬 구성 요소를 효율적으로 만들기 위해 새롭게 개발된 등가회로 접근방식에 기초한다. 과도상

태 모델은 전자우물 안의 전자 개수를 정확히 계산하기 위해서 시변 master 방정식 solver를 각각 포함한다. 이 모델을 이용해서 단일전자 회로 및 단일전자 소자/회로와 CMOS 회로가 결합한 SET/CMOS hybrid 회로를 성공적으로 계산했다. SPICE에 적용된 기존의 시뮬레이터의 결과와 비교해서 상당히 일치하며 CPU 계산 시간도 더 짧아짐을 보인다.

참 고 문 헌

- [1] Lingjie Guo, Effendi Leobandug, and Stephen Y. Chou, "A Silicon Single-Electron Transistor Memory Operating at Room Temperature", *Science*, Vol. 275, pp. 649~651, 1997.
- [2] K. Yano, T. Ishii, T. Sano, T. Mine, F. Murai, T. Hashimoto, T. Kobayashi, T. Kure, and K. Seki, "Single-Electron Memory for Giga-to-Tera Bit Storage", *Proc IEEE*, Vol. 87, No. 4, pp. 633~651, 1999.
- [3] Z. A. K. Durrani, A. C. Irvine, H. Ahmed, and Nakazato, "A memory cell with single-electron and metal-oxide-semiconductor transistor integration", *Appl. Phys. Lett.*, Vol. 74, pp. 1293~1295, 1999.
- [4] Lei Zhuang, Lingjie Guo, and Stephen Y. Chou, "Room Temperature Silicon Single-Electron Quantum-dot Transistor Switch", in *IEDM Tech. Dig.*, pp 167~169, 1997.
- [5] B. H. Choi, S. W. Hwang, I. G. Kim, H. C. Shin, Yong Kim, and E. K.Kim, "Fabrication and room-temperature characterization of a silicon self-assembled quantum-dot transistor", *Appl. Phys. Lett.*, Vol. 73, No. 21, pp. 3129~3131, 1998.
- [6] Akira Fujiwara, Yasuo Takahashi, Kenji Yamazaki, Hideo Namatsu, Masao Nagase, Kenji Kurihara, and Katsumi Murase, "Silicon double-island single-electron device", in *IEDM Tech. Dig.*, pp. 163~166, 1997.
- [7] Akiko Ohata, Akira Toriumi and Ken Uchida, "Coulomb Blockade Effects in Edge Quantum Wire SOI MOSFETs", *Jpn. J. Appl. Phys.*, Vol. 36, No. 3B, pp. 1686~1689, 1997.
- [8] H. Gravert and M. Devoret, *Single Charge Tunneling*, New York: Plenum, 1992.
- [9] MOSES (A. N. Korotov, R. H. Chen, and K. K. Likharev, "Possible performance of capacitively coupled single-electron transistors in digital circuits", *J. Appl. Phys.* Vol. 78, No. 4, pp. 2520 ~2530, 1995.).
- [10] SIMON (C. Wasshuber, H. Kosina, and S. Selberherr, "SIMON-A Simulator for Single-Electron Tunnel Devices and Circuits", *IEEE Tran. Computer-AidedDesign*, Vol. 16, No. 9, pp. 937~944, 1997.).
- [11] SENECA(L. R. C. Fonseca, A. N. Korotov, K. K. Likharev, and A. A. Odintsov, "A numerical study of the dynamics and statistics of single electron systems", *J. Appl. Phys.*, Vol. 78, No. 5, pp. 3238~3251, 1995.)
- [12] <http://www-device.eecs.berkeley.edu/~bsim3>
- [13] Y. S. Yu, S. W. Hwang, and D. Ahn, "Macromodeling of single-electron transistors for efficient circuit simulation", *IEEE Tran. Electron Devices.*, Vol. 46, No. 8, pp. 1667~1671, 1999.
- [14] S. Amakawa, H. Majima, H. Fukui, M. Fujishima, and K. Hoh, "single-electron circuit simulator", *IEICE Tran. Electron.*, Vol. E81-C, pp. 21~29, 1998.
- [15] M. Kiriwara, K. Nakazato, and M. Wagner, "Hybrid circuit simulator including a model for single electron tunneling devices", *Jpn. J. Appl. Phys.*, Vol. 38, pp. 2028~2032, 1999.
- [16] *SmartSpice User Manual Vol 2*, Silvaco International, 1997 and http://www.silvaco.com/products/analog/crusade/smartspace/smartspace_br.html.
- [17] T. E. Hartman, "Tunneling of a wave packet", *J. Appl. Phy.*, Vol. 33, No. 12, pp. 3427~3433, 1962.
- [18] R. M. Kielkowski: *Inside SPICE*, New York: McGraw-Hill, 1994.

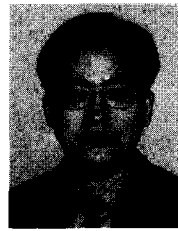
- [19] P. Antognetti and G. Massobrio, *Semiconductor device modeling with SPICE*, New York: McGraw-Hill, 1988.
- [20] Y. S. Yu, J. H. Oh, S. W. Hwang, and D. Ahn, "An equivalent circuit approach for the single electron transistor model for efficient circuit simulation by SPICE", *Electronics Letters*, Vol. 38, pp. 850~852, 2002.
- [21] H. S. Lee, Y. S. Yu, and S. W. Hwang, "Displacement current correction for the dc and transient simulation of single electron transistors", *J. Korean Phy. Soc.*, Vol. 33, pp. s266~s269, 1998.
- [22] M. Y. Jeong, Y. H. Jeong, S. W. Hwang, and D. M. Kim, "Performance of single electron transistor logic composed of multi-gate single-electron transistors," *Jpn. J. Appl. Phys.*, Vol. 36, No. 11, pp. 6706~6710, 1997.

저 자 소 개



柳允燮(正會員)

1971년 3월 2일생. 1995년 8월 고려대학교 전자공학과 공학사. 1997년 8월 동 대학원 전자공학과 공학석사. 2001년 8월 동대학원 전자공학과 공학박사. 2001년 9월 2002년 10월 미국 NIST 초청연구원. 2002년 10월 현재 한경대학교 정보제어공학과 전임강사. <주관심분야> 초미세 구조 제작 및 응용, 회로 시뮬레이션을 위한 초미세 구조 소자들의 dc/transient/RF 모델링, MOSFET 및 SOI MOSFET의 RF 모델링>



金相勳(正會員)

1964년 7월 26일생. 1987년 2월 고려대학교 전자공학과 공학사. 1989년 2월 동 대학원 전자공학과 공학석사. 1999년 2월 동대학원 전자공학과 공학박사. 1989년~1994년 LG 반도체 연구원 1999년~2001년 KIST 위촉연구원. 2001년 6월 UWA 방문연구원 (Australia). 1999년~현재 국립한경대학교 정보제어공학과 조교수. <주관심분야 : ASIC설계, 초고속 회로설계, 3D 영상처리, real-time object tracking>