

論文2003-40SD-4-5

디지털입력과 주파수 성분 분석을 통한 혼성신호 회로 테스트 방법

(Mixed-Signal Circuit Testing Using Digital Input and Frequency Analysis)

盧正眞 *

(Jeongjin Roh)

요 약

혼성신호 회로에 발생할 수 있는 각종 파라메트릭 폴트를 검사하기 위한 새로운 기법을 제안한다. LFSR에서 발생하는 랜덤신호를 사용하여 테스트 입력으로 사용하며, 웨이블릿으로 테스트 출력을 분석하고 압축하는 방법을 사용한다. 웨이블릿은 테스트 출력을 다른 여러 주파수 대역으로 분석하여 각각에 대한 응답 신호를 발생시킨다. 각각의 신호는 디지털 적분기를 사용하여 압축된다. LFSR에서 발생된 테스트 입력신호는 전체 주파수 영역에서 일정한 값을 유지하게 되며 따라서 multi-frequency 응답을 발생시켜 준다. 제안된 방법은 실험을 통하여 성능을 검증하였다.

Abstract

A new technique for detecting parametric faults in mixed signal circuits is proposed. Pseudo-random sequence from linear feedback shift register(LFSR) is fed to circuit-under-test (CUT) as stimulus and wavelets are used to compact the transient response under this stimulus into a small number of signature. Wavelet based scheme decomposes the transient response into a number of signal in different frequency bands. Each decomposed signal is compacted into a signature using digital integrator. The digital pulses from LFSR, owing to its pseudo-randomness property, are almost uniform in frequency domain, which generates multi-frequency response when passed through CUT. The effectiveness of this technique is demonstrated in our experimental results.

Keywords : 혼성신호 회로, 테스트, 랜덤신호, 웨이블릿, 적분기

I. 서 론

혼합 신호 회로는 무선 통신과 멀티미디어 신호처리의 분야에서 더욱더 많이 사용되고 있다. 이에 따른 다양한 기능의 디지털과 아날로그 회로의 Systems-on-chip (SoC) 내장추세에 의해 이러한 칩의 테스트는 더

욱 더 큰 문제점으로 발생하고 있다.

일반적으로 혼합 신호 회로의 fault model은 두 가지로 분류할 수 있다^[12]. Catastrophic fault (hard fault)는 주로 스폿결점에 의해 발생하는 문제이고 parametric fault (soft fault)는 주로 공정상에서 미세한 변화에 의해서 발생하게 된다. 디지털에서의 stuck-at fault와 비견되는 catastrophic fault는 회로부품의 값을 완전히 변화시키기 때문에 발견이 수월하지만, parametric fault는 회로의 응답에 단지 미세한 변화만을 일으키기

* 正會員, 漢陽大學校 電子컴퓨터工學部
(Hanyang University, Electrical and Computer Engineering)

接受日字:2002年4月29日, 수정완료일:2003年3月24日

때문에 테스트에서 많은 어려움이 발생한다. 혼성신호 회로의 성능은 공정과정 기술의 미세변화로 생겨난 공 정상의 장애에 민감하기 때문에 parametric fault 에 대 한 검출 필요성은 더욱더 중요해져 가고 있다. 아날로그 및 혼성신호 회로에서는 성능이 회로부품의 부분적 인 변화에 민감하기 때문에 parametric fault 결점을 찾 는 것은 매우 어려운 문제가 된다. 이러한 결점을 찾는 가장 기본적이고 현재까지 일반적으로 사용되고 있는 방법은 회로의 성능을 모두 직접적으로 테스트하는 functional test 방법이다. Functional test 에서는 회로 의 각종 성능을 모두 직접 측정하고 기준이 되는 표준 성능과 대조를 하게 된다. 성능의 어떤 것이라도 맞지 않는다면 그 회로는 잘못된 것으로 식별된다. 하지만 회로 성능의 복잡성 때문에 이러한 종류의 테스트는 매우 긴 시간이 걸리게 되고 테스트 장비의 가격도 매우 비싸지게 된다. 예를 들어서, op amp 하나에도 수많은 표준 성능이 있고, 모든 성능을 일일이 검사한다는 것은 SoC에 내장 된 경우 테스트 성능측정 자체도 쉽 지 않으며, 또한 시간도 지나치게 길어짐으로 인해 생산원가가 올라가는 심각한 문제들을 발생시킨다. 이러 한 문제점들 때문에 기존의 functional test의 대안으로써 고속의 transient 테스트 방법이 테스트 시간과 비용을 절감하기 위해 지속적으로 연구되어져 오고 있다^[1-9].

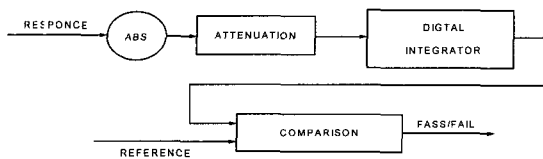


그림 1. 디지털 신호 적분기^[1]
Fig. 1. Digital integrator scheme^[1].

이 논문에서 우리는 random한 입력을 사용한 새롭고 효율적인 transient 테스트 방법을 제안한다. 이 방법은

입력 신호로 pseudo random 패턴을 이용하며 회로의 응답을 각 주파수대역으로 분석된 signature set 으로 모은다. 입력신호가 기존 functional test와 달리 디지털 신호로 주어지고 최종 응답 신호도 디지털로 나오고 분석되므로 완전한 디지털 입력 및 출력이 이루어지는 아날로그회로의 built-in self-test (BIST) 로서 사용가능하다. 주어진 회로가 정상적 동작을 하는지 또는 내부에 잘못된 부분이 있는지는 signature set의 특성으로 판단하게 된다.

1. Previous Work

먼저 이 분야에서 그동안 이루어졌던 연구결과에 대해 간단하게 알아보도록 한다. Pan 과 Cheng은^[3] circuit under test (CUT)의 impulse response를 이용한 pseudo-random 테스트 방법을 소개 하였다. 이 방법은 아날로그 CUT를 digital to analog converter (DAC)와 analog to digital converter (ADC) 가 내장되어 있는 디지털 시스템으로 모델화시키는 것이다. 그리고 linear feedback shift register (LFSR) 에서 생성된 디지털 Pseudo Random 펄스를 시스템의 입력으로 사용한다. Signature set 은 입력과 출력의 상호관계에 의해 구성된다. 이 테스트 기술은 실리콘 상에서 동작 가능한 DAC 와 ADC 가 포함된 혼합 신호 회로에 기반을 둔 DSP 위에서 BIST로서 사용된다. 여기서 SoC 내부에 함께 집적된 DSP는 CUT 출력의 cross-correlation 특성을 계산하는데 사용되게 된다. 추가되는 테스트회로를 최소화하기 위한 transient response sampling 기법은 [5, 8]에서 언급되었다. 이 기법에서는 CUT의 입력과 출력의 응답을 직접 샘플하고 이 값을 미리 정해진 값과 비교하여 성능을 평가한다. 최대한의 fault coverage를 얻기 위한 알고리즘도 [5, 8]에 소개 되어 있다. 이 기법의 장점은 간단한 구조에 있으나, fault coverage 가 다소 낮은 문제점을 지니고 있다.

2. Wavelet Based Signature Analyzer

혼합 신호 회로 테스트에서 주된 관점 중에 하나는

표 1. Antonini 필터 계수
Table 1. Antonini filter coefficients.

n	0	1	2	3	4
LPF	0.602949	0.266864	-0.078223	0.016864	0.026749
HPF	0.788485	-0.418029	0.04069	0.064539	0

회로 응답의 signature의 set을 압축하고 또한 각종 테스트상의 noise를 최소화 하는 것이다. Roh 와 Abraham^[2]는 혼합 신호 회로에서 발생한 signature를 분석하기 위해 기본적인 wavelet 기술의 활용에 대해 소개하였다. 그간 제안되었던 BIST 방식들은 모두 fault에 대한 분석이 transient 응답에서만 이루어져 왔었고, 이에 따라 충분한 fault 정보를 얻기가 힘들었다. 따라서 [2]에서는 transient 응답과 주파수 응답을 모두 사용하는 기법을 제안하였다. 이 방법에서는 간단한 wavelet을 구성하여 CUT의 응답을 여러 주파수 성분으로 나눈다. 또한 디지털 적분기가^[1] 각 영역의

signature를 생성하는데 사용되었다. 디지털 적분기는 아날로그회로의 각종 기준 성능이 tolerance를 가지고 있는 점을 나타내기 위해 적분을 함으로써 noise 등의 잘못된 정보들을 제거한다. 각종 noise 는 white noise 로 가정할 때 적분기에 의해 제거된다. 이는 적분기가 실질적인 low pass filter 임을 감안하면 쉽게 이해될 수 있다. Wavelet은 기본적으로 여러 개의 반복적인 필터 스테이지의 모임이다. 각 필터의 스테이지는 <그림 3>에서 보는 것과 같이 low pass filter (LPF) 와 high pass filter (HPF) 로 구성되어 있다. 아래쪽 방향의 화살표를 가진 원은 1/2배의 down-sampling을 표현한다. 필터 출력의 주파수 영역은 필터 입력의 주파수 영역의 반이 된다. 두 가지의 LPF, HPF 주파수 필터를 사용하여 출력을 나눈다. LPF와 HPF는 입력 신호를 각 스테이지에서 두 가지 주파수 영역으로 나눈다. 입력 신호는 원하는 수의 주파수 밴드로 나누어질 때까지 반복적으로 높은 주파수와 낮은 주파수로 나뉜다. 테이블 1과 2는 두 종류 wavelet의 LPF와 HPF의 계수를 보여준다. Harr wavelet은 매우 간단하고 디지털 덧셈기를 사용하여 쉽게 구현할 수 있고 따라서 BIST로서 구현하기가 더욱 적절하다. Antonini wavelet은 주파수 분리를 더욱 고성능으로 하기 위해 사용될 수 있으나 곱셈기가 필요하며, 따라서 Harr wavelet 보다는 좀더 구현이 복잡해진다. 구현 방법 등 구체적 내용은 [2]에 좀더 자세히 설명되어 있다.

표 2. Haar 필터 계수
Table 2. Haar coefficients.

n	0	1
LPF	1	1
HPF	1	-1

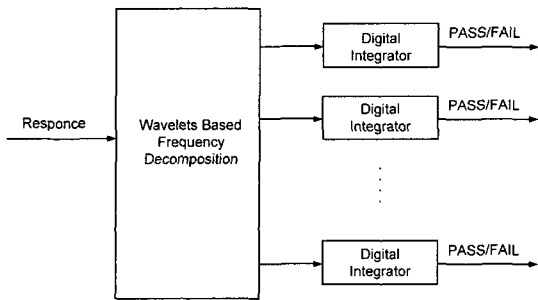


그림 2. Wavelet 신호 분석기^[2]
Fig. 2. Wavelet-based signature analyzer^[2].

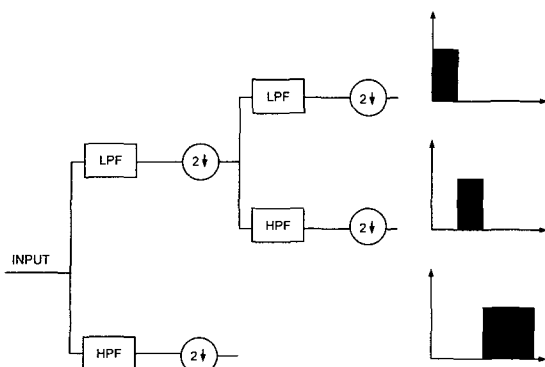


그림 3. Wavelet 필터의 구성^[2]
Fig. 3. Recursive architecture of wavelet filters^[2].

3. 성능향상을 위한 분석

Wavelet 기법을 사용한 signature 분석기^[2]의 효율은 sine 신호를 입력으로 사용하여 유도된 signature에서 잘못된 회로를 찾는 것을 통해 알 수 있다. 그러나 테스트시 단일 주파수의 입력이 사용될 경우 이는 회로의 전체 특성을 모두 테스트하기 힘들어지고 입력된 주파수에 대한 특성만을 나타내게 된다. 즉 단일 주파수 성분으로는 CUT의 모든 특성을 검사하기 힘들어지고 따라서 fault 가 검출되지 못하는 경우가 발생한다. 따라서 이러한 문제점을 해결하고 성능을 더욱 향상시키기 위해 본 논문에서는 테스트시 회로의 입력을 다양한 주파수성분으로 사용하고 그 응답을 여러 주파수 대역으로 분리하는 방법을 사용하였다. 다양한 주파수 성분을 가진 입력을 주기 위한 한 방법으로는 두 개 또는 세 개의 sine 입력을 합친 multi-tone 입력을 사용하는 것도 한 방법일 수 있다. 그러나 이러한

multi-tone 입력은 BIST를 위해 SoC 내부에서 발생시키기에는 지나치게 많은 실리콘영역과 발생회로가 어려워지는 문제가 있다. 따라서 본 논문에서는 디지털 테스트에서 일반적으로 많이 사용되는 linear feedback shift register (LFSR)을 통해서 나오는 테스트입력을 사용하여 회로를 테스트하는 BIST 기술에 대해서 제안한다. 혼합 신호 회로는 디지털과 아날로그 성분을 가지므로, 디지털을 테스트하기 위해 사용되는 LFSR 을 아날로그 테스트용으로 함께 사용할 수 있으며 이 경우 추가적인 하드웨어는 필요하지 않게 된다. 이와 같은 최소의 추가 하드웨어 비용은 혼합 신호 회로를 위한 BIST 디자인의 중요한 요소이기도 하다. 테스트 입력으로 LFSR을 이용하는 것에는 많은 이점들이 있을 수 있다. 본 논문에서 제안하는 BIST 기술은 [3,6]에서 설명한 pseudo random 테스트에서 사용된 digital to analog 변환기를 사용하지 않기 때문에 그 또한 본 기법의 추가적인 장점이 될 수 있다. [8]에서 소개한 것처럼 LFSR의 출력은 임의의 넓이를 갖는 디지털 파형을 생성하며 이와 같이 random한 신호를 생성하는 LFSR의 특성을 본 논문에서는 아날로그 테스트의 입력신호로서 활용한다. 다양한 주파수 성분을 갖는 이러한 입력 신호를 사용함으로써 기존의 방법들에 비해 높은 fault coverage를 얻을 수 있고 추가적인 하드웨어 부담이 적은 BIST의 해답을 가능하게 해준다. 우리가 제안한 방법은 뒤에 보여지는 것처럼 signature 분석을 위해 효율적이지만 단순한 wavelet을 사용함으로써 높은 fault coverage를 얻는다. 아날로그 및 혼성신호 회로 테스트에 있어서 parametric fault 검출을 위해서는 [10,11]에서 소개한 것과 같은 복잡한 통계적 기술에 의해 fault coverage를 더욱 향상시킬 수도 있다. 이러한 방법들은 일반적으로 fault classification의 문제로서 연구가 활발한 분야이기도 하다. 그러나 이러한 방법에는 signature를 연산하기 위한 DSP 회로와 CUT의 결점을 분류하기 위한 더욱 복잡한 통계학적/수학적 방법이 수행된다. 본 논문에서 제안한 방법 역시 추가적으로 fault coverage 향상을 위해 이러한 통계적 기술을 함께 적용할 수 있다. 이러한 통계적 기술은 추가적인 하드웨어의 필요성과 복잡성 때문에 여기서는 사용하지 않았으나, 추가적인 성능향상이 필요할 경우 함께 구현하는 것도 고려될 수 있을 것이다.

II. 랜덤 테스트

디지털 pseudo random 패턴은 혼합 신호 회로의 입력으로 여러 논문에서 사용되고 있다^[3,6,8]. 이 pseudo random 패턴은 전체 주파수 영역에서 균일한 성분을 갖는다. 그런 까닭에 LFSR의 출력이 입력으로 쓰일 때는 CUT는 모든 주파수에 대한 반응을 출력하게 된다. CUT 응답은 각각 다양한 주파수 성분에 대해 다른 민감성을 보이기 때문에 pseudo random 입력을 사용할 때 각 주파수 영역을 테스트하므로 테스트 성능을 증가시킬 수 있다. 이러한 pseudo-random 입력은 signature 분석기를 기반으로 한 wavelet 분석에 더욱 적합하다. 본 논문에서는 이러한 특성을 활용하여, wavelet을 통한 주파수 분석을 하고 이러한 정보를 fault coverage를 향상시키기 위해 사용한다.

Linear feedback shift registers (LFSR) 는 이미 디지털 회로의 BIST 에서 광범위하게 사용되어 오고 있다. LFSR은 매우 긴 주기성을 가지는 불규칙적인 수열을 생성한다. 유한한 상태를 가지고 있는 스테이트는 실제로 완벽한 불규칙적인 수열을 발생시킬 수는 없다. 그래서 최선의 방법은 pseudo random 수열을 생성하는 것이다.

LFSR은 두 개의 주요부분이 있다. 하나는 shift register이고 다른 하나는 피드백 되는 함수이다. LFSR은 가장 중요한 비트(MSB)를 피드백 시킨다. 피드백 함수는 LFSR에서 비트의 현재 상태의 함수이다. 이 함수는 다음과 같이 나타낸다.

$$H(X) = C_0 + C_1X + C_2X^2 + \dots + C_nX^n = \sum_{i=0}^n C_i X^i$$

그 함수가 각항의 1의 보수의 합에서 X^i 는 레지스터 상에서 i^{th} 번째에 일치하고 C_i 는 1 과 0 중에 하나의 값을 가진다. 기본적으로 피드백 함수는 C_i 는 제로인 X^i 의 집합으로 입력과 레지스터의 n번째 비트로 피드백 된 신호를 EX-OR 게이트의 입력으로 사용하여 얻어낸다.

이 함수는 LFSR을 특정 지으며 LESR의 특성 다항식이라 불린다. LFSR은 가장 긴 주기로 돌기 위해, 동일한 수열을 반복하기 전에 가능한 큰 상태로 순환하는 것이 바람직하다. 가능한 가장 큰 상태로 반복할 수 있는 LFSR을 maximal length LFSR (ML-LFSR)이

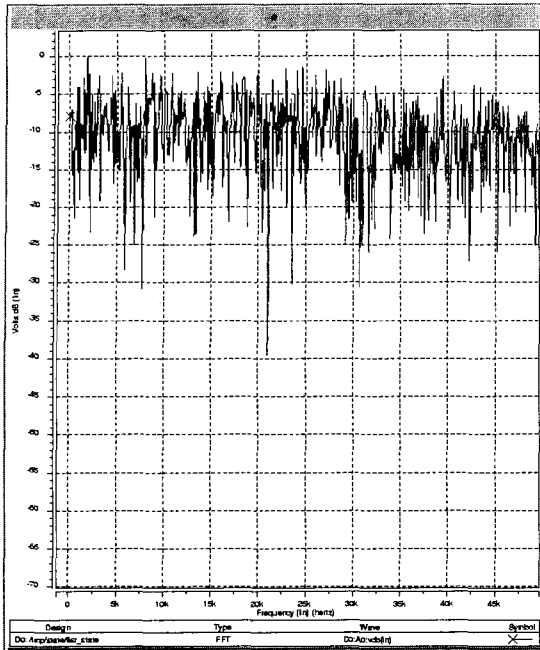


그림 4. LFSR-16 의 주파수 특성
Fig. 4. Frequency response of LFSR-16.

라고 한다. ML-LFSR은 한 주기 동안에 가능한 가장 큰 상태를 생성하기 때문에 모든 상태를 특정 상태라고 말할 수 있다. n-bit ML-LFSR는 $2^n - 1$ 의 주기를 갖는다. $H(0)=1$ 을 같은 $H(X)$ 다항식은 특정 m에 대해서 $X^m + 1$ 으로 나눌 수 있다. 가장 작은 m을 그 다항식의 주기라고 한다. $2^n - 1$ 의 주기를 갖는 n차 다항식이 초기의 다항식이다. 본 논문에서는 8비트와 16비

트의 ML-LFSR를 사용하며 그 다항식은 다음과 같다.

$$H(X) = X^8 + X^6 + X^5 + X + 1$$

$$H(X) = X^{16} + X^5 + X^3 + X^2 + 1$$

<그림 4>는 LFSR가 100kHz로 작동할 때 그리고 출력이 200kHz에서 샘플화가 될 때 주파수 도메인에서 16비트 LFSR를 나타낸 것이다. 2,048개의 FFT 포인트는 LFSR의 출력에서 수행된다. 이 그림은 pseudo-random 패턴이 white Gaussian noise로써 규칙적인 주파수 스펙트럼을 가진다는 사실을 보여준다.

III. 실험 결과

이 섹션에서 우리는 두 개의 표준 벤치마크 회로^[12]를 사용하여 본 방법의 성능을 측정토록 한다. Pseudo-random 패턴을 생성하기 위한 8비트와 16비트 LFSR은 100 KHz에서 작동되어지고 CUT 응답은 200kHz에서 샘플화가 된다. 2048개의 샘플은 샘플된 응답으로부터 수집되어지고 wavelet을 이용하여 9개의 주파수 대역으로 분리된다. 모든 회로 구성 부품의 변화 허용 범위는 5%로 가정하였다. 본 실험을 위해 총 500개의 training set과 3,000개의 test set를 Monte-Carlo 시뮬레이션을 통해서 구하였다. Monte-Carlo 시뮬레이션은 Gaussian 분포에서 $3\sigma=10\%$ 로 수행되었다. 여기서 강조되어야 할 점은 10%의 3σ 가정은 worst case를 가정한 것으로서 실제 집적회로의 fault는 이보다 더 넓은 분포를 가지게 되며, 따라서 fault의 검출도 훨씬 용이

표 3. 룩 프로그램 필터 실험결과

Table 3. Experimental data for leapfrog filter.

Stimulus Type	Signature Type	No. of Fault Free Circuits			No. of fault Circuits		
		Correctly Classified	Misclassified	Yield Coverage	Correctly Classified	Misclassified	Fault Coverage
Sinusoidal	Integrator	1,388	42	97.06	1,061	509	67.58
	Haar Wavelets	1,361	69	95.17	1,203	367	76.62
	Antonini Wavelets	1,368	62	95.66	1,221	349	77.77
LFSR-8	Integrator	1,372	58	95.94	1,025	545	65.29
	Haar Wavelets	1,322	108	92.45	1,437	133	91.53
	Antonini Wavelets	1,316	114	92.03	1,484	86	94.52
LSFR-16	Integrator	1,378	52	96.36	1,010	560	64.33
	Haar Wavelets	1,351	79	94.48	1,374	196	87.52
	Antonini Wavelets	1,313	117	91.82	1,460	110	92.99

해진다. 본 논문에서는 임의의 회로의 signature가 signature domain상에서 허용 범위 내에 포함되는지 아닌지를 판단하여, 이 결과에 따라 테스트 대상인 회로가 제대로 된 회로인지 잘못된 회로인지를 판단하도록 한다. 테스트 입력은 기존의 sine 입력신호와 본 논문에서 제안하는 pseudo-random 패턴 입력이 모두 사용되어 그 결과를 비교하였다. Haar와 Antonini wavelet^[2]은 signature 해석을 위해 각각 사용되며 그 차이에 따른 fault coverage의 비교도 함께 하였다.

1. Leap-Frog Filter

Leaping filter는^[10]는 <그림 5>에 나타나 있다. 모든 저항은 10K Ω 이 쓰이고 C1과 C4는 0.01 μ F 그리고 C2와 C3는 0.02 μ F를 사용하였다. 이 low pass filter (LPF)의 기본 특징은 다음과 같다.

DC Gain: -6.02 dB
 Cut-off Frequency: 1.47KHz
 Rejection Band Gain(>3.6KHz): < -26 dB

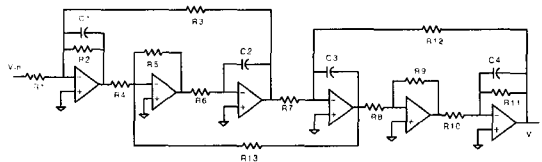


그림 5. 림 프로그 필터
 Fig. 5. Leapfrog filter.

실험의 결과는 <표 3>에 주어졌다. 1KHz의 sine 신호 입력에 대해서 기존의 디지털 적분기^[11]의 기술은 32.4%의 faulty 회로를 잘못 분류한다. 반면에 [2]에서 제안된 Haar wavelet은 이보다 향상된 23.4%의 비율을 가진다. Antonini wavelet은 Haar wavelet보다 좀더 좋은 성능을 보인다. 그러나 잘못 분류된 비율은 본 논문에서 제안된 pseudo-random 패턴을 입력으로 사용하면 크게 떨어진다. pseudo-random 패턴을 사용하면 잘못 분류하는 비율이 8%까지 떨어지고 잘못된 회로의 94.5%가 발견된다. 이와같이 크게 향상된 성능은 주파수 정보가 추가로 fault 검출을 위해 사용된 때문으로, 본 논문에서 제안하는 기법의 성능을 잘 보여주고 있다.

2. State Variable Filter

두 번째로 사용된 state variable 필터는 <그림 6>에

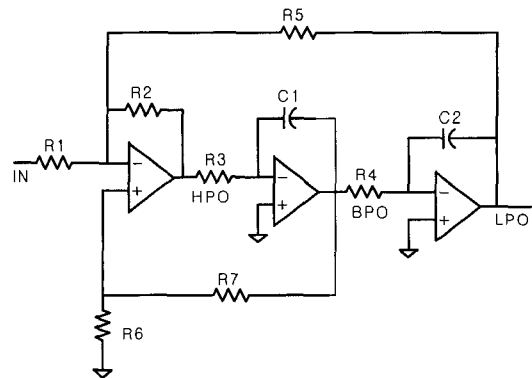


그림 6. 스테이트 베리어블 필터
 Fig. 6. State variable filter.

표 4. 스테이트 베리어블 필터의 실험 결과

Table 4. Experimental data for HPO of state variable filter.

Stimulus Type	Signature Type	No. of Fault Free Circuits			No. of fault Circuits		
		Correctly Classified	Misclassified	Yield Coverage	Correctly Classified	Misclassified	Fault Coverage
Sinusoidal	Integrator	1,440	17	98.83	800	743	51.85
	Haar Wavelets	1,431	26	98.22	952	591	61.7
	Antonini Wavelets	1,423	34	97.67	973	570	63.06
LFSR-8	Integrator	1,430	27	98.15	760	783	49.25
	Haar Wavelets	1,392	65	95.54	1,251	292	81.09
	Antonini Wavelets	1,384	73	94.99	1,274	267	82.7
LSFR-16	Integrator	1,428	29	98.01	762	781	49.38
	Haar Wavelets	1,386	71	95.13	1,323	220	85.74
	Antonini Wavelets	1,395	62	95.74	1,219	324	79

주어진다. HPF의 출력이 성능 검증을 위한 출력으로 사용되었다. 저항 $R6=3K\Omega$ 이고 $R7=7K\Omega$, 그리고 나머지 저항은 모두 $10K\Omega$ 으로 한다. 그리고 C1 과 C2는 $20nF$ 으로 사용한다. 이 HPF의 특성은 다음과 같다.

Passband Gain:	0 dB
Maximum Overshoot Frequency:	1.89KHz
Cut-off Frequency:	600Hz

이 실험의 데이터는 <표 4>에 나타나 있다. Haar을 바탕으로 한 설계는 입력으로 2 KHz의 sine 신호를 사용했을 때는 fault coverage가 61.7%였고 8비트 LFSR로부터 뽑아낸 pseudo-random 패턴을 입력으로 사용했을 때는 81.1%의 fault coverage 가 나타난다.

Wavelet을 바탕으로 한 설계가 sine 입력과 pseudo-random 입력 두 가지 모두에 대하여 [1]에서 제안되었던 디지털 적분기만을 사용한 설계보다 좋은 특성을 가지는 점은 [2]에서 검증된 결과와 동일하다고 볼 수 있다. Haar wavelet은 85.7%로 잘못된 회로를 분류하고 제대로 된 회로의 4.8%만 잘못 분류한다. 이와 같은 coverage 들은 parametric fault 만을 기준으로 하였고 특히 앞에서 잠깐 언급되었듯이 $3\sigma=10\%$ 를 가정으로 수행되었음을 고려해야 한다. 일반적으로 집적회로에서는 3σ 의 변동을 고려한 설계를 하게 되므로 실제 fault는 6σ 이상의 변동을 가지게 된다^[9]. 따라서 이러한 실제적인 경우와 catastrophic fault까지를 고려하게 되면 실제 fault coverage는 90%를 훨씬 상회하게 된다. 즉 일반적으로 실제 칩에서 많이 발생하는 catastrophic fault^[13]의 coverage 는 본 방법을 적용했을 때 100%가 나오며 본 논문에서는 이러한 쉬운 fault 대신 검출이 매우 어려운 parametric fault 만의 결과를 보여주고 있다.

IV. 결 론

이 논문에서는 혼합 신호 회로에서 pseudo random 입력 신호를 통한 테스트 성능 향상에 대하여 설명하였다. 디지털 LFSR을 사용하여 발생된 pseudo-random 패턴을 테스트 입력으로 사용하여 CUT에 제공하고 그 출력의 응답을 wavelet을 통해 여러 주파수 영역에서 분석하였다. 본 논문에서 제안된 테스트 기술은 두 개

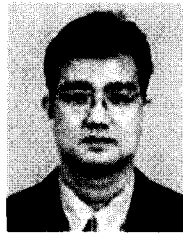
의 아날로그회로를 대상으로 하였고, 그 실험 결과는 기존 방법^[2]에 비해 더욱 향상된 fault coverage를 보여 주었다. 이 기술의 추가적인 장점은 칩에서 비싸게 구현해야 하는 sine 입력을 사용하지 않기 때문에 BIST로서의 구현이 더욱 용이해진다는 점이다. 또한 pseudo-random 입력은 fault coverage를 높이기 위한 입력신호 최적화를 할 필요가 없다는 것 역시 본 방법의 실제 적용을 더욱 용이하게 해준다.

참 고 문 헌

- [1] N. Nagi, A. Chatterjee, H. Yoon and T.A. Abraham, "signature analysis for analog and mixed-signal circuit test response compaction", IEEE trans. on Computer-Aided Design, Vol. 17, No. 6, pp. 540~546, June 1998.
- [2] J. Roh and J. A. Abraham, "Subband Filtering scheme for analog and mixed-signal circuit testing", Proc. Int. Test Conf., pp. 221~229, 1999.
- [3] C. Y. Pan and K. T. Cheng, "Pseudorandom testing for mixed-signal circuits", IEEE Trans. on Computer-Aided Design, Vol. 19, No. 10, pp. 1173~1185, October 1997.
- [4] P. N. Variyam and A. Chatterjee, "Test generation for linear, time-invariant analog circuits", IEEE Trans. on Computer-Aided Design, Vol. 19, No. 10, pp. 1189~1201, October 2000.
- [5] P. N. Variyam and A. Chatterjee, "Test generation for comprehensive testing of linear analog circuits", Proc. int. Conf. Computer-Aided Design, pp. 382~285, 1997.
- [6] C. Y. PAN and K. T. Cheng, "test generation for linear, time-invariant analog circuits", IEEE Trans. Circuits and Systems-II, vol. 46, No. 5, pp. 554~564, May 1999.
- [7] B. Dufort and G. W. Roberts, "On-chip analog generation for mixed-signal built-in self-test", IEEE J. of solid-state Circuit, Vol. 34, No. 3, pp. 318~330, March 1999.

- [8] P. N. Variyam, A. Chatterjee and N. Nagi, "Low-cost and efficient digital-compatible BIST for analog circuits using pulse response sampling", Proc. VLSI Test Symposium, pp. 261~266, 1997.
- [9] Y. K. Malaiya and A. P. Jayasumana, "Enhancement of resolution in supply current based testing for large ICs", Proc. VLSI Test Symposium, pp. 291~296, 1991.
- [10] Z. Wang, G. Gielen and W. Sansen, "Probabilistic fault detection and the selection of measurements for analog integrated circuits", IEEE Trans. on Computer-Aided Design, Vol. 17, No. 9, pp. 862~872, September 1998.
- [11] Z. R. Yang, M. Zwolinski, C. D. Chalk and A.C. Williams, "Applying a robust heteroscedastic probabilistic neural network to analog fault detection and classification", IEEE Trans. on Computer-Aided Design, Vol. 19, No. 1, pp. 142~151, January 2000.
- [12] B. Kaminska, K. Arsbi, I. Bell, J. L. Huertas, B. Kim, A. Rueda and M. Soma, "Analog and mixed-signal bench-mark circuits- first release", Proc. Int. Test Conf., pp. 183~190, 1997.
- [13] L. Milor and V. Visvanathan, "Detection of catastrophic faults in analog integrated circuits," IEEE Trans. on Computer-Aided Design, Vol. 8, No. 2, pp. 114~130, February 1989.
- [14] *HSPICE User's Manual*, Avanti! Corporation, Fremont, CA, USA.

 저 자 소 개



盧正眞(正會員)

1990년 2월 한양대학교 전기공학 학사, 2001년 5월 The university of Texas at Austin 컴퓨터공학 박사. 1989년 12월 - 1996년 6월 삼성전자 근무, 2000년 3월- 2001년 8월 Intel, USA 통신회로팀 Senior design engineer 근무, 2001년 9월-현재 한양대학교 전자컴퓨터공학부 교수. <주관심분야 : 델타-시그마 데이터 변환기 설계, 휴대전자제품용 DC- DC 변환기 설계, 혼성신호회로의 시뮬레이션 및 테스트>