

論文 2003-40SD-4-6

온도 보상기능을 갖는 내장형 RC OSCILLATOR 설계

(Design of an Embedded RC Oscillator With the Temperature Compensation Circuit)

金聖植*, 趙慶錄**

(Sungsik Kim and Kyoungrok Cho)

요 약

본 논문에서는 시스템의 클럭을 안정적으로 공급하는 집적화 한 내장형 RC oscillator의 구현에 관한 논문이다. 기존의 RC oscillator는 온도에 따라 주파수변화가 약 15%정도 변화가 있는데 이는 온도에 따른 저항값의 변화와 schmitt trigger의 기준전압이 온도에 따라 변화하기 때문이다. 본 연구에서는 온도에 따른 주파수 변화를 최소화하는 방법으로 CMOS bandgap과 온도에 따른 전류의 변화를 이용하였다. CMOS bandgap으로 기준 전압을 얻고 온도에 따라 증가하는 전류원과 온도에 따라 감소 하는 전류원을 서로 합하면 온도에 따라 일정한 전류를 얻어 주파수의 변화를 약 3%이내로 유지하는 회로를 제안한다.

Abstract

This paper presents an embedded RC oscillator which has temperature compensation circuits. The conventional RC oscillator has frequency deviation about 15%, which is caused by variation of resistors and the reference voltage of schmitt trigger from the temperature condition. In this paper, the proposed circuit use a CMOS bandgap reference having balanced current temperature coefficients as a triggering voltage of schmitt trigger. The constant current sources consist of current mirror circuit with the positive and negative temperature coefficient. The proposed circuit shows less 3% frequency deviation for variation of temperature, supply voltage and process parameters.

Keywords : RC Oscillator, Temperature Compensation

I. 서 론

본 논문에서는 내부 시스템 클럭을 안정적으로 동작시키기 위하여 온도보상특성을 갖는 새로운 내부 RC oscillator 회로를 제안한다. 내부 클럭은 일반적으로 저항과 캐패시터와 슈미터 트리거 회로로 구성되어 있다.

그러나 저항은 온도에 따라 값이 변화하므로 RC oscillator를 집적화하는데 어려움이 있어 외장형 형태로 회로를 구성하게 된다. 또한 집적화된 슈미터 트리거 회로도 트랜지스터의 문턱 전압이 변화하기 때문에 기준전압이 온도에 따라 변화하게 된다.

<그림 1>은 기존의 RC oscillator 회로이다. 저항과 캐패시터 및 슈미터 트리거로 구성되어 있고 기본적인 동작은 다음과 같다. 슈미터 트리거의 입력 전압은 RC 시정수를 갖고 점차 증가하다가 NI 노드 전압이 슈미터 트리거의 기준전압에 이르면 슈미터 트리거의 출력 전압이 high 상태가 되고 피드백 트랜지스터 TN1이 온이 되어 캐패시터에 충전된 전하를 방출하여 노드NI 전압이 감소하게 된다. 이와 같은 연속 동작으로 슈미

* 正會員, Hynix半導體 MCU設計
(Hynix Semiconductor)

** 正會員, 忠北大學校 電氣電子工學部
(Chungbuk National University)

接受日字:2002年7月22日, 수정완료일:2003年3月24日

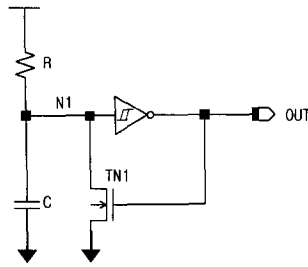


그림 1. 기존 RC oscillator
Fig. 1. RC oscillator.

터 트리거의 출력단에는 구형파의 파형을 얻을 수 있다.

<그림 1>과 같은 회로에서 RC oscillator의 주파수 변화율은 온도가 -45°C에서 100°C로 변화할 때 약 10%~15%정도 변화한다. 시스템 측면에서 외장형으로 구성된 저항을 집적화하면 비용이 절감되나 저항의 온도계수로 인해 저항 값이 변화하여 온도에 대한 안정적인 주파수를 얻기 힘들다. <표 1>은 0.5um CMOS공정에서 온도의 변화에 따른 수동 소자의 온도계수를 나타낸다.

표 1. 수동소자의 온도계수(0.5um CMOS공정)

Table 1. Measured Temp. Coefficient.

| Resistor type | Temp. coefficient |
|----------------|--------------------------|
| Poly | + 517.33 ppm/°C |
| P diffusion | + 1347.717 ppm/°C |
| N diffusion | + 1069.142 ppm/°C |
| N well | + 5774.098 ppm/°C |
| Capacitor type | Temp. Coefficient(500 Å) |
| Poly-Diff | + 25 ppm/°C |

<표 1>에서 보면 수동소자에 대한 온도계수가 모두 양의 값을 갖고 있음을 알 수 있다. 즉 온도가 증가할수록 수동소자의 값이 증가하고 이로 인해 RC oscillator의 RC시정수가 변하므로 주파수가 온도에 따라 변화하게 된다.

<그림 1>의 회로에서 주파수 4MHz를 얻기 위해 저항은 약 3.3k ohm 캐패시터는 약 5pF 정도의 값이 요구되며, 주기는 시정수 RC에 비례한다. 여기서 저항 R이 poly층으로 만들어졌을 때 poly 저항의 경우 <표

1>에 의하면 온도 변화가 100°C이면 저항값은 3.3Kohm에서 3.47Kohm으로 변화하여 슈미터 트리거의 기준 전압과 캐패시터의 값이 온도에 무관하다고 가정할 때 순수 저항만의 온도계수에 따라 변화하는 주파수의 변화율이 약 5% 정도이다.

표 2. 슈미터 트리거 특성(0.5um CMOS공정)

Table 2. Variation of the schmitt trigger circuit of Fig 1.

| | -20°C | 25°C | 85°C |
|-----|-------|-------|-------|
| ViL | 1.07v | 1.13V | 1.16V |
| ViH | 3.15v | 3.36v | 3.55v |

<표 2>는 슈미터 트리거의 기준전압 레벨이 온도에 따라 변화함을 나타내는데 0.5um CMOS공정에서 ViL의 경우 약 3% , ViH는 약 5%정도 온도에 따라 변화함을 알 수 있다. 그리고 슈미터 트리거의 기준 전압의 온도 의존성까지 고려하면 주파수 변화율은 이보다 커져서 최대 15%까지 변화하게 된다. 따라서 기존의 RC oscillator의 방법으로는 온도에 따른 주파수의 변화율을 5%이내로 얻는 것이 불가능함을 알 수 있다.

II. 제안된 온도 보상형 RC oscillator

온도 보상 RC oscillator는 bandgap기준 회로와 온도에 비례하여 전류가 흐르는 전류원 및 온도의 증가에 따라 전류가 감소하는 전류원, 이 두 전류원을 합한 전류원 및 relaxation oscillator로 구성할 수 있다. 또한 정확한 절대치의 주파수를 얻기 위해 4bit DAC로

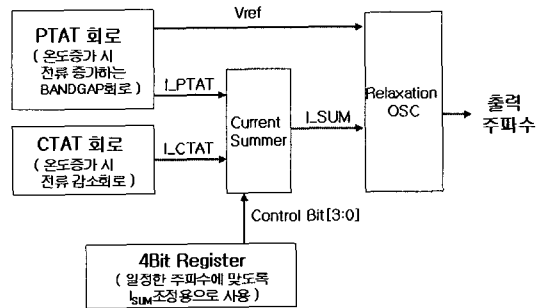


그림 2. 제안된 온도보상용RC oscillator 블록도
Fig. 2. Proposed RC oscillator structure.

calibration을 하는 비트가 추가되어 전체 회로 구성은 <그림 2>와 같다.

여기서 PTAT (proportional to absolute temperature) 회로^[1]는 온도에 따라 전류가 증가하는 특성을 갖고 CTAT(complementary to absolute temperature)회로는 온도에 따라 전류가 감소하는 특성을 갖는다. PTAT BIAS는 bandgap 회로로 구성되어 있으며 bandgap에서 출력되는 기준전압은 relaxation oscillator의 기준전압으로 사용된다^[2].

Current summer에서는 PTAT과 CTAT으로부터 발생한 전류를 합하여 온도에 따라 일정한 전류값을 발생시키고^[3] 이 전류는 relaxation oscillator에 입력된다. <그림 3>에서 나타나듯이 PTAT전류는 온도에 따라 증가하고 CTAT전류는 온도에 따라 감소하는 특성을 갖고 이 두 전류의 온도에 대한 기울기를 같게 한 다음 두 전류를 합하면 온도에 일정한 전류를 얻을 수 있음을 나타낸다.

일반적으로 <그림 2>와 같은 relaxation oscillator의 출력 주파수는 식 (1)로 나타낼 수 있다^[4].

$$\text{Frequency} = \frac{I_{SUM}}{2 \cdot V_{ref} \cdot C} \quad (1)$$

위의 식 (1)에서 V_{ref} 는 bandgap reference에서 출력되는 전압으로 온도에 대해 일정한 값을 가지며, 전류 I_{SUM} 은 PTAT전류와 CTAT전류의 합으로 온도에 대해 일정한 값을 유지하므로 출력 주파수는 이상적으로 캐패시터의 온도변화에 따른 절대값의 변화에만 의존하게 된다. 즉 캐패시터의 값이 크면 동작 주파수는 낮은 대역을 가지며, 캐패시터의 값이 작을수록 높은 대역의 동작 주파수를 가짐을 나타내고 있다. 여기서 C 는 schmitt trigger의 시정수를 결정하는 캐패시터이다.

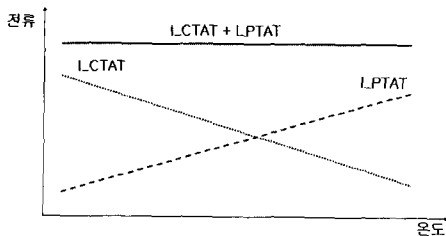


그림 3. Current Summer
Fig. 3. Current Summer.

III. CMOS 회로 구현

1. PTAT BIAS 회로

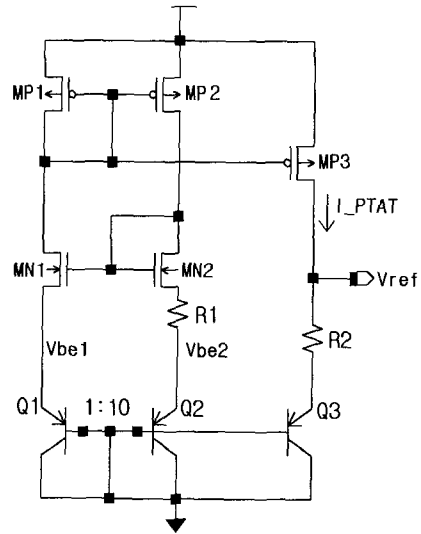


그림 4. Bandgap reference회로
Fig. 4. A typical conventional band gap reference.

<그림 4>는 PTAT회로를 구현하는 온도보상용 bandgap reference 회로도이다. 출력전압은 Q3 트랜지스터 에미터와 베이스 양단에 걸리는 전압과 저항 R2에 걸리는 전압의 합으로 나타낼 수 있다^[5].

$$V_{ref} = V_{be} + R2 \cdot I_{PTAT} \quad (2)$$

MP1, MP2, MP3의 크기가 동일하고 MN1, MN2의 크기가 동일하다면 V_{be1} 과 V_{be2} 양단의 전압 차이는 R1값과 I_{PTAT} 의 곱으로 나타낼 수 있다

$$V_{be1} - V_{be2} = R1 \cdot I_{PTAT} \quad (3)$$

여기서 Q1에 흐르는 포화전류밀도를 I_{s1} , Q2에 흐르는 포화전류밀도를 I_{s2} 라하고, $V_{be} = V_T \cdot \ln(I/I_s)$ 를 대입하면 I_{PTAT} 는 식 (4)와 같이 나타낼 수 있다.

$$\begin{aligned} V_T \cdot \ln\left(\frac{I}{I_{s1}}\right) - V_T \cdot \ln\left(\frac{I}{I_{s2}}\right) &= R1 \cdot I_{PTAT} \\ V_T \cdot \ln\left(\frac{I_{s2}}{I_{s1}}\right) &= R1 \cdot I_{PTAT} \\ V_T \cdot \ln 10 &= R1 \cdot I_{PTAT} \\ I_{PTAT} &= \frac{V_T \cdot \ln 10}{R1} \quad (V_T = \frac{kT}{q}) \end{aligned} \quad (4)$$

Bandgap 기준회로는 절대온도에 비례하는 전압에서 음의 온도계수를 가지는 베이스-에미터 접합의 전압을 더하여 온도의 변화에 영향을 받지 않는 안정적인 전압을 얻을 수 있다^[6]. 전류가 일정하면 V_{be} 는 근사적으로 실온에서 온도계수가 $-2mV/^\circ C$ 이고^[7], V_T 는 $27^\circ C$ 에서 $25mV$ 이며 온도계수가 양의 값을 갖고 있으므로 저항 $R1$ 과 $R2$ 의 비로 출력 전압의 온도계수를 '0'으로 만들 수 있다.

<그림 4>의 bandgap회로에서 이득이 작아 공급전압의 변화에 대해 V_{ref} 의 변화율이 크게 된다. <그림 4> 회로를 $0.5\mu m$ CMOS 공정을 이용하여 측정결과 공급전압이 $2.5V$ 에서 $5V$ 까지 변화할 때의 V_{ref} 의 변화율은 약 15% 정도 되었다. 이 변화율을 작게 하기 위해 높은 이득을 갖는 OP-amp로 대체하면^[8] 공급전압에 따른 V_{ref} 의 변화율을 1% 내외로 얻을 수 있다.

<그림 5>의 회로는 <그림 4>의 회로에서 높은 이득을 갖는 OP-amp로 대체한 bandgap회로이다^[9-12]. 회로는 bias block과 bandgap core block으로 구성되어 있으며, bias block은 직렬 연결된 MP1, MP2트랜지스터가 포화영역에서 동작하도록 게이트 전압이 인가된다.

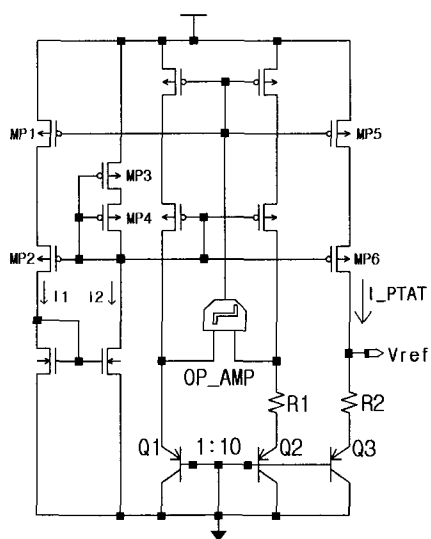


그림 5. 개선된 bandgap회로
Fig. 5. Proposed band gap reference.

MP1트랜지스터는 $V_{gs} \geq V_{ds} + V_T$ 이면 포화영역에서 동작하며, 트랜지스터 MP2도 포화영역에서 동작하기 위해서는 $V_{gs} \geq V_{ds} + V_T$ 가 되어야 하므로 bias block에서는 $V_{ds} + V_T$ 가 트랜지스터 MP1, MP2의 게이트에

인가되어야 한다.

MP1에 인가되는 게이트 전압은 bandgap core block의 OP AMP출력 값이 연결되어 있으며, MP3와 MP4의 다이오우드 구조로 MP2 및 MP2의 게이트에 연결된 트랜지스터를 포화영역에서 동작하도록 한다. MP3와 MP4트랜지스터의 역할은 MP2의 양단에 흐르는 전류가 정상상태보다 증가하면 I1전류가 증가되고, current mirror에 의하여 I2전류도 증가하므로 MP4의 게이트 전압이 증가하여 I1전류를 감소시키면서 트랜지스터 MP4의 소스와 드레인간에 흐르는 전류가 감소하게 되어 전체적으로 부궤환회로가 형성되어서 MP2양단에 흐르는 전류를 안정화시키기 위해서 사용되는 bias전류 안정화 트랜지스터이다.

Bandgap core block동작은 기본적으로 <그림 4>와 같으며, <그림 5>에서 Q1 에미터단 전압이 증가하면 OP Amp의 출력이 증가하여 Q1단에 흐르는 전류를 안정화시키는 부궤환회로를 이용하여 구현하였다^[13].

Bandgap core block회로에서 PMOS의 크기가 같으면 모든 PMOS에 흐르는 전류는 식 (2)에서 $I_{PTAT} = (V_T \cdot \ln 10) / R1$ 의 전류가 흐르게 되며, PTAT전류는 온도가 증가함에 따라 $25mV/^\circ C$ 로 증가하는 V_T 의 영향으로 증가하게 되며^[14], V_{ref} 값은 식 (2)에서 나타내듯이 $V_{ref} = V_{be} + R2 \cdot I_{PTAT}$ 이므로 V_{be} 는 온도증가에 따라 감소하는 특성을 나타내고, I_{PTAT} 는 V_T 에 의하여 온도증가에 따라 증가하는 특성을 나타내므로 저항 $R1$ 과 $R2$ 의 비로 온도 변화에 영향을 받지 않는 일정한 전압을 공급하는 전원을 얻을 수 있다.

2. CTAT BIAS 회로

CTAT BIAS회로는 온도의 증가에 따라 전류가 감소하는 방향으로 bias를 생성시키는 회로이다. 서론에서 언급한 저항의 온도계수는 양의 값을 갖고 있으므로 전압이 일정할 때 전류는 온도의 증가에 따라 감소하게 된다.

CTAT BIAS회로는 <그림 6>과 같이 OP-amp와 poly 저항 및 PMOS로 구성되어 있다. OP-amp의 부궤환에 의해 node1은 V_{ref} 와 같은 전압이 걸리고 V_{ref} 는 bandgap의 출력 전압이므로 I_{CTAT} 전류는 V_{ref}/R 의 값을 가지게 되며, 저항의 온도계수는 양의 값을 가지므로 poly 저항에 흐르는 I_{CTAT} 전류는 온도에 따라 감소하게 된다.

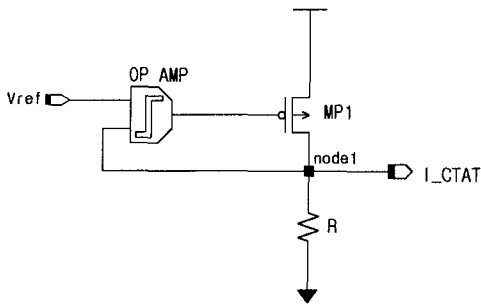


그림 6. CTAT BIAS 회로
Fig. 6. CTAT BIAS circuit

3. CURRENT SUMMER 회로

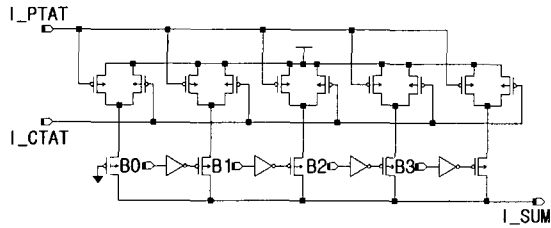


그림 7. Current Summer
Fig. 7. Current Summer.

<그림 7>에서 PTAT 전압과 CTAT 전압을 PMOS 게이트에 연결하면 I_PTAT 전류와 I_CTAT 전류의 합을 얻을 수 있다. I_PTAT 와 I_CTAT의 온도에 대한 변화율을 나타내면 다음과 같다.

$$I_{PTAT} = \frac{V_T \cdot \ln 10}{R1} \quad (V_T = \frac{kT}{q})$$

$$\frac{\partial(I_{PTAT})}{\partial T} = \frac{k}{q} \frac{\ln 10}{R1} \tag{5}$$

$$I_{CTAT} = \frac{V_{ref}}{R}$$

$$R = R_0(1+TC1 \cdot T+TC1^2 \cdot T^2+ \dots)$$

$$R = \frac{R_0}{1-TC1 \cdot T}$$

$$\frac{\partial(I_{CTAT})}{\partial T} = - \frac{V_{ref} \cdot TC1}{R_0} \tag{6}$$

TC1은 poly 저항의 온도계수이며^[15], 식 (5)는 양의 값이고 식 (6)은 음의 값을 가지므로 Current summer에서는 위의 두 온도에 대한 전류의 변화율을 같게 하여 relaxation oscillator에 온도에 일정한 전류를 공급한다.

<그림 7>에서 B0부터 B3까지 4개의 전류셀은 4bit DAC로 4MHz로 조절하기 위한 calibration bit이다.

4. RELAXATION OSCILLATOR

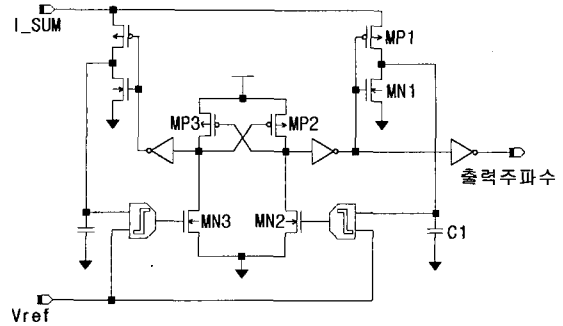


그림 8. relaxation oscillator
Fig. 8. relaxation oscillator.

<그림 8>은 relaxation oscillator의 회로도이다. 기본적인 구성은 비교기, SR 레지로 구성되어 있다. 입력 전류 I_SUM은 current summer에서 입력되고 비교기의 Vref는 bandgap으로부터 공급되는 전압이므로 온도 변화에 대해 일정한 주파수를 얻을 수 있다.

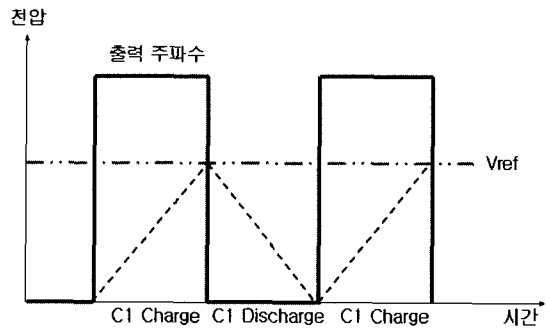


그림 9. Relaxation oscillator waveform
Fig. 9. Relaxation oscillator waveform.

기본적인 동작은 다음과 같다. 트랜지스터 MP1이 온 되면 캐패시터 C1에 전하가 축적되기 시작하면서 시간에 대해 기울기 1/C1를 가지면서 점차 전압이 상승하게 된다. 캐패시터 C1에 걸리는 전압이 Vref보다 크게 되면 comparator의 상태가 바뀌면서 트랜지스터 MP1은 오프되고 트랜지스터 MN1이 온되어 캐패시터의 전하를 방전하게 된다. <그림 9>는 relaxation oscillator의 동작을 그림으로 표시하였다.

IV. 시뮬레이션 및 측정결과

1. Bandgap reference회로

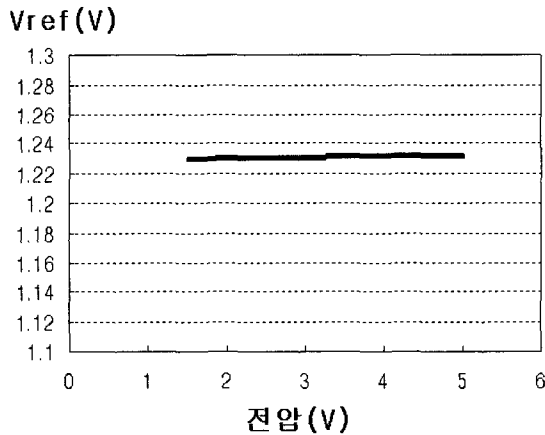


그림 10. 공급전압의 변화에 따른 Vref파형
Fig. 10. Vref waveform with the supply voltage.

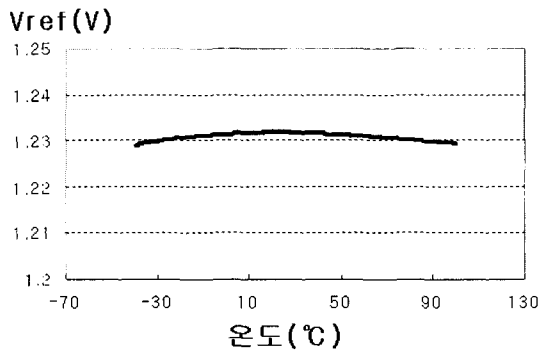


그림 11. 온도변화에 따른 Vref 파형
Fig. 11. Temperature variation of Vref.

<그림 10>은 본 논문에서 제안한 <그림 5>의 회로를 이용하여 0.5um CMOS공정에서의 시뮬레이션한 공급전압의 변화에 따른 Vref전압의 파형을 나타낸다. 공급전압이 1.5V에서 5V로 변화할 때 Vref의 변화는 1.231V에서 1.232V로 일정한 전압을 가짐을 알 수 있다.

표 3. Vref 변화율
Table 3. Vref variation.

| | Vref 변화율 | 범위 |
|------|----------|-------------------|
| 공급전압 | 0.8% | 2.5V~5.0V |
| 온도 | 0.2% | -45~100°C |
| 공정 | 0.25% | Fast/Typical/Slow |

<그림 11>은 0.5um CMOS공정을 이용하여 시뮬레이션한 온도변화에 따른 Vref전압의 파형을 나타내고 <표 3>은 공급전압, 온도, 공정의 변화에 대한 Vref의 변화율을 나타낸다.

2. Current Summer

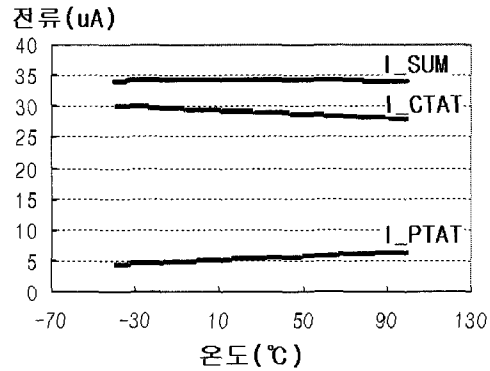


그림 12. Current summer파형
Fig. 12. Current summer waveform

<그림 12>는 <그림 5> 회로에서의 I_PTAT전류와 <그림 6> 회로에서 I_CTAT전류의 파형 및 두 전류를 합한 전류의 파형을 0.5um CMOS공정 특성을 이용하여 시뮬레이션한 결과이다. <그림 12>에서 보듯이 I_PTAT전류는 온도에 따라 증가하고 I_CTAT전류는 온도에 따라 감소함을 알 수 있다.

두 전류의 온도에 대한 전류의 기울기를 PMOS크기로 조절하면 위의 <그림 12>에서와 같이 두 전류의 합을 온도에 대해 일정하게 만들 수 있다. 온도가 -45에서 100°C로 변화할 때 전류합의 변화율은 약 0.2% 정도이다.

3. Relaxation oscillator

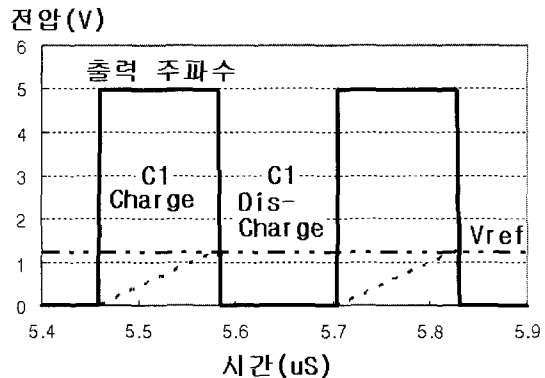


그림 13. relaxation oscillator 파형
Fig. 13. relaxation oscillator waveform.

<그림 13>은 본 논문에서 제안한 <그림 8>의 회로를 이용하여 0.5um CMOS공정 특성을 이용하여 시뮬레이션한 결과이다. <그림 13>에서 캐패시터의 전압이 일정한 기울기로 증가하다가 Vref전압보다 커지면 comparator에 의해 상태가 변화하여 캐패시터의 전압이 감소됨을 볼 수 있다. 출력 파형의 duty는 50%다.

4. 측정 결과
주파수 (MHz)

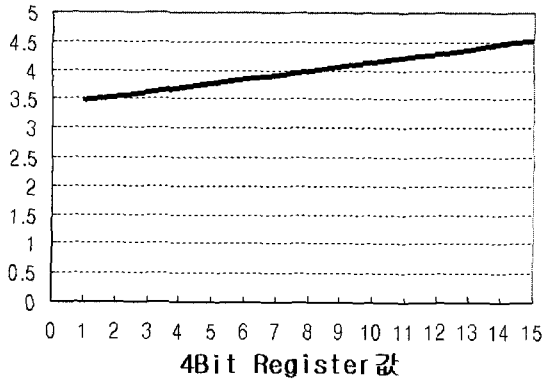


그림 14. 4Bit DATA에 따른 주파수 변화
Fig. 14. Frequency drifts of the DAC.

<그림 14>는 4bit DAC의 비트를 0000에서 1111까지 변화함에 따라 주파수의 변화를 본 그래프이다. 4bit calibration control비트를 선택하면 4MHz근처의 주파수를 얻을 수 있고, 3.5MHz부터 4.6MHz까지의 안정적인 주파수를 선택할 수 있다.

<그림 15>는 온도변화와 전원전압의 변화에 따른 주파수의 변화를 나타낸다. 본 논문에서 제안한 회로의

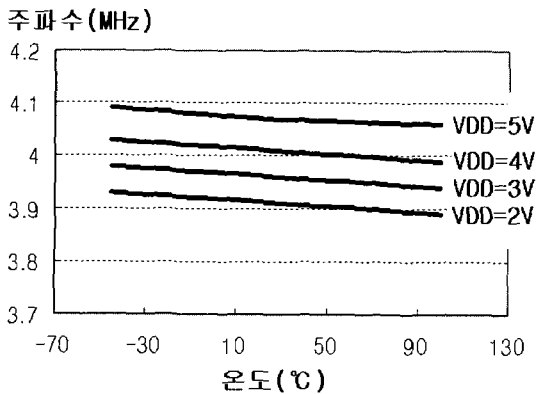


그림 15. 온도 및 공급전압에 따른 주파수 변화
Fig. 15. Frequency drifts with respect to temperature change with the supply voltage.

최대 온도 변화에 따른 주파수 변화율이 2.5% 정도이다.

<그림 16>은 0.5um CMOS에 있어서 공정 변화와 공급전압에 따른 주파수의 변화를 나타낸 그래프이다.

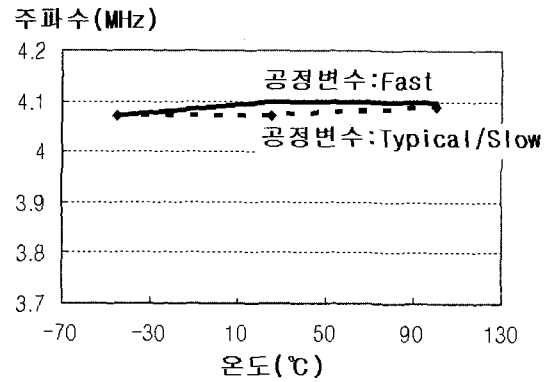


그림 16. 공정 변화에 따른 주파수 변화
Fig. 16. Frequency drifts of with the fabrication process.

<그림 15>와 <그림 16>을 정리하면 <표 4>와 같다.

표 4. 내장형 RC oscillator 주파수 변화율
Table 4. On chip RC oscillator frequency variation.

| | Condition | 주파수 변화 |
|-------------------|-------------|---------|
| Supply voltage | 2.5V~5V | 2.8% |
| Temp. variation | VDD= 5V | +/-0.7% |
| | VDD=2.5V | +/-0.8% |
| Process variation | VDD=5V | +/-0.2% |
| | VDD=2.5V | +/-0.3% |
| power | 2mW @VDD=5V | |

<표 4>에서 보면 최대 주파수 변화율이 3% 이내임을 알 수 있다.

V. 결 론

기존의 집적화된 내부 RC oscillator에서는 온도에 따른 소자 값의 변화 및 트랜지스터의 문턱전압의 변화로 인해 주파수의 변화율을 10% 이하로 만들기가 불가

능하였다. 본 연구에서는 이러한 온도에 대한 주파수의 변화를 없애기 위해 bandgap회로의 온도 및 공급전압의 변화에 따른 안정적인 기준전압을 생성시키고 온도에 대해 증가하는 전류원 및 감소하는 전류원을 생성하여 두 전류의 합을 relaxation oscillator에 인가하여 온도 및 공급전압의 변화에 대하여 안정적인 주파수를 얻는 회로를 제안하였다.

공정은 3metal, 2poly CMOS공정에 0.5um design rule을 적용하여 설계제작하였으며 4MHz주파수에서 전압, 온도, 공정변화에 대하여 최대주파수 변화율이 3% 이내의 좋은 결과를 얻었다. 제작된 chip size는 650um × 650um이다.

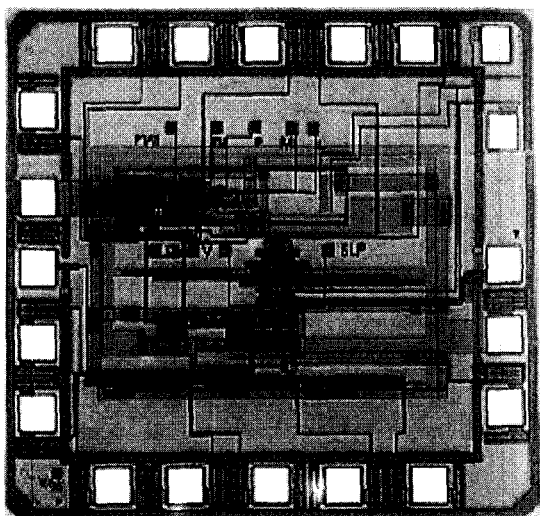


그림 17. Layout
Fig. 17. Layout.

참 고 문 헌

- [1] P. Yannis, "Accurate analysis of temperature effects in $I_c - V_{be}$ Characteristics with application to bandgap reference sources", IEEE J. Solid State Circuits, Vol. 6, pp. 1076~1083, Dec 1980.
- [2] P.E. Allen and D.R. Holbrg, "CMOS Analog Circuit Design", HRW, 1987.
- [3] W. T. Harrison, "An improved current mode CMOS voltage reference", ISCAS 2001, Vol. 1, pp. 23~26, 2001.
- [4] N. Weste and K. Eshraghian, "Principles of CMOS VLSI Design", Addison-Wesley, 1988.
- [5] B. kim, "Low power CMOS on chip voltage reference using MOS PTAT", ASIC conference and exhibit, 1997.
- [6] H. Banba, H. Shiga, A. Umezawa, T. Miyabata, T. Tanzawa, S. Atsumi and K. Sakuii, "A CMOS Bandgap Reference Circuit with Sub IV Operation", VLSI '98 Digest of Technical Papers, Honolulu, USA, pp. 228~229, 1998.
- [7] P.R. Gray and R.G. Meyer, "Analysis and Design of analog integrated circuits", 2nd ed, 1984.
- [8] P.R. Gray and R.G. Meyer, "MOS operational amplifier design- A tutorial overview," IEEE J. Solid-State Circuits, Vol. SC-17, pp. 969~982, Dec. 1982.
- [9] Meijer, G.C.M, "Temperature sensors and voltage references implemented in CMOS technology", IEEE J. sensor, pp. 225~234, Oct 2001.
- [10] M. Gunawan, G. Meijer, J. Fonderie and H. Huijsing, "A Curvature Corrected Low Voltage Bandgap Reference", IEEE J Solid Circuits, Vol. 28, pp. 667~670, June 1993.
- [11] S. Lin and C. Salama, "A V_{be} Model with Application to Bandgap Reference Design", IEEE J. Solid State Circuits, Vol. 20, pp. 1283~1285, Dec. 1985.
- [12] J. Cheng and G. Chan, "A CMOS bandgap reference circuit", ASIC, 2001. 4th international conference, pp. 271~273, 2001.
- [13] B. Song and P.R. Gray, "A precision curvature-compensated CMOS bandgap reference, IEEE J. Solid-State Circuits, Vol. SC-18, pp. 634~643, Dec. 1983.
- [14] Filanovsky, "Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuit", IEEE transactions circuit and system, pp. 876~884, July 2001.
- [15] H. Qiuting and P. Basedau, "A 200uA, 78MHz CMOS crystal digitally trimmable to 0.3ppm,"

in Proc. 1996 Int. Symp. Low Power Electronics and Design, Monterey, CA, Aug. 1996, pp. 305~308.

 저 자 소 개



金 聖 植(正會員)

1988 : 경북대 전자공학과(학사).

1999 : 충북대 정보통신공학과(석사).

2002 : 충북대 정보통신공학과(박사수료).

1988~현재 : Hynix반도체

도체 MCU설계. <주관심분야 :

Embedded MCU설계>

趙 慶 錄(正會員)

1977 : 경북대학교 전자공학과(학사). 1989 : 동경대학교 전자공학과 (석사).

1992 : 동경대학교 전자공학과(박사).

1979~1986 : LG전자 TV연구소 1999~2000 :

Oregon State Univ. 객원교수. 1992~현재 : 충북대학교 전기전자공학부 교수.

<주관심분야 : 통신시스템LSI 설계, 고속저전력회로설계>