

論文2003-40SD-4-10

고집적 메모리에서 Word-Line과 Bit-Line에 민감한 고장을 위한 테스트 알고리즘

(A Test Algorithm for Word-Line and Bit-line Sensitive Faults in High-Density Memories)

姜東哲*, 梁明國**, 趙相福**

(Dong Chual Kang, Myung Kook Yang, and Sang Bock Cho)

요 약

기존의 테스트 알고리즘은 대부분 셀간의 고장에 중심이 맞추어져 있어 메모리의 집적도의 증가와 더불어 일어나는 word-line 과 bit-line 결합 잡음에 의한 고장을 효과적으로 테스트 할 수 없다. 본 논문에서는 word-line 결합 capacitance에 의한 고장의 가능성을 제시하고 새로운 고장 모델인 WLSFs(Word-Line Sensitive Faults)을 제안하였다. 또한 word-line 과 bit-line 결합 잡음을 동시에 고려한 알고리즘을 제시하여 고장의 확률을 높였고 고장의 원인을 기존의 고장 모델로는 되지 않음을 보여준다. 제안된 알고리즘은 기존의 기본적인 고장인 고착고장, 천이고장, 그리고 결합고장을 5개의 이웃셀 내에서 모두 검출할 수 있음을 보여준다.

Abstract

Conventional test algorithms do not effectively detect faults by word-line and bit-line coupling noise resulting from the increase of the density of memories. In this paper, the possibility of faults caused by word-line coupling noise is shown, and a new fault model, WLSFs(Word-Line Sensitive Fault) is proposed. We also introduce the algorithm considering both word-line and bit-line coupling noise simultaneously. The algorithm increases probability of faults which means improved fault coverage and more effective test algorithm, compared to conventional ones. The proposed algorithm can also cover conventional basic faults which are stuck-at faults, transition faults and coupling faults within a five-cell physical neighborhood.

Keywords : 메모리 테스트, coupling noise, CF, NPSF, BLSF, WLSF.

* 正會員, 디오닉스

(DIONYX CO., LTD.)

** 正會員, 電氣電子情報시스템工學部

(School of Electric-Electronic Information System Engineering)

※ 본 연구는 한국과학재단 지정 울산대학교 테트위크
기반 자동화연구센터의 지원과 산업자원부 반도체
설계 교육센터(IDECC)의 지원으로 수행되었음

接受日字:2002年8月1日, 수정완료일:2003年3月25日

I. 서 론

메모리의 집적도가 올라가면서 이에 따른 미세 공정 기술로 말미암아 셀간, bit-line간, 그리고 word-line간의 거리가 급격하게 줄어들고 있다. 메모리의 용량이 적다고 할지라도 더 높은 미세 공정기술로 고집적 메모리의 제조가 가능하다. 이 결과 셀간의 누수뿐만 아니라 word-line과 bit-line간의 결합 잡음(coupling noise)이 급격하게 증가하며 메모리 용량의 증가와 더

붙어 해결해야 할 가장 큰 문제 중의 하나이다^[7~12]. 메모리의 초고집적화가 되면서 발생하는 주요 잡음 중의 하나가 bit-line 결합 현상이다. bit-line간의 capacitance가 선간 간격의 축소와 함께 급격하게 증가 하는데 <그림 1>은 이것을 보여주고 있다. 미세화가 진전 되면서 각 소자 및 배선의 길이가 짧게 되고 이에 따라 총 bit-line capacitance CBL에서 차지하는 bit-line 결합 capacitance CC는 급격하게 증가하게 된다.

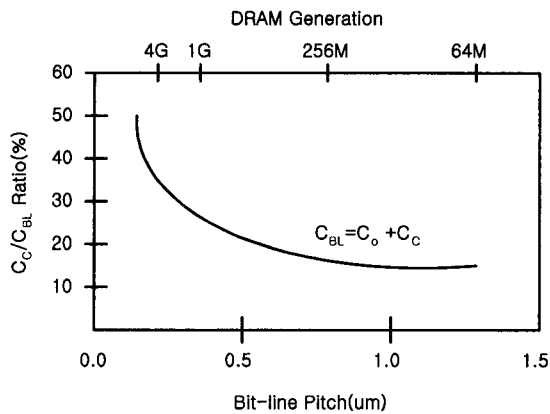


그림 1. 전체 bit-line capacitance에 대한 bit-line 결합 capacitance^[10].
Fig. 1. Bit-line coupling capacitance to the total bit-line capacitance.

이러한 잡음을 줄이기 위해 multiple twisted data-line이 소개되었다^[8,10]. MTBL(Multiple Twisted Bit-Line)과 MTWL(Multiple Twisted Word-Line)기술은 기존의 TBL(Twisted Bit-Line)과 기존 word-line 보다 bit-line 과 word-line 결합 잡음을 45%와 35%정도로 줄일 수 있다. 하지만 이러한 잡음이 완전히 제거되지 못해 항상 존재하면서 동작속도^[7]와 정상동작을 방해할 수 있다. 또한 이러한 기술은 bit-line과 word-line의 subarray를 요구하여 칩의 크기를 증가시킨다. 메모리의 용량 및 공정 기술의 발달로 bit-line들과 word-line들 간의 상호간섭이 급격히 올라가고 있지만 지금까지의 여러 테스트 알고리즘 즉 March 테스트 혹은 NPSFs(Neighborhood Pattern Sensitive Faults) 테스트^[1~4,6]는 대부분 셀간에 일어나는 고장을 고려하는 것으로 데이터 선들 간의 상호간섭에 의한 고장이 발생해도 기존의 고장 모델로 간주되어 버리거나 상황에 따라 기존의 고장 검출 테스트 패턴이 데이터선들 간

의 결합 잡음을 효과적으로 유발할 수가 없다. March 테스트 알고리즘은 두 개의 셀간의 연관을 가정하는 CFs(결합 Faults)^[6]를 주로 기본으로 하는 테스트 알고리즘이며 기타 기본적인 고착고장, 천이고장을 검출할 수 있고 또한 부가회로가 필요없어 가장 폭넓게 사용된다. 하지만 March 테스트 알고리즘에서 임의의 셀에 가해지는 테스트 패턴의 읽기와 쓰기는 셀의 주소에 순차적으로 진행하여 알고리즘 특성상 이웃한 word-line과 bit-line 상태를 동시에 모두 고려할 수 없어 word-line들과 bit-line들 간의 상호 간섭에 의한 고장을 효과적으로 검출할 수 없다. 메모리 셀간의 누수로 인한 고장을 좀 더 자세하게 정의한 NPSF는 기존의 고장과 더불어 일정한 모양의 패턴내에 있는 모든 경우의 수를 고려하므로 CFs 고장모델 보다는 훨씬 고장 검출률이 높다. 하지만 테스트 사이즈가 $O(n^2)$, n = memory size)으로 테스트 시간이 너무 오래 걸리고 또한 현실적으로 일어나지 않는 고장을 다수 포함하여 March 테스트 알고리즘 보다는 널리 사용되지 못하고 있다. Marzumder는 이러한 단점을 보완한 병렬테스트 기법^[4]을 이용하여 테스트 복잡도를 $O(\sqrt{n})$ 을 실현하였다.

이러한 기존의 알고리즘은 대부분 셀간의 영향을 고려한 고장모델이거나 알고리즘으로 word-line과 bit-line 결합 잡음으로 인한 고장은 기존의 고장에 묻혀 버리는 mask 현상으로 원인 규명이 되지 않는다. 특히 word-line들과 bit-line들 간의 상호 간섭에 의한 고장은 가해지는 테스트 패턴의 값, 셀을 읽고 쓰는 순서, 그리고 타일링될 이웃셀에 매우 의존적이나 셀간의 연관 고장을 주로 정의한 고장 모델에서는 이러한 것들이 중요한 요소가 아니므로 셀간의 연관 고장을 검출하기 위한 테스트 패턴 및 알고리즘으로는 결합 잡음에 의한 고장을 검출할 수 있는 확률이 낮다^[14,15]. 결국 이것은 낮은 고장 검출 능력을 입증하는 것으로 결합 잡음에 의한 고장 검출이라는 관점에서는 효과적인 고장 모델이 아님을 알 수 있다.

본 논문에서는 bit-line과 word-line에 의해서 발생하는 고장의 가능성을 보여주고 이와 동시에 기존의 고장 모델의 단점을 보여 준다. 새로운 고장모델 즉 WLSFs(Word-Line Sensitive Faults)와 BLSFs(Bit-Line Sensitive Faults)^[13,14]에 WLSFs를 동시에 고려한 테스트 알고리즘을 제시하였다.

II. Word-line 결합 잡음

고집적 메모리에서 bit-line 결합 capacitance의 증가와 마찬가지로 word-line 결합 capacitance도 심각한 문제이다. 일반적으로 word-line에 인가되는 전압은 전원 공급전압보다는 높는데 이것은 메모리 셀 트랜지스터로 인한 전압강하를 보상하기 위해 필요하다. 이러한 word-line전압이 5~7V의 고전압 펄스가 인가되면 bit-line에는 그와 동시에 100mV~250mV 정도의 미소 신호가 발생한다. 이때 이 line들의 교점에 존재하는 결합 capacitance에 의해 word-line으로부터 bit-line으로 유입되는 결합 잡음이 문제가 된다. 이 잡음은 folded bit-line 방식에 의해 상당 부분 제거되지만 BL_n 의 결합 capacitance와 $/BL_n$ 의 결합 capacitance 값이 서로 다르다면 이에 상당하는 잡음은 여전히 존재한다. 만약 메모리 셀이 BL_n 에 접속되었다고 가정하면 메모리 셀이 접속된 bit-line의 교점 capacitance는 MOS의 gate capacitance C_g 와 word-line과 bit-line의 결합 capacitance C_{BW} 로 구성되고 다른 쪽 $/BL_n$ 의 capacitance는 결합 capacitance C_{BW} 만으로 구성되어 있어 일반적으로 BL_n 의 capacitance가 크다. 또한 word-line을 metal-line으로 하면 polycide 혹은 silicide를 사용하는 것보다 결합 잡음이 더 많은데 이것은 metal이 차폐효과(shielding effect)가 떨어지고 두께가 두꺼워지기 때문이다. Metal-line은 RC-delay가 적어 속도에 유리하나 잡음에 많이 노출될 수가 있는 단점이 고집적 메모리에는 항상 존재하게 된다.

<그림 2>는 word-line 결합 잡음으로 셀의 내용이 바뀔 수 있음을 보여 주고 있다^[10]. WL_j 가 동작영역에서 결합 capacitance에 의해 이웃 WL_k 에 결합 전압 V_{cp} 가 유입된다. 이때 bit-line은 precharging 시기 즉 static data retention 모드이며 이 전압으로 인해 이웃 셀 k 트랜지스터가 "ON"이 되어 전하가 이 트랜지스터를 통해 셀 k에 유입이 되어 V_{cd} 가 된다. 셀 j는 시간이 경과하면서 bit-line은 셀 j의 내용에 의해 SA(sense Amp.)단을 거치면서 각각 V_{cc} 와 V_{ss} 로 되는 dynamic data retention 모드로 진입한다. 다음 사이클에서 WL_k 가 동작이 되어 셀 k를 읽게 되면 셀의 내용이 "0"이 아닌 "1"로 읽게 된다. 결국 두 셀은 word-line의 결합 capacitance에 의해 서로 간섭을 받게 되어 심한 경우에는 데이터 값이 바뀌게 되는 현상이 일어난다.

D.S.Min and D.W.Langer는 MTWL(Multiple Twisted Word-Line)를 제안하여 word-line 결합에 의한 noise/signal 비를 1기가 DRAM에 적용 시 기존 word-line 보다는 약 35% 정도로 줄였다. 하지만 잡음의 완전한 제거가 아니며 또한 MTWL으로 인한 칩 크기의 증가를 가져온다는 단점이 있다.

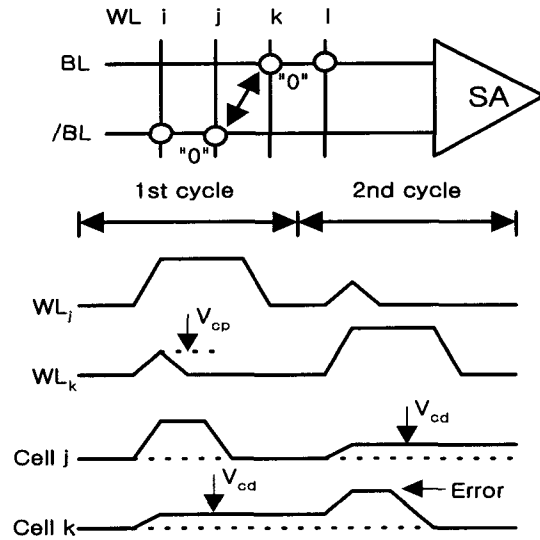


그림 2. word-line 간섭 잡음으로 인한 셀의 고장 예^[10].
Fig. 2. An example of a fault by word-line coupling noise.

일반적인 메모리셀의 읽기와 쓰기 동작에서 일어나는 static retention mode와 dynamic retention mode에서 word-line 결합 잡음이 셀에 미치는 영향을 정리하면 다음과 같다.

• Static retention mode

셀 k의 값이 "0"인 경우가 셀 값이 "1"인 것보다 더 word-line 결합 잡음에 더 민감하다. Bit-line precharging 레벨에서 word-line 결합 전압 V_{cp} 에 의해 셀 트랜지스터가 순간적으로 "ON"되고 bit-line의 precharging 전압이 셀로 유입이 되기 때문이다. 셀의 값이 "1"인 경우에는 전압 V_{cp} 가 발생해도 precharging 전압 $V_{cc}/2$ 보다는 높기 때문에 영향을 덜 받는다.

• Dynamic retention mode

Bit-line의 전압이 V_{cc} 와 V_{ss} 로 되어 순간 전압은 다시 word-line으로 유입이 되어 word-line 결합 capacitance가 최고로 되는 시점이며 결합 voltage인 V_{cp} 에 영향을 받는 셀 k가 셀 j의 값에 따라 똑같이 영

향을 받을 수 있다. dynamic retention mode에서는 셀 k의 값이 "1"이더라도 셀 j의 값이 "0"이면 SA에 증폭이 되어 bit-line이 V_{ss} 에 도달하고 지속적인 V_{cp} 전압으로 셀 k의 값이 bit-line으로 유입이 될 수 있다.

<표 1>은 셀의 데이터 값에 따라 word-line 결합 잡음 영향을 보여주고 있다. 첫번째 사이클에서 셀 j의 데이터가 선택이 되어 bit-line으로 전하공유(charge sharing)가 일어나고 V_{cp} 에 의해서 셀 k 트랜지스터가 "ON"되어 셀 k에 저장된 전압의 상태에 따라 셀 k의 전하가 bit-line에 유입되거나 받게 된다. 셀 j의 내용이 "1"이었을 때 셀 j가 선택이 되고 precharging 된 bit-line에 전하가 유입이 되어 bit-line은 ΔV_H 만큼 상승된다. 이때 결합 voltage V_{cp} 는 셀 k 트랜지스터를 "ON"시키고 셀 k의 내용이 "0"인 경우 bit-line의 전하를 흡수하게 되어 ΔV_H 는 약간 하강하게 되어 기대한 ΔV_H 만큼의 상승을 유지하지 못할 수 있다. 이와 같이 같은 bit-line에 연결되고 서로 다른 인접한 word-line에 연결된 상태에서의 두 셀은 특히 반대의 셀 값을 가지게 되면 셀 k를 읽는 동작에서 최대의 word-line 결합 잡음을 받게 되어 원래의 기대한 값에 미치지 못할 확률이 매우 높다. 반면 두 셀의 내용이 같은 경우 다른 값을 가지는 경우보다 data retention mode에서는 영향을 받을 확률이 적다. 연속적인 읽기 동작은 word-line 결합 잡음이 심한 경우 고장을 유발할 수 있으며 여기서 주지해야 할 점은 선택된 셀 j역시 V_{cp} 에 의해서 영향을 받을 수 있다는 것이다. 셀 j를 읽은 다음 셀 k를 읽으면서 셀 k는 두 번 V_{cp} 의 영향을 받아 word-line 결합 잡음을 최대한 고려할 수 있다.

표 1. Word-line 결합 잡음에 의한 셀 값의 상태

Table 1. Status of cells by word-line coupling noise.

Cell: j k	Cell j		Cell k		Status of cell k
	ΔV_{HL} on BL in the static retention mode	Static retention mode	Dynamic retention mode		
1 0 0	Strong ΔV_L	+	-		Weak low
2 0 1	Weak ΔV_L	+	+		Weak high
3 1 0	Weak ΔV_H	+	+		Weak low
4 1 1	Strong ΔV_H	+	-		Weak high

* + = strong influence, - = weak influence

Word-line 결합 잡음에 의한 ΔV_{HL} 전압의 변화를 정리하면 다음과 같다.

$Q_T = Q_S + Q_B$ (Q_S = 셀의 전하, Q_B = bit-line의 전하), 이고 $Q_S = C_S V_{CC}$, 하지만 여기서 셀의 값이 "1" 즉 전압 V_{CC} 는 <표 1>에서 word line 결합 잡음에 의해 "weak high"로 $V_{CC}' = V_{CC} - \delta$ (δ 는 V_{cp} 에 의한 하강 전압)가 된다. 즉

$$Q_S = C_S V_{CC}' = C_S (V_{CC} - \delta),$$

$$Q_B = C_B V_{CC}/2, Q_T = C_T V_H = (C_B + C_S) V_H,$$

$$Q_T = Q_S + Q_B = C_S (V_{CC} - \delta) + Q_B$$

$$= C_S (V_{CC} - \delta) + C_B V_{CC}/2,$$

$$V_H = (C_B V_{CC}/2 + C_S (V_{CC} - \delta)) / (C_B + C_S).$$

전하공유(charge sharing)이후 bit-line에 증가되는 전압은

$$\Delta V_H = V_H - (V_{CC}/2) = (V_{CC}/2) / (1 + C_B/C_S) - \delta / (1 + C_B/C_S)$$

가 된다.

같은 방법으로 "weak low"인 경우를 살펴보면, $Q_S = 0$, 아닌 δ^* (δ^* 는 V_{cp} 에 의한 상승 전압)임으로

$$\Delta V_L = -(V_{CC}/2) / (1 + C_B/C_S) + \delta^* / (1 + C_B/C_S)$$

가 된다.

일반적으로 $C_S = 30fF \sim 40fF$ 이고 $C_B = 250fF \sim 300fF$ 이다. C_B 가 C_S 보다 10정도 크고 V_{cc} 가 2.5V 이면 잡음이 없을 시 예상되는 ΔV_{HL} 는 $\pm 0.114V$ 이다. 하지만 잡음 전압을 고려하면 최종적으로 다음과 같이 된다.

$$\Delta V_H = +0.114 - \delta / 11, \Delta V_L = -0.114 + \delta^* / 11.$$

Word-line 결합 잡음에 의해 발생된 $\delta^* / (1 + C_B/C_S)$ 의 전압은 심한 경우 ΔV_{HL} 작게 하여 bit-line의 전압차가 없어지게 되어 DRFs(Data Retention Fault)고장을 유발하거나 혹은 셀의 값을 반전시킬 수 있다.

<표 1>은 타일링 된 두 셀 j와 k가 같은 bit-line에 연결되어 있으며 word-line k가 j보다 높은 주소를 가질 때임을 주지해야 한다. 두 셀이 BL_n에 연결되어 있다면 셀에 저장된 값은 읽은 값과 같으며 반대로 셀이 /BL_n에 연결 되어 있다면 실제 셀의 값과 읽은 값과 반대가 된다. 즉 데이터 (j,k)는 실제로 셀 capacitor에 저장되는 내용은 0->1이 되고 1->0로 반전될 수 있음

을 주지해야 한다.

Ⅲ. WLSFs(Word-line sensitive Faults)와 검출 알고리즘

일반적으로 잘 알려진 셀 값 중심의 고장 모델은 CFs(Coupling Faults)이며 크게 반전 결합 고장(CF_m), 동행 결합 고장(CF_{id}), 그리고 상태 결합 고장(CF_{st})으로 나누어지는데 정의와 마찬가지로 결합원 셀(coupling cell)의 천이 혹은 상태가 이웃 피결합 셀(coupled cell)에 영향을 미친다는 것으로 2개의 셀을 기본으로 하는 것은 비슷하나 word-line 결합 잡음에 의한 셀의 영향과는 거리가 멀다. 셀의 천이에 관계 없이 임의의 word-line에 서로 인접한 두 셀을 연속 읽기 동작에서도 셀의 값이 바뀔 수 있음을 <그림 2>에서 보였다.

2개의 셀을 기본으로 하는 것은 CFs 모델과 비슷하나 반드시 두 셀의 word-line은 인접해야 하고 연속으로 두 셀을 읽어야 한다는 것이 CFs 모델과 다르다고 할 수 있다. 두 셀 중 먼저 읽는 셀 즉 결합원 셀을 j라 하고 나중에 읽는 셀 즉 피결합 셀을 k라 하면 word-line 결합 잡음에 의해서 나타날 수 있는 고장은 다음과 같이 정리 된다.

(r0; r0/↑) - 초기 셀들이 "0"으로 되어 있고 결합원 셀 j를 읽고 피결합 셀 k를 읽으면 피결합 셀이 0->1로 바뀌는 경우

(r1; r1/↓) - 초기 셀들이 "1"로 되어있고 결합원 셀 j를 읽고 피결합 셀 k를 읽으면 피결합 셀이 1->0로 바뀌는 경우

(r0; r1/↓) - 초기 셀의 값이 j는 "0", k는 "1"로 되어 있고 결합원 셀 j를 읽고 피결합 셀 k를 읽으면 피결합 셀이 1->0로 바뀌는 경우

(r1; r0/↑) - 초기 셀의 값이 j는 "1", k는 "0"로 되어 있고 결합원 셀 j를 읽고 피결합 셀 k를 읽으면 피결합 셀이 0->1로 바뀌는 경우

위의 4가지의 고장 모델을 word-line에 민감한 고장으로 발생하는 것으로 Word-Line Sensitive Faults (WLSFs)라 한다.

Word-line 결합 잡음에 의한 고장 검출알고리즘을

표 2. WLSFs 검출알고리즘 및 테스트 복잡도

Table 2. A detection algorithm and test complexity for WLSFs.

고장종류 (r(j): k)	초기 값 (initialization)		검출 알고리즘	복잡도
	j	k		
(r0: ↑)	0	0	↑(r0); ↓(r0)	2n
(r0: ↓)	0	1	↑(r(j),r(k)); ↓(r(j),r(k))	2n
(r1: ↓)	1	1	↑(r1); ↓(r1)	2n
(r1: ↑)	1	0	↑(r(j),r(k)); ↓(r(j),r(k))	2n
초기화:	n(all 0)+3patterns×n/2(1 bit 천이)=2n+n/2			8n

n=메모리 사이즈

정리하면 <표 2>와 같다.

전체의 메모리셀은 j와 k로 타일링이 되고 초기값에 따라 테스트를 시작하게 된다. 초기값으로 분류한 것은 셀의 결합 고장을 배제하기 위해서이다. 셀의 값의 변동 후 이웃셀을 읽는 것은 마치 셀의 결합 고장으로 분류됨으로 모든 셀은 패턴에 따라 초기값을 넣어준 다음 읽기로 고장을 판독하게 된다. 메모리 셀의 순차적 읽기로 결합원 셀 j는 피결합 셀 k가 될 수 있음으로 테스트 사이즈는 다음과 같이 계산된다.

$$[2n + n/2(initialization) + 8n] = 10n + n/2.$$

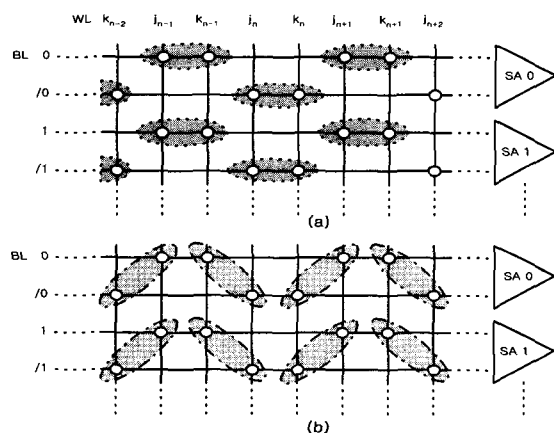


그림 3. 주소의 오르내림에 따른 셀 타일링과 bit-line에 연결된 셀 상태

Fig. 3. A tiling method for WLSFs with respect to the increase and decrease of word-line addresses, and status of cells connected to bit lines in j-k tiling groups.

같은 j-k 타일링 그룹이라도 bit-line에 연결된 셀의 상태가 달라지게 되는데, word-line k가 j 보다 높은 주소를 갖는 경우로 타일링한 경우 두 셀은 같은 bit-line에 있음을 <그림 3(a)>에서 보여 주고 있다. 반대의 경우는 <그림 3(b)>와 같다. WLSFs 모델은 "0"과 "1"의 경우를 다 고려하지만 셀 커패시터에 저장된 값이 읽은 값과 반대일 수 있기 때문에 테스트 시 고장이 검출된다면 메모리 셀의 배치를 염두해 두어야 한다.

IV. Bit-line 결합 잡음과 BLSFs(Bit-Line Sensitive Faults)^(13,14)

CFs는 일반적으로 두 개의 셀 즉 임의의 셀 천이가 이웃셀의 값을 바꾸는 경우로써 물리적 혹은 논리적 주소가 '1'의 거리에 있는 경우에 해당한다. 두 개의 셀을 고려하는 CFs는 특히 bit-line 결합 잡음에 의한 고장을 검출할 수 없다. 중심 셀의 bit-line은 이웃 두 셀의 bit-line과 연관이 있어 3개의 셀을 고려하여야 하기 때문이다. 이러한 이유로 이웃의 셀을 3개 이상을 고려할 수 있는 NPSF 검출알고리즘을 기반으로 정의한다. 메모리의 bit-line 구조가 folded bit-line 방식인 경우

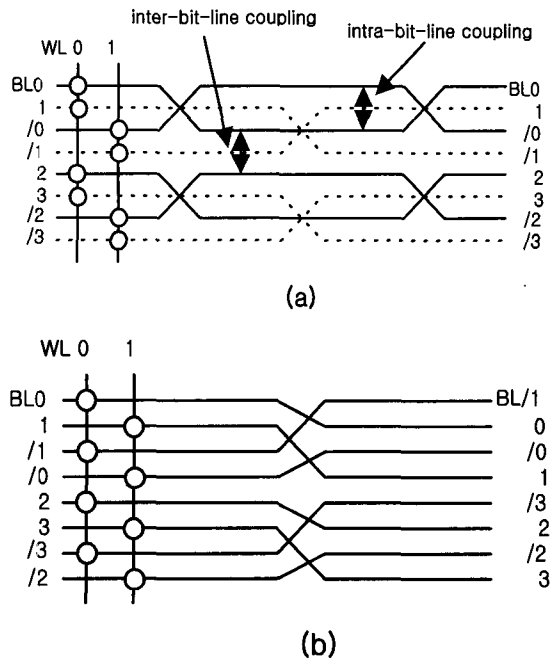


그림 4. TBL(Twisted Bit-line) 기술
Fig. 4. TBL(Twisted Bit-line) techniques.

Bit-line 결합 capacitance는 두 가지 원인으로 나누어 지는데 BL과 /BL에 의한 intra-bit-line 결합 capacitance와 이웃 bit-line 쌍에 의해서 받는 inter-bit-line capacitance가 그것이다. Intra-bit-line 간섭 capacitance는 <그림 4(a)>와 같이 기존의 MTBL (Modified Twisted Bit-Line) 구조로 하면 상당히 제거되며 또한 intra-bit-line 과 inter-bit-line 결합 capacitance는 <그림 4(b)>와 같이 최근 제안된 MTBL(Modified Twisted Bit-Line) 구조로 하면 해결할 수 있다. 이러한 방법은 총 bit-line capacitance에서 차지하는 결합 capacitance를 약 35%로 줄이는 효과는 있지만 상대적으로 Bit-line 쌍마다 dummy cell을 첨가하거나 또한 twisted bit-line의 배선 문제로 칩의 크기가 다소 증가하는 문제점을 가지고 있다.

최근에는 이러한 문제를 다른 각도 즉 SAs(Sense Amplifiers)단의 성능을 bit-line 결합 잡음에도 좋은 성능을 발휘할 수 있도록 해결한 방법도 소개되고 있으나 이로 인한 칩의 증가나 완전한 bit-line 결합 capacitance 제거는 기대할 수 없다. Bit-line 결합 capacitance는 메모리의 집적도가 올라갈수록 심각한 문제이며 나아가 고속 및 저전력 메모리 설계에 심각한 문제를 유발할 수 있다. 일반적인 테스트 알고리즘은 이러한 문제를 간과하고 단지 메모리 셀에만 집중을 해왔다고 해도 과언이 아니다. 가장 일반적인 CFs 모델은 단순히 두 셀간의 영향을 고려하므로 bit-line 간섭 영향에 의한 것과는 거리가 멀다고 할 수 있다. 물론 bit-line 간섭 capacitance로 인한 고장이 CFs로 mask되어 CFs의 범주에 있다고 할 수 있지만 특히 제조사의 입장에서 본다면 고장의 원인을 정확히 판단할 필요가 있을 것이다. 또한 bit-line 간섭은 두 개의 이웃 bit-line에 동시에 영향을 받으며 주위의 bit-line의 패턴으로 읽기동작만으로도 고장이 검출될 수 있으므로 CFs 모델로 하기에는 무리가 있다. 다음 <그림 5>는 이것을 보여주고 있다.

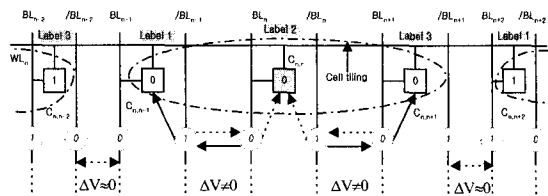


그림 5. 셀 $C_{n,n}$ 의 최대 bit-line 결합 잡음
Fig. 5. Maximum bit-line coupling noise to cell $C_{n,n}$.

같은 word-line 에 있는 임의의 셀 $C_{n,n}$ 에 연결된 BL_n 과 $/BL_n$ 는 각각 $/BL_{n-1}$ 와 BL_{n+1} 에 영향을 받는다 는 것을 알 수 있다. 여기서 주지해야 할 점은 셀의 내용이 같으면 셀 $C_{n,n}$ 의 bit-line은 최대의 bit-line 간섭을 받아 셀의 내용이 바뀔 가능성이 크다는 것이다. 반대로 셀의 내용이 반대가 되면 bit-line의 간섭현상은 최소가 된다. 즉 셀간의 누수와 bit-line에 의한 최대 결합 capacitance는 반대가 된다.

이러한 bit-line 결합 capacitance에 의한 셀의 변화를 관측하기 위해서는 같은 word-line에 연결된 3개의 셀을 기본으로 하는 타일링이 되어야함을 알 수 있다. 중간을 셀을 베이스 셀로 하고 좌우의 셀을 이웃셀로 정의하면 나올 수 있는 테스트 패턴은 $k \times 2k$ ($k =$ 타일링 된 셀 수)에 의하여 총 24개이다. 이웃셀의 패턴에 의한 베이스 셀의 변화를 관찰하여 고장의 종류를 분류하는 NPSF와 거의 같은 개념이라 할 수 있다. 셀 값의 패턴은 결국 bit-line의 패턴을 의미하는 것이기 때문이다.

기존 NPSF에 기반한 bit-line 결합 잡음에 민감한 고장의 종류는 다음과 같이 정의될 수 있다.

ANBLSFs(Active Neighborhood Bit-Line Sensitive Fault)

- 주위의 bit-line의 값의 변화에 의한 base-cell의 bit-line에 영향을 받아 base-cell이 변하는 고장.
- Eulerian sequence

PNBLSFs(Passive Neighborhood Bit-Line Sensitive Fault)

- 주위의 bit-line의 값에 의한 base-cell의 bit-line에 영향을 받아 base-cell이 변화하지 않는 고장. - Eulerian sequence

ANBLSF와 PNBLSF 검출 알고리즘 및 패턴은 ANPSF와 PNPSF 검출과 같으며 단지 오일러 순서(Eulerian sequence, <표 3>)에 의한 패턴 값을 쓰고 읽기동작이 바로 뒤따라야 한다는 것이 다르다. 이는 NPSF 검출 알고리즘은 셀간의 고장 모델로 메모리 전체의 셀에 쓰기를 한 후 읽기동작을 해도 무방하지만 bit-line 결합 잡음에 의한 BLSFs 검출을 하기 위해서는 패턴 값을 쓴 후 읽기 동작이 바로 따라야 한다. 또한 NPSF 검출을 위한 타일링 방법인 Type-1과 Type-2는 한 번에 5개, 9개의 이웃셀을 고려하므로 3

개의 이웃셀을 고려하는 BLSF 보다는 훨씬 많은 테스트 패턴을 필요로 한다. 3개의 이웃셀에 연속적인 쓰기 와 읽기동작이 bit-line의 결합 잡음을 최적으로 고려할 수 있기 때문에 일반적인 NPSF 검출을 위한 타일링 방식인 Type-1과 Type-2는 BLSF 검출에 사용되기에 부적합하다.

표 3. 오일러 순서에 의한 테스트 패턴
Table 3. Test pattern by a Eulerian sequence.

TP#	L1 L2 L3	TP#	L1 L2 L3	TP#	L1 L2 L3
1	0 0 0	9	1 0 1	17	0 1 1
2	0 0 1	10	0 0 1	18	0 0 1
3	0 1 1	11	0 0 0	19	1 0 1
4	0 1 0	12	1 0 0	20	1 1 1
5	1 1 0	13	1 1 0	21	1 1 0
6	1 1 1	14	0 1 0	22	1 0 0
7	1 0 1	15	0 1 1	23	0 0 0
8	1 0 0	16	1 1 1	24	0 1 0

SNBLSFs(Static Neighborhood Bit-Line Sensitive Fault)

- 주위의 bit-line의 값에 의해서 base-cell의 bit-line에 영향을 받아 base-cell이 어떤 특정한 값으로 고정되는 고장.- Hamiltonian sequence

표 4. SNBLSF 검출을 위한 SNPs(Static neighborhood Patterns)

Table 4. SNPs for SNBLSF detection.

Base Cell	SNPs	Test Patterns	Base Cell	SNPs	Test Patterns	Base Cell	SNPs	Test Patterns
Label 1	0 0 0	TP#11 - TP#12	Label 2	0 0 0	TP#23 - TP#24	Label 3	0 0 0	TP#1 - TP#2
	0 0 1	TP#9 - TP#10		0 0 1	TP#2 - TP#3		0 0 1	TP#3 - TP#4
	1 0 0	TP#4 - TP#5		1 0 0	TP#12 - TP#13		1 0 0	TP#7 - TP#8
	1 1 1	TP#15 - TP#16		1 1 1	TP#6 - TP#7		1 1 1	TP#5 - TP#6

<표 4>는 SNBLSFs검출을 위한 이웃 패턴 SNPs(Static Neighborhood Pattern)을 보여주고 있다. SNBLSFs는 주위의 셀이 변화하지 않고 베이스 셀의 변화를 관찰하는 것으로 고정 패턴에서 베이스 셀을 읽는 동작으로도 주위 bit-line의 영향으로 셀이 바뀔 수 있다. 오일러 순서에 의해 가해지는 패턴은 주위의 셀이 변화하거나 베이스 셀이 변화함으로써 패턴을 가하고 읽는 동작은 ANBLSFs나 PNBLSFs 검출 알고리즘 임으로 읽기 동작을 한번 더 추가 함으로써 SNBLSF 검출이 가능하다.

BLSFs를 검출하기 위한 테스트 사이즈는 다음과 같다. ($n =$ memory size)

$$3[2(1 \text{ write} + 1 \text{ read for AMBLSF \& PNBLSF}) + 1(1$$

read for SNBLSF] \times 24 test pattern \times n = 72n

V. Bit-line & word-line 결합 잡음의 동시 고려

실제적인 경우 bit-line 과 word-line 결합 잡음 이 두 가지의 경우가 동시에 발생할 수 있다. 같은 word-line에 읽기/쓰기 동작에 의한 BLSFs 메카니즘과 이웃의 다른 word-line에 의한 WLSFs에 의한 메카니즘이 동시에 고려되면 최대의 고장 확률을 이끌어 낼 수 있다. <그림 6>은 이 두 가지의 고장 모델을 검출할 수 있는 메모리 전체의 타일링을 보여주고 있다. 모든 셀은 <그림 6>에서 보여지는 것처럼 "0" (case 1)과 "1" (case 2) 로 초기화를 하고 각각의 초기화의 상태에 따라 홀수와 짝수 word-line을 BLSFs를 위한 메모리 셀 타일링을 하게 된다. 이와 다른 word-line k에는 이미 "0"혹은 "1"로 초기화 값을 가지고 있으므로 이것이 WLSFs 검출을 위한 타일링이 된다. BLSFs 검출 타일링 그룹은 word-line j열에 속해 있으며 모든 셀은 베이스 셀이 될 수 있으며 베이스 셀은 또한 WLSFs 검출을 위한 결합원 셀 j가 될 수 있다.

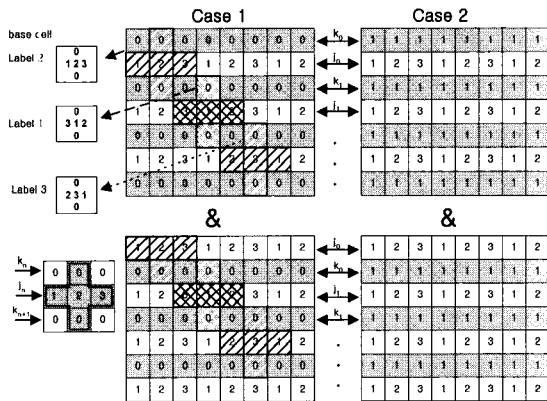


그림 6. WLSFs와 BLSFs의 동시고려를 위한 메모리 셀 타일링

Fig. 6. A tiling method considering WLSFs and BLSFs simultaneously.

"0"혹은 "1"로 초기화 된 이후 베이스 셀이 label 2인 셀을 $C_{j,L2}$ (where j = a word-line of cells tiled for BLSFs, L2 = a column number of a base cell)라 하면 테스트 진행과 의미를 살펴 보면 다음과 같다.

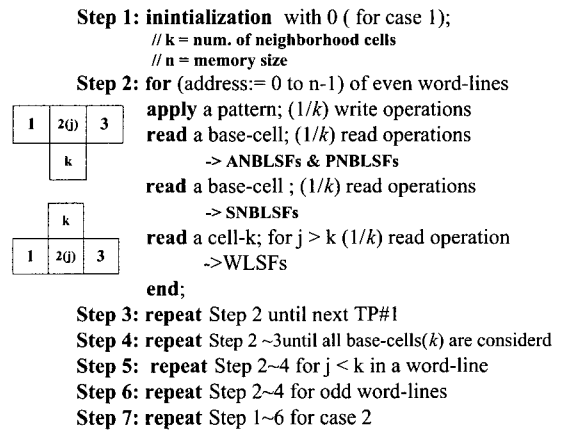


그림 7. WLSFs 와 BLSFs를 동시 고려한 테스트 알고리즘

Fig. 7. A test algorithm considering WLSFs and BLSFs simultaneously.

① BLSFs검출 그룹의 베이스 셀($C_{j,L2}$)을 읽는다.
 - 이미 패턴이 있는 상태에서 베이스 셀을 읽는 것은 주위의 패턴에 의한 bit-line 결합 잡음으로 베이스 셀이 특정 값으로 되는 SNBLSFs 검출이 되고 또한 WLSFs의 타일링 그룹의 셀 $C_{j,L2}$ 를 읽는 것으로 이웃 word-line k에 word-line 결합 잡음을 가함. 특히 베이스 셀과 같은 bit-line에 있는 셀 $C_{k,L2}$ 에 영향을 미침.

② 오일러 순서에 의한 패턴을 j열의 BLSFs를 위한 타일링 그룹에 쓰기/읽기.

- 1개의 패턴에 1번의 쓰기와 베이스 셀 $C_{j,L2}$ 에 읽기 동작으로 ANBLSFs와 PNBLSFs 검출이 가능함과 동시에 쓰기와 읽기로 인한 word-line j열이 2번 활성화되어 이웃 word-line k에 word-line 결합 잡음을 가함. 이것은 읽기와 쓰기 동작이 이미 j word-line을 활성화시키며 j열에 속한 모든 셀을 증폭하기 때문이다.

③ 베이스 셀과 같은 bit-line에 있고 k의 word-line에 위치한 셀 $C_{k,L2}$ 읽기.

- word-line k 있는 모든 셀 값이 같은 값으로 <그림 5>에 의해서 최대 bit-line 결합 잡음을 고려하며 j열에 있는 베이스 셀 $C_{j,L2}$ 을 읽은 후 셀 $C_{k,L2}$ 를 읽음으로 WLSFs검출 알고리즘이 된다.

<그림 7>은 앞에서 설명한 전체 알고리즘을 보여주고 있다. 특히 Step 5에서는 BLSFs를 위해 타일링된 word-line j열에 상하로 word-line k열이 있어 테스트 시 word-line 주소의 상승방향($j < k$)과 하강방향($j > k$) 둘 다를 고려한 것을 보여주고 있다. 그리하여 총 테스트 사이즈는 다음과 같이 계산된다.

$$2n("0" + "1" \text{ 초기화}) + 2(\text{word-line } j \text{와 } k \text{ 주소의 } \uparrow \text{와 } \downarrow) \times 2\text{cases} \times 24 \text{ test patterns} \times 4[3(1\text{read for SNBLSFs}) + 2(1\text{write} + 1\text{read for ANBLSFs \& PNBLSFs}) + 1(1\text{read for WLSFs})] \times n(\text{memory size}) = 386n$$

주위의 셀에 의한 베이스 셀을 읽는 과정은 마치 셀 간 결합 fault를 알아내는 것과 같은 효과가 있으며 셀의 결합 사이즈는 결과적으로는 다음과 같이 NPSFs의 기본 타일링 방법인 십자형이 된다. 베이스 셀이 Label 2라고 하면 BLSFs를 위한 패턴이 j_n 열에 가해지고 베이스 셀을 읽은 후 다시 WLSFs 검출을 위해 다시 베이스 셀과 같은 bit-line에 있고 k열에 있는 상하의 셀을 읽게 됨으로 CF_{in} , CF_{id} , 그리고 CF_{st} 도 검출할 수 있다. Word-line j_n 열에 있는 Label 1, 2, 그리고 3은 모두 베이스 셀이 될 수 있고 모든 메모리 열이 j_n 열과 k_n 열로 될 수 있다. 또한 모든 경우의 패턴을 가해지는 오일러 순서에 의해서 베이스 셀을 기준으로 좌우의 셀에 대한 CF_{in} , CF_{id} , 그리고 CF_{st} 같은 방법으로 검출할 수 있다. <그림 8>은 도식적으로 이것을 보여주고 있다. 즉 임의의 한 셀에 대한 연관된 셀은 전체 5개 셀임을 알 수 있다.

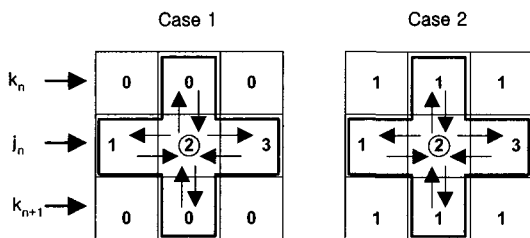


그림 8. 결합 크기
Fig. 8. Coupling Size.

VI. 결 론

메모리의 공정기술과 더불어 메모리의 집적도가 올

라가면서 기존의 셀간의 영향만을 고려하는 고장모델은 다소 현실성이 떨어진다. 2개의 셀 결합을 기본으로 하는 CFs(Coupling Faults) 주변 셀의 특정 패턴 값으로 고장을 정의하는 NPSFs(Neighborhood Pattern Sensitive Faults)는 그 대표적인 경우이다. 하지만 이 두 고장모델은 셀간의 영향을 고려하였고 또한 기타 여러가지 현상 즉 bit-line들과 word-line들 간의 상호 간섭에 의한 고장이 이 두 고장모델로 mask되는 현상으로 정확한 고장 진단이 되지 않는다. 가해지는 패턴의 값과 셀의 위치에 따라 결합 잡음이 달라지게 되며 특히 고집적에 따른 word-line과 bit-line들 간의 사이가 좁아져 낮은 집적도에서 간과되었던 결합 잡음이 새로운 오동작의 원인이 되는 예를 본 논문에서 보았다. 기존의 고장 모델에서 요구되는 테스트 패턴은 일정 이웃 패턴내의 셀의 개수와 테스트할 순서를 심각하게 고려하지 못하므로 고장 유발을 극대화할 수 없다. 이러한 이유로 기존의 고장 모델이 아닌 word-line 고장원인 및 모델을 제시하였고 이를 검출하는 알고리즘을 제시하였다. Word-line에 의한 고장검출 테스트 사이즈는 $10n+n/2$ 이고 bit-line에 의한 고장은 $72n$ 으로 총 $82n+n/2$ 이다. 또한 이 두 가지를 동시에 고려하는 테스트 알고리즘도 제안하였다. 이때의 테스트 사이즈는 $386n$ 으로 다소 크나 메모리의 집적도가 메모리의 용량의 증가와는 무관하게 공정기술의 미세화에 따라 가장 문제가 되는 bit-line과 word-line 결합 잡음에 의한 고장을 최대한 고려한 테스트 방법이라 할 수 있다. 또한 기존의 고착고장(SAFs), TF(transition Faults)은 물론 CFs(결합 Faults)도 5개의 이웃셀 내에서 검출할 수 있다.

참 고 문 헌

- [1] J.P.Hayes, "Testing Memories for Single-Cell Pattern-Sensitive Faults," IEEE Trans. Comput., Vol. C-29, No. 3, March 1980.
- [2] J.P.Hayes, "Detection of Pattern - Sensitive Faults in RAMs," IEEE Trans. Comput., Vol. C-24, No. 2, pp. 150~157, Feb. 1975.
- [3] D.S.Suk and S.M.Reddy, "Test Procedures for a Class of Pattern-Sensitive Faults in Semiconductor Random-Access Memories," IEEE Trans. Comput., Vol. C-29, No. 6, pp.

- 419-429, June 1980.
- [4] P.Mazumder and J.K.Patel, "Parallel Testing for Pattern-Sensitive Faults in Semiconductor Random-Access Memories," IEEE Trans. Comput., Vol. 38, No. 3, pp. 394~407, March 1989.
- [5] A.J.van de Goor, "Testing Semiconductor Memories," John Wiley & Sons LTD., 1991.
- [6] A.K.Sharma, "Semiconductor Memories," IEEE PRESS, pp. 151~154, 1996.
- [7] S.Chou et al., "A 60-ns 16Mbit DRAM with a minimized sensing delay caused by bit-line stray capacitance," IEEE J. Solid State Circuits, Vol. 24, No. 5, pp. 1176~1183, October 1989.
- [8] H.Hidaka et al., "Twisted Bit-line Architectures for Multi-Megabit DRAM's," IEEE J. Solid-State Circuits, Vol. 24, No. 1, pp. 21~27, February 1989.
- [9] Y.Watanabe et al., "Offset Compensating Bit-line Sensing Scheme for High Density DRAM's," IEEE J. Solid-State Circuits, Vol. 29, No. 1, pp. 9~13, January 1994.
- [10] D.S.Min and D.W. Langer, "Multiple Twisted Dataline Techniques for Multigiga bit DRAM's," IEEE J. Solid-State Circuits, Vol. 34, No. 6, pp. 856~864, June 1999.
- [11] J.S.Kim et al., "A Low-Noise Folded Bit-Line Sensing Architecture for Multigigabit DRAM with Ultrahigh-Density 6F2 cell," IEEE J. Solid-State Circuits, Vol. 33, No. 7, pp. 1096~1102, July 1998.
- [12] K.Kim and M.Y.Jeong, "The COB Stack DRAM Cell at Technology Node Below 100nm-Scaling Issues and Directions," IEEE Trans. Semi., Vol. 15, No. 2, pp. 137~143, May 2002.
- [13] D.C.Kang and S.B.Cho, "A New Test Algorithm for Bit-Line Sensitive Faults in High-Density Memories," J. IKEEE, Vol. 5, No. 1, pp. 43~51, January 2001.
- [14] Dong-Chual Kang, Jong-Hwa Lee, and Sang-Bock Cho, "A new test algorithm for bit-line sensitive faults in super high-density memories," KORUS'01 Proceedings, The Fifth Russian-Korean International Symposium on Science and Technology, Volume 1, pp. 198~201, 2001.
- [15] A.Kinoshita et al., "A study of delay time on bit-lines in megabit SRAMs," IEICE Trans. Electron Devices, Vol. E75-C, No. 11, November 1992, pp. 1383~1386.

저 자 소 개



姜東哲(正會員)

1971년 5월 20일생. 1997년 2월 울산대학교 전자공학과 졸업(공학사). 1999년 2월 동 대학원 전자공학과 졸업(공학석사). 2003년 2월 동 대학원 전자공학과 졸업(공학박사). 2003년 현재 (주) 디오닉스 기술이사.

<주관심분야 : 테스트 및 테스트 용이한 설계, 메모리 테스트, 자동차 전자회로 설계 및 자동차용 센서 등임>



梁明國(正會員)

1983년: 한양대학교 전자공학과 졸업(학사), 1992년: The Pennsylvania State University, Dept. of ECE 졸업(공학박사), 1993년 - 현재: 울산대학교 전기전자정보시스템공학부 부교수, <주관심분야 : 컴퓨터 네트워크, 고장적응시스템, 병렬처리>

<주관심분야 : 컴퓨터 네트워크, 고장적응시스템, 병렬처리>



趙相福(正會員)

1955년 6월 10일생. 1979년 2월 한양대학교 전자공학과 졸업(공학사).

1981년 2월 동 대학원 전자공학과 졸업(공학석사). 1985년 2월 동 대학원 전자공학과 졸업(공학박사). 1994

년 8월~1995년 8월 Univ. of Texas, Austin 초빙학자. 1986년 3월~현재 울산대학교 교수. 전기전자정보시스템연구소 소장. <주관심분야 : ASIC 설계, 자동차 전자회로 설계, 비전 시스템 개발, 테스트 및 테스트 용이한 설계, 메모리테스트 등임>