

Computer simulation of electric field distribution in FALC process

Chan-Yeup Chung, Duck-Kyun Choi and Yong-Chae Chung[†]

Department of Ceramic Engineering, CPRC, Hanyang University, Seoul 133-791, Korea

Received March 10, 2003)

Accepted March 28, 2003)

Abstract The crystallization behavior of amorphous silicon is affected by direction and intensity of electric field in FALC (Field-Aided Lateral Crystallization). Electric field was calculated in a simplified model using conductivity data of Mo, a-Si, SiO₂ and boundary conditions for electric potential at the electrodes. The magnitude of electric field intensity in each corner of cathode was much larger than that in the center of patterns, and the electric field direction was 50~60 degree outside to cathode. And electric field intensity at a relatively small pattern was larger than that of a large pattern.

Key words: FALC (field-aided lateral crystallization), TFT (thin film transistor), Mo electrode, FEM (finite element method), Electric field distribution

FALC 공정에서의 전계 분포 전산모사

정찬엽, 최덕균, 정용재[†]

한양대학교 세라믹공학과, CPRC, 서울, 133-791

2003년 3월 10일 접수)

2003년 3월 28일 심사완료)

요약 FALC(Field-Aided Lateral Crystallization) 공정에서 요구되는 a-Si의 결정화는 인가한 전계(electric field)의 세기와 방향에 의존한다. 본 연구에서는 유한요소법을 적용하여 실제 패턴을 간단하게 모델링한 형상에 각 물질의 전도도를 대입하고, 전압을 가해 그 결과로 발생하는 전계의 분포를 계산하였다. 전계는 (-)극 주위에서 전극의 양쪽 모서리 부근이 가운데 부분보다 더 높게 나타났고 그 방향은 전극과 50~60°를 이루는 대각선 방향이었다. 또한 예상한대로 크기가 작은 패턴이 큰 패턴보다 더 큰 전계 값을 가지는 것으로 나타났다.

1. 서론

박막 트랜지스터의 active layer로 넓은 영역에서 증착 용이성과 적은 누설전류 특성 때문에 비정질 실리콘이 많이 사용되어 왔다. 이에 반해 최근에는 높은 전계 효과 이동도를 가지고 있어 주변회로와의 일체화를 가능하게 하고 소자의 크기를 줄일 수 있고 빠른 응답 속도를 가지며 고해상도 구현이 가능한 poly-Si TFT가 많은 주목을 받고 있다[1]. 그러나 a-Si TFT의 경우 유리기판의 온도가 350°C 이하에서도 제조가 가능하지만 poly-Si의 경우 더 높은 온도를 필요로 하게 되어 고비용의 quartz 기판 사용이 불가피하게 된다. 따라서 가능한 한 낮은 온도에서 a-Si를 poly-Si으로 결정화시키는 기술이 매우

중요하다. 결정화 기술 중의 하나인 FALC(Field aided lateral crystallization) process는 구리나 니켈 등의 금속이 선택적으로 증착된 패턴을 열처리 하는 동안 직류전류를 가하여 전계를 유도하고 이 유도된 전계의 영향으로 a-Si의 결정화가 낮은 온도에서도 빠른 속도로 진행되는 장점을 가지고 있다. 실제로 FALC process에서 전계의 크기가 클수록 결정화 속도가 빨라지고 또한 350°C 정도의 낮은 온도에서도 결정화가 가능하다는 것이 실험적으로 보고된 바 있다[2]. 결국 FALC process에서는 전계 크기와 방향의 분포가 a-Si의 결정화에 있어 가장 중요한 변수가 된다고 할 수 있다. 본 연구에서는 유한요소법(Finite element method)을 이용하여 실제 패턴을 단순화시킨 모델에서 전계분포를 계산하여 결정화 방향성과 속도에 대한 경향성을 예측하고, 이를 통해 실제 FALC에서 전계 분포가 미치는 영향을 분석하여 메커니즘을 밝히는 토대를 마련하고 또한 한 걸음 더 나아가 산업적으로 응용되는 실제 모델을 설계할 수 있는 기반을 마련하고자 하였다.

Corresponding author
Tel: +82-2-2290-0507
Fax: +82-2-2281-5308
E-mail: yongchae@hanyang.ac.kr

2. 실험 방법

FALC에서 a-Si의 결정화 속도와 방향은 가해진 전압에 의한 전계(electric field)의 크기에 의존한다는 사실은 이미 실험을 통해 확인되었다[3]. 본 연구에서는 이러한 관측을 토대로 실제 실험에 사용된 것과 동일한 모양의 패턴 형상에 직류 전압을 가했을 때 패턴에 나타나는 전계의 분포를 유한요소법(Finite Element Method)을 이용해 계산하였다. Fig. 1에서 나타난 바와 같이 시뮬레이션에서는 계산량을 최소화함과 동시에 계산 시간과 계산 오차를 줄이기 위해 40 μm, 80 μm, 120 μm, 160 μm, 200 μm 패턴을 각 5개씩 넣은 2차원 모델을 사용하였다. 패턴에서의 전계 분포 계산에 사용된 기본식은 전류연속식(electrical current continuity equation) 식(1)과 가우스 법칙(Gauss law) 식(2)이다.

$$\frac{\partial \rho}{\partial t} + \nabla \cdot \mathbf{J} = 0 \tag{1}$$

$$\mathbf{J} \cdot \mathbf{D} = 0 \tag{2}$$

전하밀도(ρ)와 전기선속밀도(D)의 관계식인 식(2)를 식(1)에 대입하여 정리하면 식(3)이 얻어지는데 여기에서 전류밀도(J)와 전계(E)와의 관계식인 식(4)와 전기선속밀도(D)와 전계(E)와의 관계식인 식(5)를 대입하면 식(6)을 얻을 수 있다.

$$\nabla \cdot \left[\mathbf{J} + \frac{\partial \mathbf{D}}{\partial t} \right] = 0 \tag{3}$$

$$\mathbf{J} = \sigma \mathbf{E} \tag{4}$$

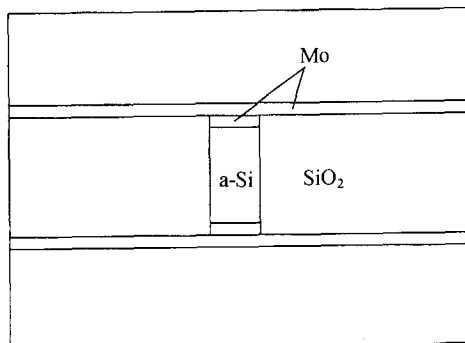
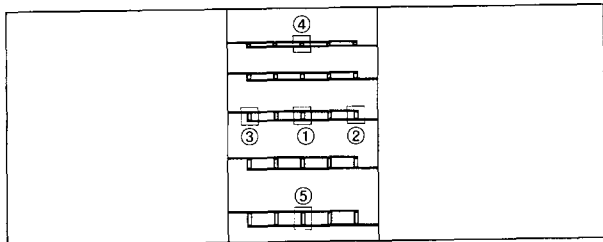


Fig. 1. Schematic diagram of simulation model.

Table 1
Conductivity of materials used in calculation [4]

	Conductivity
Mo	$6.33 (\Omega \cdot \mu\text{m})^{-1}$
a-Si	$4.0 \times 10^{-10} (\Omega \cdot \mu\text{m})^{-1}$
SiO ₂	$3.33 \times 10^{-18} (\Omega \cdot \mu\text{m})^{-1}$

$$\mathbf{D} = \epsilon \mathbf{E} \tag{5}$$

$$\nabla \cdot \left[\sigma \mathbf{E} + \frac{\partial \epsilon \mathbf{E}}{\partial t} \right] = 0 \tag{6}$$

마지막으로 식(6)에 전계(E)와 전위(φ)와의 관계식인 식(7)을 대입하면 전류가 흐르는 물질 내부에서의 전위에 대한 일반식 식(8)이 얻어진다.

$$\mathbf{E} = -\nabla \phi \tag{7}$$

$$\nabla \cdot \left[\sigma \nabla \phi + \epsilon \frac{\partial \nabla \phi}{\partial t} \right] = 0 \tag{8}$$

정상상태(Steady-state) 직류전기전도(DC conduction)의 경우 시간에 대한 편미분 ∂/∂t가 0이 되어 식(8)의 괄호 안 두 번째 항이 사라지게 되므로 결국 직류전기전도현상을 설명하는 지배방정식은 식(9)가 된다.

$$\nabla \cdot (\sigma \nabla \phi) = 0 \tag{9}$$

이 식을 weak form으로 바꾸어 수치해석적인 방법으로 각각의 mesh에서의 전위(φ) 값을 구하였고, 구한 전위값과 식(7)을 통해 전계(E)를 계산하였다. 이 때 경계치 조건(boundary condition)으로 왼쪽의 Mo 전극에는 0 V를 오른쪽의 Mo 전극에는 10 V를 설정하여 왼쪽 전극이 -극, 오른쪽 전극이 +극이 되게 하였고, Table 1에 나타난 σ 값을 사용하였다(Fig. 1 참조).

3. 실험 결과 및 고찰

지금까지 밝혀진 FALC 메커니즘은 다음과 같다. 먼저 Fig. 2에 나타난 것처럼 금속과 a-Si의 반응으로 계면에 silicide가 형성이 되고, a-Si이 silicide 보다 비저항

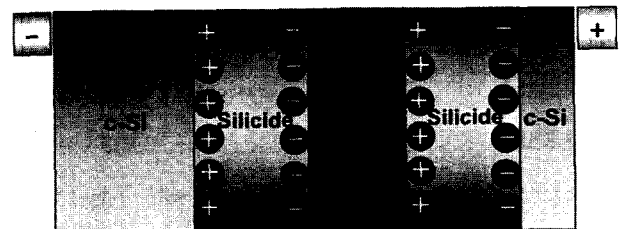


Fig. 2. Illustration of FALC mechanism [3].

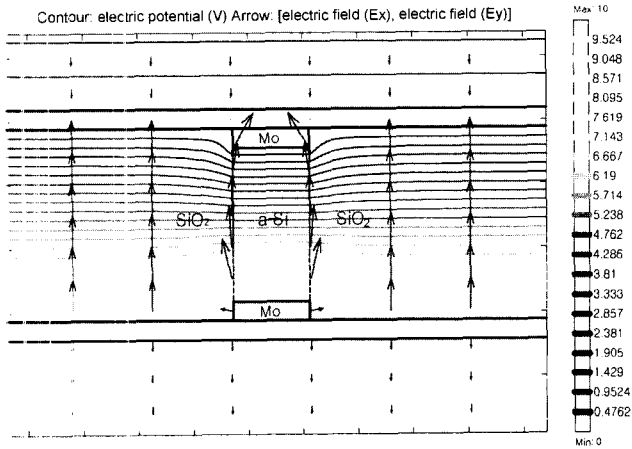


Fig. 3. Electric field distribution perpendicular to equi-potential lines around pattern ① (120 μm).

이 크기 때문에 전자가 걸어준 전기장의 영향으로 silicide와 a-Si의 계면으로 이동하게 된다. 이 때 silicide 내부에 생긴 local field의 영향으로 금속의 양이온이 silicide와 a-Si의 계면으로 이동하여 또다시 silicide를 형성하게 되고 이러한 과정이 반복되어 silicide상이 +극 쪽으로 이동하면서 그 뒤로 poly-Si을 형성하게 한다는 것이다[3].

전계가 서면 전자의 이동속도와 그 양이 증가하여 결국 local field도 증가하게 된다. 따라서 형성되는 local field의 세기가 인가한 전계의 세기와 비례한다고 하면 전계의 세기는 a-Si의 결정화에 큰 영향을 주는 인자라고 할 수 있고, 전계세기의 분포를 통해 결정화 경향성을 예측할 수 있다.

Fig. 3은 Fig. 1의 ① 패턴 주변 전계 분포를 나타낸 그림으로 패턴 주위에서의 등전위선(equi-potential line)과 그에 수직인 전계의 방향과 크기를 화살표로 나타내었다. 화살표의 방향은 시작점에서의 전계 방향을 나타내고 화살표의 길이는 시작점에서의 전계 크기를 의미한다. 일반적으로 FALC process의 경우 -극쪽에서 +극쪽으로 결정화가 일어나기 때문에 결정화가 처음 시작되는 -극 주변의 전계 분포를 살펴보면 결정화 초기의 경향성을 파악할 수 있다. 패턴의 -극 4 μm 아래 부분의 전계 세기를 구하여 그래프로 나타낸 것이 Fig. 4로써 패턴의 양쪽 끝 부분에서의 전계 크기가 패턴의 중앙의 값보다 크게 나타났다. 이를 통해 결정화가 패턴 양쪽 끝 모서리 부분에서 더욱 활발히 진행된다는 것을 예상할 수 있다.

또한 전계의 방향이 결정화 진행 방향에 영향을 준다고 가정하고, a-Si의 결정화가 -극에서 +극쪽으로 진행된다는 현상을 고려한다면 -극 주변의 전계 방향의 역방향으로 결정화가 진행될 것이다. 이러한 맥락으로 -극 주변의 등전위선에 수직하는 전계의 방향을 계산한 결과,

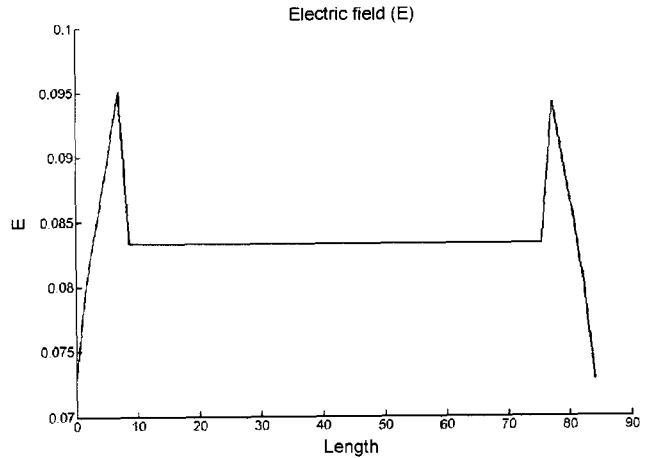


Fig. 4. Electric field intensity through the line parallel to cathode ($\text{V}/\mu\text{m}$).

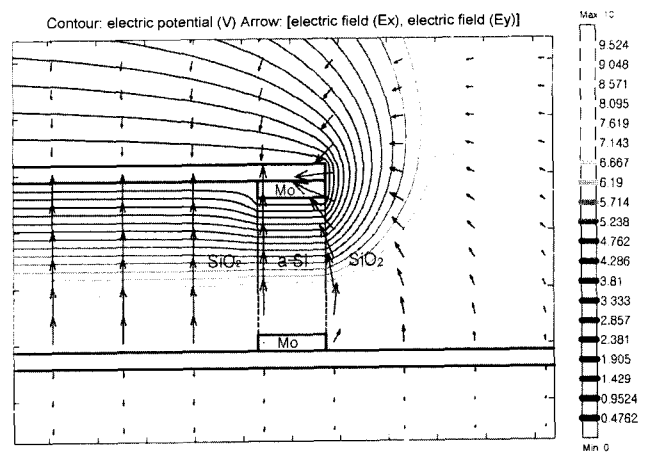


Fig. 5. Electric field distribution perpendicular to equi-potential lines around pattern ② (120 μm).

전계의 방향은 패턴의 모서리와 대각선을 이루는 방향으로 나타났다. 따라서 결정화가 전계를 나타내는 화살표의 역방향인 패턴의 모서리와 약 50~60° 정도의 각도를 이루면서 -극에서 +극 방향으로 진행될 것이다. 그러나 양 끝에 위치한 패턴의 경우 한 쪽 전극이 다른 쪽 전극보다 길게 뻗어있어 이 전극의 영향으로 가운데 위치한 패턴과는 전계 분포 양상이 다르게 나타난다. Fig. 5는 가장 오른쪽(Fig. 1의 패턴 ②)에 위치한 패턴 주위에서의 등전위선과 이에 수직하는 전계의 크기와 방향을 나타낸 그림이다. 이 경우에 오른쪽으로 더 길게 뻗어있는 +전극의 영향으로 -극 주변 패턴의 오른쪽 부분이 왼쪽 부분보다 전계의 세기가 더 크고, 방향도 전극 모서리와 40~45°를 이루어 가운데 패턴과는 다른 양상을 보인다. Fig. 6은 가장 왼쪽 부분 패턴의 전계 분포를 나타낸 그림으로 역시 비슷한 양상을 보이고 있다. 결국 가장자리에 위치한 패턴은 가운데에 위치한 패턴과는 다른 전계 분포를 나타내기 때문에 다른

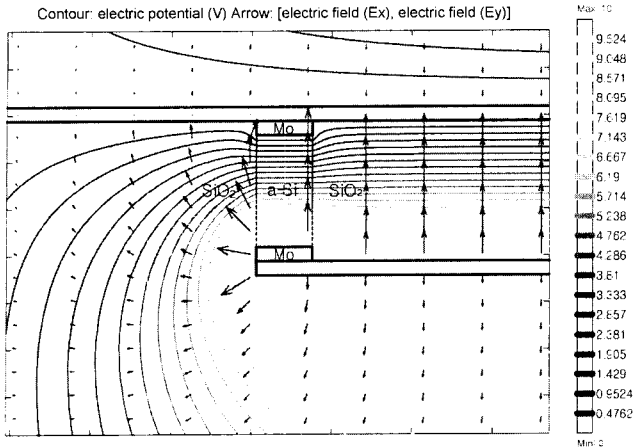


Fig. 6. Electric field distribution perpendicular to equipotential lines around pattern ③ (120 μm).

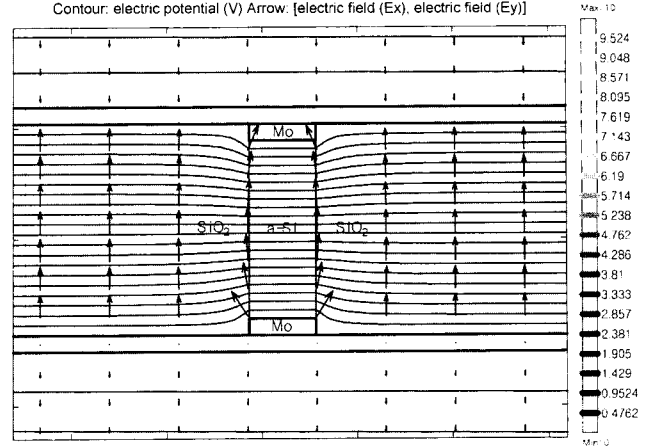


Fig. 8. Electric field distribution perpendicular to equipotential lines around pattern ⑤ (200 μm).

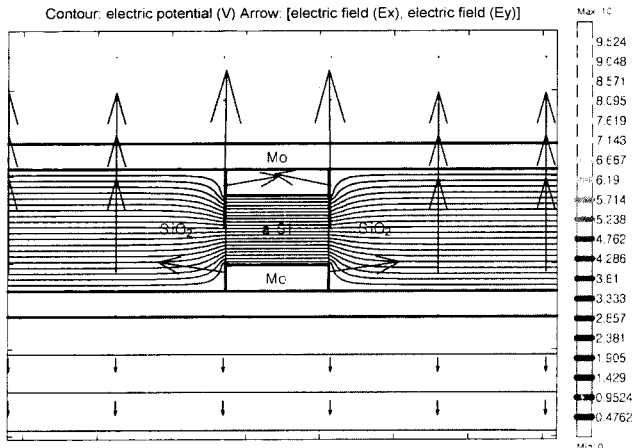


Fig. 7. Electric field distribution perpendicular to equipotential lines around pattern ④ (40 μm).

결정화 양상을 보일 것이고, 가장 오른쪽 패턴의 경우 오른쪽으로 가장 왼쪽 패턴의 경우 왼쪽으로 결정화가 더 활발히 진행될 것이다. 이는 모든 패턴이 고르게 결정화 되어야 하는 FALC process에서 바람직하지 못한 결과를 초래할 수도 있다. 결정화된 정도가 다르면 물성이 고르지 않아 소자의 신뢰도가 떨어질 수 있기 때문이다.

다음으로 길이가 서로 다른 패턴들에서의 전계 분포를 비교해 보면 각 패턴들간의 결정화가 진행되는 빠르기 정도를 예측할 수 있다. Fig. 7은 Fig. 1의 패턴 ④ 주위에서의 전계 분포를 나타내었고 Fig. 8은 Fig. 1의 패턴 ⑤ 주위에서의 전계 분포를 나타낸 그림이다. 이 두 경우에 Fig. 3의 ① 패턴의 경우를 추가한 세가지 경우에 대한 전계 분포를 살펴보면 이미 사전에 예상한 바와 같이 크기가 작은 패턴에 걸리는 전계의 세기가 가장 크고, 패턴의 크기가 커질수록 전계의 세기는 작아지는 것을 확인할 수 있다. 이로부터 패턴의 크기가 작은

경우에 결정화 속도가 더 클 것이라는 것을 예측할 수 있다.

4. 결 론

지금까지의 FALC 메커니즘과 계산 결과들을 종합해 보면 결정화가 전계세기와 방향에 의존한다고 했을 때, 모델링한 패턴의 양모서리로부터 모서리와 약 50~60°를 이루는 대각선 방향으로 결정화가 진행될 것으로 예상되고, 가장자리에 위치한 패턴은 전극의 배치로 인해 다른 패턴과는 다른 전계 분포 양상을 보였으며, 이는 패턴과 전극의 배치 등의 구조를 변경하여 문제를 해결하여야 할 것이다. 또한 결정화 되는 속도는 전계의 세기로 보아 크기가 큰 패턴보다 작은 패턴에서 더욱 빠를 것이라고 예상할 수 있다.

사용기호

- ρ : charge density [C/m^3]
- J : electric current density [A/m^2]
- D : electric flux density [C/m^2]
- σ : conductivity [$(\Omega\cdot\text{m})^{-1}$]
- E : electric field [V/m]
- ϵ : permittivity [Farad/m]
- ϕ : electric potential [V]

감사의 글

본 연구는 과학기술부 국가지정연구소(NRL) 사업의

지원에 의해 수행되었습니다.

참 고 문 헌

- [1] A.M. Marmostein, A.T. Voutsas and R. Solanki, "Effect of multiple scans granular defects on excimer laser annealed polysilicon TFTs", *Solid state Electronics* 43(1995) 305.
- [2] Kyung-Wan Park, Jeong-Eun You and Duck-Kyun Choi, "Crystallization of amorphous silicon films below 450°C by FALC", *J. Kor. Crystal Growth and Crystal Technol.* 12 (2002) 210.
- [3] Jae-Bok Lee, "Investigation of field-aided lateral crystallization behavior and its application to low-temperature polycrystalline silicon thin film transistor", Ph. D. dissertation, Hanyang University (2002).
- [4] D.R. Lide, "Handbook of Chemistry and physics", 81st edition (CRC Press, 2000).
- [5] Chan-Jae Lee, Jae-Bok Lee, Yong-Chae Chung and Duck-Kyun Choi, "The influence of Cu and Au on field aided lateral crystallization of amorphous silicon films", *Jpn. J. Appl. Phys.* 39 (2000) 6191.
- [6] Kyung-Sub Song, Jae-Bok Lee, Seung-Ik Jun and Duck-Kyun Choi, "Polycrystalline thin film transistors fabricated by FALC technique", *J. Mater. Sci. Lett.* 18(1999) 1209.
- [7] Sang-Hyun Park, Seung-Ik Jun, Kyung-Sub Song, Chang-Kyung Kim and Duck-Kyun Choi, "Field aided lateral crystallization of amorphous silicon thin film", *Jpn. J. Appl. Phys.* 38 (1999) L108.
- [8] C. Hayzelden and J.L. Bastone, "Silicide formation and silicide-mediated crystallization of nickel-implanted amorphous silicon thin films", *J. Appl. Phys.* 73 (1993) 8279.
- [9] A.R. Joshi, T. Krishnamohan and K.C. Saraswat, "A model for crystal growth during metal induced lateral crystallization of amorphous silicon", *J. Appl. Phys.* 93 (2003) 175.
- [10] C. Hayzelden, J.L. Batstone, R.C. Cammarata, "*In situ* transmission electron microscopy studies of silicide-mediated crystallization of amorphous silicon", *Appl. Phys. Lett.* 60 (1992) 225.