

RC-class 연결선의 축소모형을 이용한 대수적 지연시간 계산법

論 文

52C-5-1

Algebraic Delay Metric Using Reduced Models of RC Class Interconnects

金昇勇* · 金基英** · 金錫潤***

(Seung-Yong Kim · Ki-Young Kim · Seok-Yoon Kim)

Abstract - This paper analyses several model-order reduction methods and then proposes an improved π model and a new delay calculation method to be used in analyzing RC-class interconnects, which does not involve moment calculation processes. The proposed delay calculation method has been derived by combining the improved π model, the concept of effective capacitance and Elmore delay. This method has an advantage in that it can be applied in the calculation of end-to-end delay as well as incremental delay.

Key Words : RC delay, π model, interconnect delay, effective capacitance

1. 서 론

변화하는 칩 설계 환경은 설계자에게 있어서 새로운 설계 마인드를 요구하고 있다. $0.25\mu\text{m}$ 에서 $0.18\mu\text{m}$, $0.13\mu\text{m}$ 로 이어지는 공정기술의 발전은 나노 테크놀러지의 시대가 가까왔음을 의미한다. 시간지연의 관점에서의 관심은 구동회로 자체의 지연 요소가 가지는 중요성보다 그 사이의 연결선에 대한 지연시간을 더 중요시 하는 설계로 이끌고 있으며, 실제로 연결선에 쏟는 설계 노력이 큰 비중을 차지하는 환경이 되고 있다. 본 논문에서는 배선간의 간격과 배선 폭의 협소화 그리고, 클럭 속도의 기가 헤르츠 시대를 맞이하여 설계자들이 간편하게 연결선의 지연을 다룰 수 있는 방법을 제시하고자 한다.

연결선에 대한 접근과 해석에 대한 논의는 오래 전부터 이루어져 왔으며, 그 절차는 크게 특성화(characterization), 모형화(modeling), 해석(analysis) 단계로 나눌 수 있다[1]. 특성화란 연결선의 구조 및 사용하는 물질의 정보로부터 회로소자 값을 추출하는 과정을 말한다. 일반적으로 단위 길이에 대한 직렬저항(R), 직렬 인덕턴스(L), 병렬 커패시턴스(C), 병렬 누설 컨덕턴스(G)를 사용 주파수에 독립적인 값으로 추출한다. 다음 단계는 특성화 단계에서 구한 변수를 근거로 해서 적합한 회로 모형을 구성하는 모형화 단계이다. 회로 모형의 형태는 사용 주파수와 연결선의 변수 및 길이에 따라 집중회로와 분포 정수 회로를 사용할 수 있다. 집중회로는 단일 커패시턴스 모형, RC 모형, RLC 모형으로 나눌 수 있다. 분포 회로 모형 또한 RC class와 RLC class

로 나눌 수 있으며, 이것 또한 사용 주파수와 연결선의 변수 요인에 따라 적합한 것을 사용하여야 한다.

마지막으로 구성된 회로 모형에 대한 해석을 하게 된다. 이 과정에서는 전통적인 SPICE 해석 방법이나 회로 모형을 축소하기 위한 다양한 기법들이 연구되어 왔다. 결국은 모형화 단계에서 발생한 많은 양의 회로 요소들을 다시 간편화 시키면서 연결선의 특성을 보존하고자 하는 것이 해석 단계의 주관심사이다. 그렇다면 모형화 단계에서 복잡한 회로 모형을 구성하기 보다는 연결선의 특성을 잘 나타낼 수 있는 간편한 모형을 제시하고 해석한다면 효율적인 방법이 될 수 있다.

본 논문에서는 이러한 관점에서 RC-class 연결선을 해석하는 문제에 있어서 모형 축소 시 사용하는 여러 축소기법과 최근의 향상된 π 모형을 소개하고, 이를 이용하여 모멘트를 계산하지 않고 간편하게 지연시간을 계산하는 방법을 제안한다. 제안된 지연시간 계산 방법은 간편한 π 모형과 유효 커패시턴스의 개념, Elmore 지연의 개념을 결합, 응용하여 고안된 방법이다. 제안된 방법은 연결선의 전체 지연뿐만 아니라 연결선 내부의 부분지연 계산에서도 적용할 수 있는 장점이 있다. 제안된 방법을 통하여 반도체 설계시 빠르고 간편한 검증과정을 통하여 설계에 도움을 주고자 한다. 본 논문은 서론에 이어 2절에서는 모형화 방법론에 대한 기술 동향 배경 소개를 하고, 3절에서는 간편한 π 모형을 이용한 지연시간 계산을 제안한다. 4절에서는 제안된 방법에 대한 시뮬레이션 실험을 행하여 기존의 방법들과의 비교를 수행하며, 5절에서 본 논문에 대한 요약과 향후 연구방향을 제시하고자 한다.

2. 모형화 방법론에 대한 기술 동향

연결선에 대한 모형화는 회로의 동작 주파수의 증가에 크게 영향을 받게 되므로 주파수 증가에 따라 모형화 방법이

* 正 會 員 : 崇實大 컴퓨터工學科 博士課程

** 正 會 員 : 崇實大 컴퓨터工學科 碩士課程

*** 正 會 員 : 崇實大 컴퓨터工學科 教授

接受日字 : 2002年 11月 14日

最終完了 : 2003年 3月 20日

정밀하게 변해왔다. 먼저 연결선을 고려하기 전에는 드라이버 단의 출력 지점에서의 부하로서 커패시턴스만을 생각할 수 있다[2]. 연결선을 고려하면서 가장 간단한 RC 모델을 도입한 모형, L값을 고려한 RLC 모형을 집중회로 모형으로 써 적용했다. 그러나 연결선의 전기적 길이가 길어짐에 따라서 집중회로 모형보다는 분포정수 회로 모형을 사용하게 되었다. 분포정수 회로 모형도 RC 모형과 인덕턴스 성분을 고려한 RLC 모형이 있다. 적재는 수십 개에서 많게는 수천 개 이상의 R과 C로 이루어진 RC 모형에 대한 간략화와 정확한 동작에 대한 해석을 필요로 한다. 그림 1에 각각의 모형을 소개한다.

많은 수의 회로 소자에 대한 분포정수 모형을 대신할 수 있는 간단한 회로 모형으로의 대치는 설계자들에게 있어서 오랜 연구 주제가 되어 왔다. 보다 적은 소자를 사용하면서도 정확한 동작과 간편하게 구할 수 있는 축소모형이 있다면 처음부터 다수의 분포정수 회로 모형이 의미가 없을 것이다. 그러나 문제는 이러한 축소 모형들이 원래의 분포정수 모형의 성질을 잘 유지하고 있느냐 하는 관찰을 필요로 한다. 예를 들면, 그림 2와 같은 두 종류의 분포 정수 회로 모형을 가지고 생각해 보자.

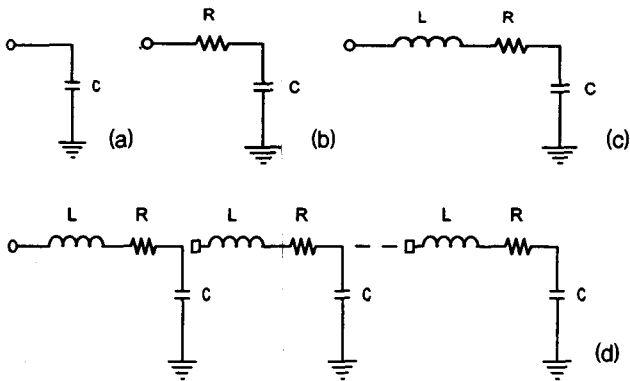


그림 1. 연결선의 회로모형 (a)lumped C (b)lumped RC (c) lumped RLC (d) distributed RLC
 Fig. 1. Circuit model of interconnect (a)lumped C (b)lumped RC (c) lumped RLC (d) distributed RLC

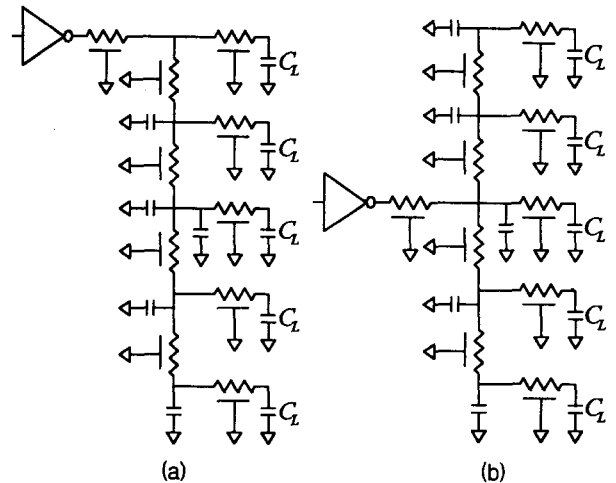


그림 2. 분포 정수 회로 모형
 Fig. 2. Distributed-parameter circuit model

가장 간단한 단일 회로 소자인 커패시턴스 값을 가지고 모형화 하는 경우에 드라이버 단의 위치에 따라 커패시턴스 값이 달라야 함을 알 수 있다. 서로 다른 커패시턴스 값을 구하기 위해서는 드라이버 단의 위치에 따른 축소모형도 달라져야 하며 단일 커패시턴스로 모형화 할 경우 간단한 수식으로 표현하기 어렵다는 것을 알 수 있다[3]. 그림 2의 (a), (b)에 대한 해석을 수행하여, 그 결과를 그림 3에 나타내었다. 그림 3의 (a)는 그림 2의 (a)에 대한 결과로서 실제 지연 값과 단일 커패시턴스(C_{tot}) 모형을 사용한 지연 값이 비슷함을 보인 것이다. 그림 3의 (b)는 그림 2의 (b)에 대한 실제 지연 값과 단일 커패시턴스(C_{tot})를 사용한 모형의 지연 값이 차이가 있음을 보이며, 이를 대체할 수 있는 π 모형에 대한 결과도 함께 나타낸 것이다.

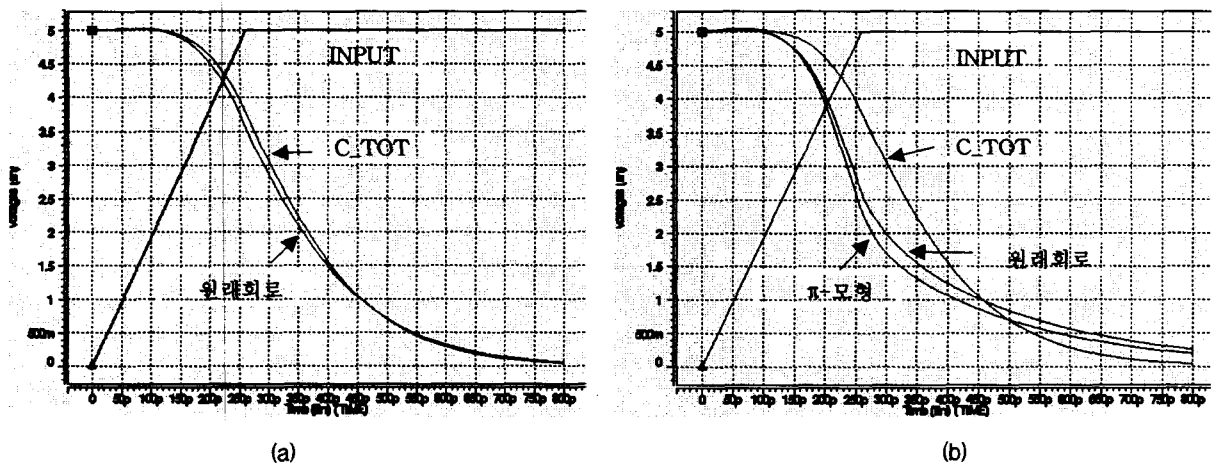


그림 3. 그림 2 회로의 시뮬레이션 결과
 Fig. 3. Simulation results of Fig 2 circuit

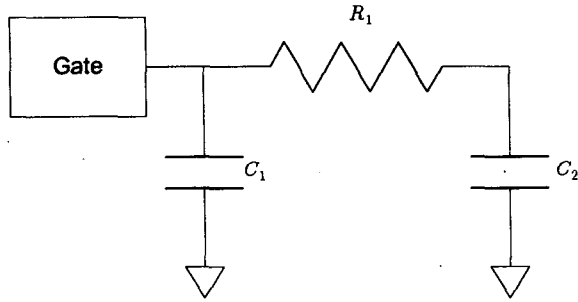


그림 4. π 모형
Fig. 4. π model

π 모형의 매개변수 값을 구하는 데에도 몇 가지 방법이 있다. 지금까지의 연구는 특성화 단계에서의 데이터를 가지고 모형화한 모형을 그림 4와 같은 π 모형으로 축소 모형 변환을 행한다는 의미를 가지고 있다. 그러나 최근의 연구 결과는 모형화를 거치지 않고 특성화 단계에서 얻은 데이터로 구현한 π 모형이 있다. 이와 같은 방법을 포함한 몇 가지 π 모형에 대한 정확도를 알기 위해서 먼저 각각의 방법에 대하여 살펴보고 비교해 본다.

첫 번째 방법은 모멘트 값을 이용한 소자 대체법 (Savarino 방법이라 명명)[4]이다. 그림 4의 모형에서 각 소자의 물리적 값들을 구하기 위하여 원래의 RC 회로에서 어드미턴스 $Y(s)$ 값을 구하고 그 표현을 $s=0$ 에서 테일러 시리즈 전개를 하면 식 (1)이 된다.

$$Y(s) = \sum_{n=1}^{\infty} y_n s^n \quad (1)$$

그림 4의 회로에 대한 어드미턴스 값을 구하면 식 (2)와 같다.

$$Y(s) = sC_1 + \frac{sC_2}{1 + sR_1C_2}$$

$$= (C_1 + C_2)s + \sum_{n=2}^{\infty} (-1)^{n-1} R_1^{n-1} C_2^n s^n \quad (2)$$

식(2)와 식(1)에서 서로의 계수를 비교함으로써 각각의 소자 값을 얻을 수 있다.

$$C_1 = y_1 - (y_2^2 / y_3) \quad (3)$$

$$C_2 = y_2^2 / y_3 \quad (4)$$

$$R_1 = -y_3^2 / y_2^3 \quad (5)$$

두 번째 방법은 단순히 연결선 변수 값의 대수적 함수로서 나타내는 것(Muddu 방법이라 명명)[5]이다. 각각의 개별 소자 값은 식(6)과 같다. 여기서 R_{tot} 과 C_{tot} 값은 특성화 단계에서 연결선에 대하여 추출한 저항과 커패시터 값들을 의미한다.

$$R_1 = \frac{12R_{tot}}{25}, C_1 = \frac{C_{tot}}{6}, C_2 = \frac{5C_{tot}}{6} \quad (6)$$

세 번째 방법은 그림 6에서 보이는 음의 소자 값을 이용한 Xu의 π 모형[6]이 있다. 여기서 C3 소자는 저항 R1과 병렬로 연결된 소자이다.

$$R_1 = R_{tot}, C_1 = \frac{C_{tot}}{2}, C_2 = \frac{C_{tot}}{2}, C_3 = -\frac{C_{tot}}{8} \quad (7)$$

그림 4의 모형에 대한 정확도는 그림 5에 나타낸 바와 같이 위에서 소개한 소자 값을 구하는 방법에 따라 조금씩 다르다. Savarino 방법은 계산이 복잡하지만 정확하고, Muddu 방법은 단순한 계산에 비해서 오차가 있으나 Elmore delay 보다는 정확하므로 사용할 수 있다. Xu 방법은 지연시간 계산 측면에서 볼 때 방법도 간단하고, 정확도도 높아서 아주 좋은 축소모형이다. [표 1]에서 보는 바와 같이 Xu의 방법이 가장 정확한 지연 시간 값을 추정함을 알 수 있다. 그리고 Xu 방법은 지연시간을 시뮬레이션 하는데 있어서 R1과 C1의 노드에서의 정확도뿐만 아니라 R1과 C2의 노드에서도 정확한 값을 시뮬레이션으로 구할 수 있다는 것이 큰 특징으로 임의의 노드 사이에서의 값을 π 모형으로 바꿀 수 있다. 그 예는 4장 실험 결과에서 설명한다.

표 1 각 모형별 지연 시간 비교
Table 1. Delay time of each model

	SPICE	Savarino 방법	Muddu 방법	Xu 방법
50% delay(sec)	2.4858e-10	2.5383e-10	2.2172e-10	2.5039e-10
상대오차(%)	0	2%	10.8%	1%

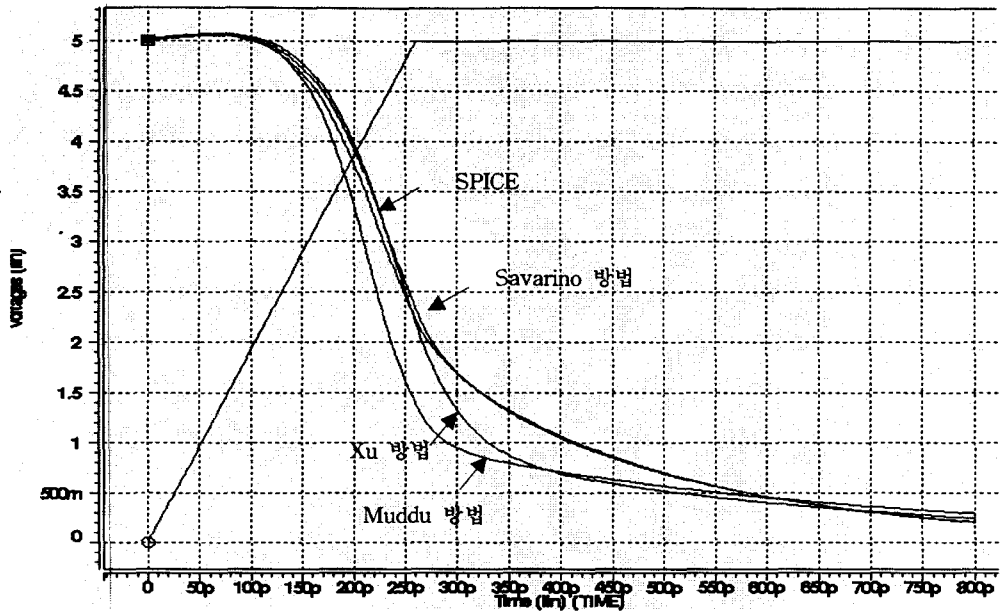


그림 5. π 모형들의 시뮬레이션 결과
 Fig. 5. Simulation results of π models

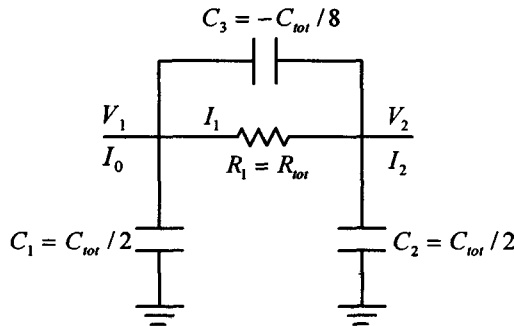


그림 6. Xu 제시 모형
 Fig. 6. Xu's model

3. π 모형과 새로운 지연시간 계산 방법

많은 수의 연결선 구성 소자들을 π 모형으로 축소시켜 시뮬레이션을 수행하고 근사화된 해석 결과를 얻을 수 있지만, 보다 정확한 지연시간 계산을 필요로 하는 경우가 생긴다. 가장 고전적인 연결선의 지연시간 계산법으로는 Elmore delay[7]가 있으며, 오차는 크지만 가장 손쉬운 계산을 수행할 수 있다는 장점이 있다. 다른 여러 가지 방법으로 Kahng과 Muddu가 제시한 3 가지 지연시간 계산법[8], Lin과 Pileggi가 제안한 h-gamma[9] 등의 방법들이 모멘트 계산을 통하여 지연시간을 구하고 있다. Devgan이 제시한 D2M[10]도 모멘트 계산을 요구한다. 또 하나의 방법인 ECM(effective capacitance metric)[10] 계산법은 모멘트 계산 없이 수행할 수 있다. 하지만 ECM 방법 또한 π 모형을 구하기 위한 단계에서 모멘트 계산을 수행하고 있어서 간편한 계산법이라 볼 수 없다. 본 논문에서는 앞에서 제시한 π 모형과 ECM 계산법을 응용하여 지연시간을 쉽게 계산하는 방법을 제안하고자 한다. 그 대상이 되는 π 모형은 Kahng과

Muddu가 제시한 모형[5]과 Xu 모형[6]을 기반으로 한다.

새로운 지연시간 계산 방법은 Devgan이 제시한 ECM 방법을 수정함으로써 얻을 수 있다. 그림 7의 (a), i노드에서 π 모형을 만들 때 Devgan이 제시한 방법은 Ci 성분을 제외하고 π 모형을 계산했으나 본 논문의 방법에서는 모멘트 계산시 Ci 값을 포함하여 계산한다. 이것은 모멘트 계산시 전류 모멘트가 아닌 전압 모멘트를 구한다는 의미이다. 그림 7의 (c)와 (d)가 Devgan의 ECM을 설명한 그림이다. i노드를 중심으로 그 이하의 회로들을 π 모형으로 구하고 다시 저항과 뒷단의 커패시터 성분을 단일 커패시터(ECM)로 모형화 하여 순수한 커패시터의 합들로 뒷단을 모형화 하는 방법이다. 새 방법의 개념은 그림 7의 (e)와 같은 형태가 되고 그림 7의 (f)와 같이 유효 커패시턴스를 계산하게 된다. 식 (8)이 ECM 방법이며 식(9)는 제안하는 유효 커패시턴스 계산식(MD_ECM이라 명명:Modified Devgan ECM)이다. ECMp(i)와 MD_ECMp(i)와 EDp(i)는 이전 단계까지의 지연시간이다.

$$ECM_i = ECM_{p(i)} + R_i (C_i + C_{ni} + C_{eff}) \quad (8)$$

$$MD_ECM_i = MD_ECM_{p(i)} + R_i (C_{ni} + C_{eff}) \quad (9)$$

2장에서 언급한 Kahng과 Muddu가 제시한 모형[5]과 Xu 모형[6] 중의 어느 하나를 사용하여 제안하는 유효 커패시턴스 계산 방법과 함께 계산하면 모멘트를 전혀 고려하지 않고도 지연시간을 쉽게 계산할 수 있다. 식 (9)에서의 소자값 C_{ni} 는 Muddu의 모형에서 C1이고, Xu 모형에서도 C1에 해당한다. 문제는 C_{eff} 를 구하는 것이다. C_{eff} 를 계산하면 그림 7의 (e)에서 저항 $R_{\pi i}$ 와 커패시턴스 C_{π} 에 흐르는 전류는 $V(s)$ 가 단위 스텝인 경우 다음과 같다.

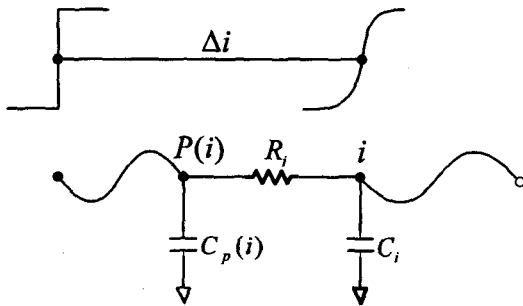
$$I(s) = V(s)Y(s) = \frac{C_{\pi}}{sR_i C_{\pi} + 1} = \frac{C_{\pi}}{s_i + 1}$$

$$q(t) = \int_0^T i(t)dt = \int_0^T \frac{1}{R_{\pi i}} e^{-\frac{t}{\tau_i}} dt = C_{\pi}(1 - e^{-\frac{T}{\tau_i}})$$

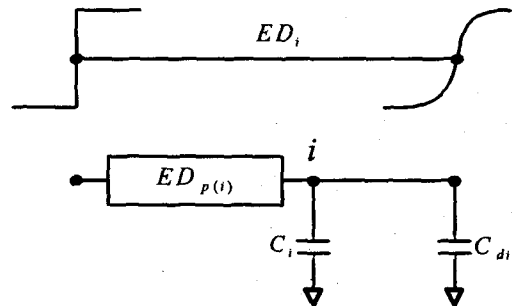
그리고, 단위 스텝 입력인 경우에 $q(t) = C_{eff}$ 이고 $C_{\pi} = C2$ 이다. 따라서 정리하면

$$C_{eff} = C_2 (1 - e^{-\frac{T}{\tau_i}}) \quad (10)$$

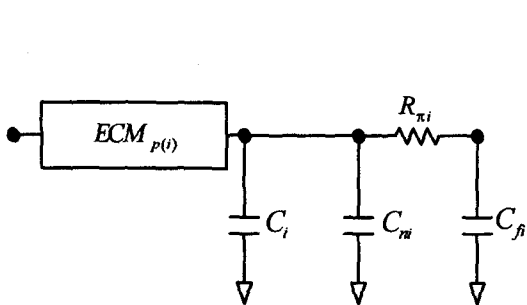
로 주어진다[10]. 여기서 T 값은 해당하는 노드에서의 Elmore delay값이고 τ_i 값은 저항 $R1$, 커패시터 $C2$ 의 곱으로 계산되는 시정수이다. Xu 모형에서도 동일하게 C_{eff} 를 나타낼 수 있다. 단 음의 값을 가지는 $C3$ 는 계산에서 나타나지 않는다.



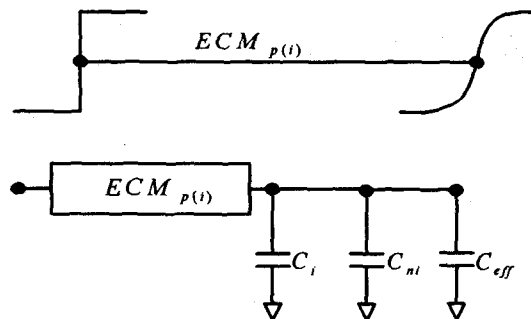
(a) RC 회로의 i 노드에서의 스텝 응답



(b) Elmore delay에 의한 지연시간



(c) π 모형에 의한 i 노드에서의 Devgan의 모형화



(d) ECM에 의한 지연시간 계산

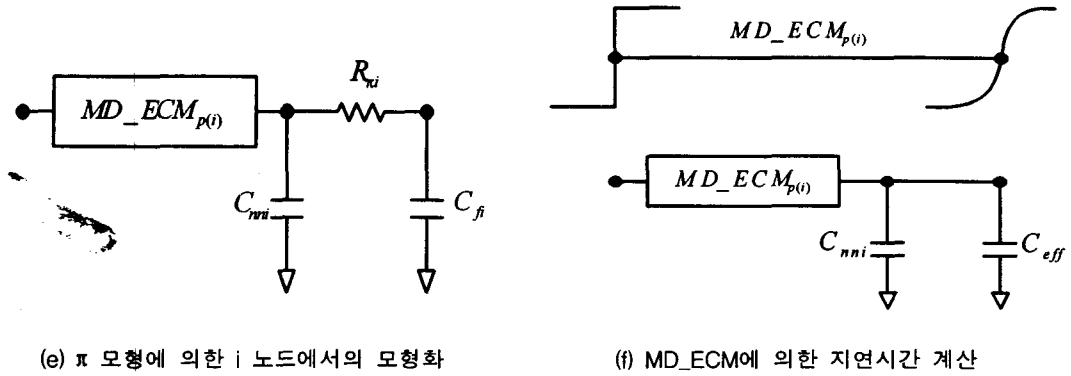


그림 7. 새로운 ECM 기반 지연시간 계산방법

Fig. 7. New delay calculation Method based on ECM. (a) Step response at node i of an RC tree. (b) Estimation by Elmore delay metric. (c) Devgan Modeling Method at node i by π model. (d) Estimation of delay by ECM metric (e) Modeling at node i by π model. (f) Estimation of delay by MD_ECM metric

4. 시뮬레이션 결과 및 응용 예

Devgan의 데이터와 비교를 위해서 그림 8을 사용하여 시뮬레이션을 수행한다. Devgan의 D2M과 ECM은 [10]을 참조하였으며, 여기서 제시한 새로운 방법인 MD_ECM 지연시간 계산에 의한 방법과 Elmore 지연, h-gamma 방법 그리고 Muddu와 Xu의 두 π 모형을 제안하는 계산 방법(Xu의 모형은 MX_ECM, Muddu의 모형은 MM_ECM)으로 지연시간을 계산하여 추가하여서 [표 2]를 구성하였다. [표 2]는 그림 8의 각 노드에서의 지연시간을 위에서 언급한 각 방법과 본 논문에서 제안한 방법을 나타낸 것이다.

[표 3]은 SPICE에서 구한 지연시간을 기준으로 각 방법 별로 각 노드에서의 지연시간을 SPICE 결과에 대한 상대오차의 절대값으로 나타낸 것이다. h-gamma 방법이 정확하지만 모멘트를 계산하여야 하는 계산의 복잡도 문제가 있다. 축소기법으로서 Xu π 모형을 채택한 MX_ECM 방법과 Muddu π 모형을 채택한 MM_ECM방법으로 계산한 경우, 다른 기타의 방법에 비하여 비슷한 정확도를 가지면서도 모형 변수 값들을 쉽게 구할 수 있다는 장점을 가지고 있다.

또 한 가지 실험으로서 중간 단의 노드에서의 모형화 경우를 시뮬레이션 하였다. 레이아웃에서 패턴의 성질이 변하는 요인들, 예를 들면 패턴의 폭이 넓거나 좁아지는 등지. 비아를 만나든지 하는 경우가 이에 해당한다. 이러한 경우에는 Savarino π 모형은 적합하지 않으므로 Muddu의 방법과 Xu 방법들을 비교한다. 비교는 저항을 중심으로 앞, 뒤 노드를 다 함께 관찰한다. 그림 8의 노드 1과 노드 5사이를 π 모형으로 구성하여 시뮬레이션을 행한 결과가 그림 9이다. 그림 9에서 노드 1에서의 값은 비슷하나 노드 5에서의 값, 즉 π 모형에서의 저항 R1과 커패시터 C2가 만드는 노드에서의 값이 다를 수 있다. Muddu π 모형(그림에서 o로 표시)은 전혀 다른 값을 나타낸다. 그러나 Xu π 모형(그림에서 +로 표시)은 노드들 사이에서의 앞, 뒤의 지연시간 시뮬레이션 값들이 정확하다. [표 4]에서 정확한 값 즉 SPICE와 비교하였을 때 두 모형이 가지는 정확성의 차이를 수치적으로 확인할 수 있다. 따라서, Xu π 모형과 MX_ECM 지연시간 계산방법의 조합으로 각 노드에서의 정확한 축소모형과 지연시간을 계산할 수 있다.

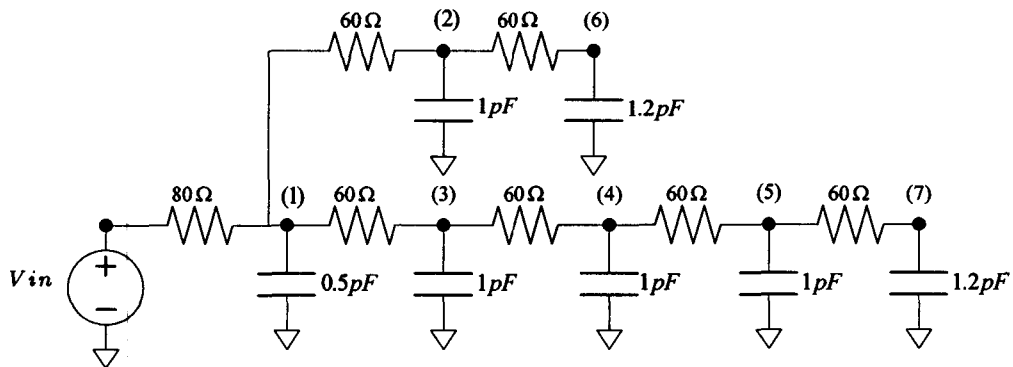


그림 8. RC 트리 구조의 예
Fig. 8. An RC tree example

표 2 각 모형별 지연시간 비교

Table 2. Delay metric comparison for various models

노드	각 모형별 지연시간(psec)							
	D2M	ECM	h-gamma	Elmore	MX_ECM	MM_ECM	MD_ECM	spice
1	299	333	194	552	375	288	241	197
2	420	439	355	684	474	420	340	374
3	514	468	486	804	579	525	461	477
4	696	615	701	996	757	717	678	701
5	830	737	840	1128	888	849	862	845
6	492	511	431	756	524	470	386	452
7	905	890	912	1200	938	899	935	919

표 3. 각 모형별 지연시간 상대오차의 절대치(SPICE 기준)

Table 3. Absolute relative error in delays for various models(w.r.t. SPICE)

노드	각 모형별 지연시간 상대오차의 절대치(%)						
	D2M	ECM	h-gamma	Elmore	MX_ECM	MM_ECM	MD_ECM
1	51.8	69	1.5	180.2	90.4	46.2	22.3
2	12.3	17.4	5.1	82.9	26.7	12.3	9.1
3	7.8	1.9	1.9	68.6	21.4	10.1	3.4
4	0.7	12.3	0.0	42.1	8.0	2.3	3.3
5	1.8	12.8	0.6	33.5	5.1	0.5	2.0
6	8.8	13.1	4.6	67.3	15.9	4.0	14.6
7	1.5	3.2	0.8	30.6	2.1	2.2	1.7

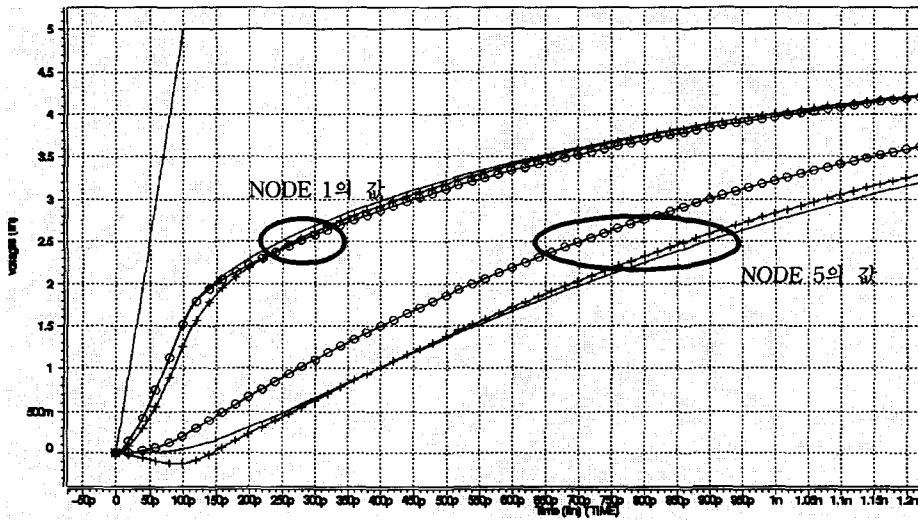


그림 9. π 모형을 이용한 노드에서의 전압치 시뮬레이션

Fig. 9. Voltage simulation at node 1, 5 by π model

표 4. 중간 노드에서의 부분 지연시간 비교

Table 4. Partial delay comparison for two models at node 1 and 5

Methods 노드	SPICE	Muddu		Xu	
		지연시간	SPICE 대비 상대오차	지연시간	SPICE 대비 상대오차
v(1)	248.1	276.7	0.115	268.4	0.081
v(5)	895.5	703	0.215	864.2	0.035

5. 결 론

본 논문에서는 간편한 π 모형 계산법과 이를 이용하여 정확한 지연시간을 예측 할 수 있는 지연시간 계산법을 제시하였다. 특성화 단계에서 추출한 회로 소자 값을 모형화 하고 다시 축소 모형을 계산하여 SPICE 시뮬레이션에 의한 지연시간을 계산하는 기존의 방법의 비효율성을 극복하고자 본 논문에서는 특성화 단계의 데이터를 바로 축소모형으로 표현하는 방법을 두 가지 π 모형을 가지고 사용하였으며, π 모형에서 지연시간을 계산하는데 있어서도 SPICE를 통한 시뮬레이션이 아닌 Elmore 지연시간 계산 수준의 간단한 수식을 통한 연산을 수행하였다. 제안된 방법은 기존의 모멘트 계산에 의한 방법 보다 간편하여 손쉽게 계산할 수 있고 정확도가 높으며, 이 방법의 적용대상을 RC class에서 향후 RLC class로 확장할 수 있을 것이다. RLC class에서도 간편한 π 모형은 제시되고 있으나 지연시간의 계산에 있어서 복잡도의 해결에 대한 과제가 남아 있다. 모든 종류의 연결선에 대해서 간편한 계산을 하면서도 정확도가 높은 계산식을 유도하는 것이 향후 과제로 남는다.

감사의 글

본 연구는 숭실대학교 교내 연구비 지원으로 이루어졌습니다.

참 고 문 헌

[1] 김석윤, VLSI 시스템 회로 연결선의 모형화 및 해석, 시그마프레스, 1999년.
 [2] H. B. Bakoglu, Circuits, Interconnections, and Packaging for VLSI, Addison Wesley Publishing Company, 1990.
 [3] C. L. Ratzlaff, S. Pullela and L. T. Pillage, "Modeling the RC-interconnect effects in a hierarchical timing analyzer," IEEE Custom Integrated Circuits Conference, 1992.
 [4] P. R. O'Brien and L. T. Savarino, "Modeling the Driving-Point Characteristic of Resistive Interconnect for Accurate Delay Estimation," Intl. Conf on CAD, Nov, 1989.
 [5] A. B. Kahng and S. Muddu, "Efficient Gate Delay Modeling for Large Interconnect Loads," IEEE Multi-Chip Module Conf., Feb. 1996.
 [6] Qinwei Xu, Mazumder, P., "Efficient Macromodeling for On-chip Interconnects," Proceedings of ASP-DAC 2002.
 [7] W. C. Elmore, "The transient response of damped linear network with particular regard to wideband amplifiers," J. Appl. Phys., vol.19, pp55-63, 1948.

[8] A. B. Kahng and S. Muddu, "An Analytical Delay Model for RLC intrerconnects," IEEE Trans. Computer-Aided Design, vol. 16, pp. 1507-1514, Dec. 1997.
 [9] T. Lin, E. Acar and L. Pileggi, "h-gamma: An RC delay metric based on a gamma distribution approximation to the homogeneous response," in Proc. IEEE/ACM Int. Conf. Computer-Aided Design, pp.19-25, Nov. 1998.
 [10] C.J. Alpert, A. Devgan, and C. Kashyap, "RC Delay Metrics for Performance Optimization", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol 20, pp571-582, May 2001.

저 자 소 개



김 승 용(金昇勇)

seeon@ic.ssu.ac.kr

1994년 2월 부산대학교 전자공학과 학사. 1999년 8월 숭실대학교 정보과학대학원 전자계산기공학과 석사. 1994년 1월~2000년 8월 LG이노텍 연구소 근무 2000년 8월~현재 숭실대학교 컴퓨터학과 박사과정. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계.



김 기 영(金基英) ky@ic.ssu.ac.kr

2002년 2월 숭실대학교 컴퓨터학부 학사 2002년 3월~현재 숭실대학교 컴퓨터학과 석사과정. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계.



김 석 윤(金錫潤)

ksy@ic.ssu.ac.kr

1980년 서울대 공대 전기공학과 학사, 1990년 University of Texas at Austin 전기, 컴퓨터학과 석사. 1983년 University of Texas at Austin 전기, 컴퓨터학과 박사. 1982년~1987년 한국전자통신연구소 연구원. 1993년~1995년 Motorola Inc., Senior Staff Engineer. 1995년~현재 숭실대 컴퓨터학부 교수. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계, 통신 시스템