

論文2003-40SD-5-9

저전력 파이프라인 병렬 누적기를 사용한 직접 디지털 주파수 합성기

(A Direct Digital Frequency Synthesizer Using A Low Power Pipelined Parallel Accumulator)

梁炳燾*, 金利燮*

(Byung-Do Yang and Lee-Sup Kim)

요약

저전력 파이프라인 병렬 누적기를 사용한 새로운 고속 직접 디지털 주파수 합성기가 제안되었다. 제안된 파이프라인 병렬 누적기는 속도 향상과 전력 소모 감소를 위하여 파이프라인과 병렬 기법 모두를 사용한다. 같은 처리 속도를 가지는 4 파이프라인 누적기와 4 병렬 누적기에 비하여 2 파이프라인 2 병렬 누적기는 66%와 69%의 전력만을 소모한다. 제안된 누적기는 더 낮은 클럭 주파수에서 더 작은 면적과 더 적은 전력을 소모하면서 같은 속도를 얻을 수 있다. 3.3V전원의 0.35um CMOS 공정을 사용하여 모든 회로의 모의 실험과 제작이 수행되었다.

Abstract

A new high-speed direct digital frequency synthesizer using a low power pipelined parallel accumulator is proposed. The proposed pipelined parallel accumulator uses both pipelining and paralleling techniques to increase speed and to reduce power consumption. The 2-pipelined 2-parallel accumulator only consumes 66% and 69% power of the 4-pipelined accumulator and the 4-parallel accumulator respectively with the same throughput. The proposed accumulator can achieve higher throughput with smaller area and less power consumption in lower clock frequency. All circuit simulations and implementations are based on a 0.35um CMOS process with VCC = 3.3V.

Keywords : digital, frequency synthesizer, low power, accumulator, parallel, pipeline

I. 서론

주파수 합성기(frequency synthesizer)는 디지털 통신에서 중요한 역할을 하고 있는 중요 핵심 부품이다. 주파수 합성기들을 구현하기 위하여 phase locked loop

(PLL)을 기반의 주파수 합성기들이 주로 사용되어 왔다. PLL 기반의 주파수 합성기들은 높은 주파수 선택성을 가지는 사인파를 만들어 내며 출력 주파수가 수 GHz에 이르고 있다^[1]. 그러나, 무선 랜, 군사용 주파수 변환 시스템, 무선 디지털 전화기와 같은 무선 디지털 통신 시스템들은 빠른 주파수 변환, 정밀한 주파수 해상도, 넓은 주파수 대역 그리고 높은 주파수 선택성을 필요로 한다. 그러나 PLL 기반의 주파수 합성기들은 이러한 요구들을 만족시킬 수 없기 때문에, 이런 요구들을 만족시킬 수 있는 직접 디지털 주파수 합성기

* 正會員, 韓國科學技術院 電子電算學科
(Dept. of Electrical Engineering & Computer Science, KAIST)

※ 본 연구는 한국과학재단과 미세정보센터의 지원을 받아 수행되었습니다.

接受日字:2002年4月4日, 수정완료일:2003年4月30日

(direct digital frequency synthesizer: DDFS)의 사용이 증가하고 있다.

DDFS의 출력 주파수는 클럭 주파수에 의하여 제한된다. 이론적으로, 최고 출력 주파수는 클럭 주파수의 절반까지 이를 수 있지만, 실제 응용에서는 클럭 주파수의 4분의 1의 주파수를 최고 출력 주파수로 생각한다. 기존의 DDFS의 동작 클럭 주파수가 높지 않기 때문에, DDFS의 응용 분야는 최고 출력 주파수에 의하여 제한된다. DDFS의 속도를 높이기 위한 한가지 방식은 파이프라인 수를 증가시키고 높은 클럭 주파수를 사용하는 것이다^{3,4)}. 그러나, 파이프라인의 수의 증가에 비례하여 칩의 크기와 소모 전력이 선형적으로 증가한다. 또한, 동작 클럭 주파수의 증가에 비례하여 소모 전력이 선형적으로 증가한다. 따라서, 파이프라인의 수를 증가시키고 클럭 주파수를 높이는 방식을 사용할 경우, DDFS의 동작 속도에 비례하여 칩의 크기는 선형적으로 증가하고 소모 전력은 제곱으로 증가한다. 따라서, 동작 속도를 높이면서도 면적과 소모 전력을 줄일 수 있는 새로운 방식의 DDFS가 요구된다.

본 논문에서는 저전력 파이프라인 병렬 누적기(pipelined parallel accumulator: PPA)를 사용한 새로운 고속 DDFS가 제안되었다. PPA는 낮은 클럭 주파수에서 동작하면서도 누적기의 출력을 속도를 높이고 소모 전력을 줄인 누적기이다. 고속 DDFS를 구현하기 위하여 누적기의 위상 출력을 사인 값으로 바꾸는 위상 사인 변환기를 병렬로 여러 개 사용하여 구현 하였다.

II. 기존의 직접 디지털 주파수 합성기 구조

1. 직접 디지털 주파수 합성기

<그림 1>은 기존의 직접 디지털 주파수 합성기(direct digital frequency synthesizer : DDFS)의 기본

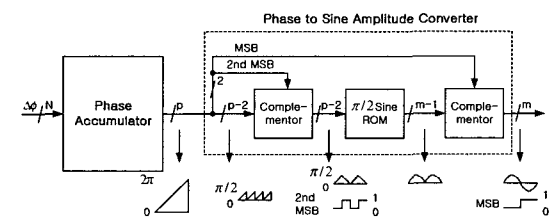


그림 1. 직접 디지털 주파수 합성기 기본 구조
Fig. 1. Basic structure of direct digital frequency synthesizer.

구조의 간단한 블록 다이어그램을 보여준다. 매 클럭 주파수 f_{clk} 마다 N비트 입력 주파수 $\Delta\phi$ 가 N비트 위상 누적기(phase accumulator)에 더해진다. 위상 사인 변환기(phase to sine converter)는 위상 누적기에서 출력된 p 비트 위상을 m 비트 사인 값으로 바꾸어 준다. p 비트 위상은 m 비트 사인 값을 만들기 위한 롬(read only memory : ROM)의 주소로 사용된다. DDFS의 최소 주파수 해상도가 $\Delta f = f_{clk} / 2^N$ 이고 n번째 클럭에서의 위상 누적기의 p비트 위상 출력이 $\phi(n)$ 일 때, 출력 주파수는 $f_{out} = \Delta f \times \Delta\phi$ 이고 디지털 출력 값은 $\sin(2\pi \phi(n)/2^N)$ 이 된다.

<그림 1>에서의 위상 사인 변환기는 0에서 2π rad의 사인 파형을 만들기 위하여 사인 함수의 대칭성을 사용한 기술을 사용하였다. 따라서, 위상 사인 변환기에서의 롬은 2π rad 대신 $\pi/2$ rad의 사인 값만을 저장한다. P비트 위상의 MSB(the most significant bit)는 최종 디지털 출력의 부호를 결정을 하고 두 번째 MSB는 사인 파형이 증가하는지 감소하는지를 결정한다. 나머지 p-2 비트는 2π rad의 사인 값을 저장하고 있는 롬의 레이터를 얻어내기 위한 주소로 사용된다.

사인 값을 저장하기 위해서 필요한 롬의 크기를 줄이기 위해서 많은 롬 압축 기법들이 제안되었다³⁻⁵⁾. DDFS의 속도를 높이고 소모 전력을 줄이기 위하여 롬의 크기는 지속적으로 줄어들어 왔다. 최근에는 다양한 롬 압축 기법들이 제안되어 롬 크기가 상당히 줄어들었다.

2. 파이프라인 누적기

위상 누적기는 현재의 위상 ϕ 과 입력 주파수 $\Delta\phi$ 를 더하여 새로운 위상을 만들어낸다. 기존의 덧셈기 중 크기와 소모 전력이 가장 적은 N 비트 리플 캐리 덧셈기(ripple carry adder)를 누적기에 사용할 경우, 내부 캐리(carry)가 N개의 전가산기(full adder)를 통하여 전

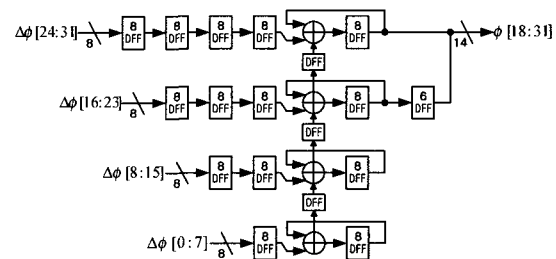


그림 2. 파이프라인 기법을 사용한 누적기
Fig. 2. An accumulator using pipelining technique.

달되어야 하기 때문에 누적기의 속도가 매우 느려지게 된다. 속도를 높이기 위하여 단순히 클럭 주파수를 높이는 경우, 위상 누적기는 짧은 클럭 주기 동안에 N비트 덧셈을 수행할 수 없게 된다. 따라서, 누적기의 속도를 높이기 위하여 <그림 2>와 같은 파이프라인 기법을 이용한 누적기가 주로 사용되어 왔다^[3,4]. 이 방식은 누적기의 출력 속도를 M배 높이기 위하여 N 비트 덧셈기를 M개의 블록(block)으로 나누고 M개의 파이프라인 단(pipeline stage)을 그림에서와 같이 삽입한다.

<그림 2>에서와 같이, M개의 블록으로 나누어진 덧셈기들 사이에서의 전달되는 케리는 파이프라인 단을 거쳐서 전달된다. 매 클럭 사이클 마다 누적기에 들어오는 새로운 입력 주파수는 파이프라인 회로를 통하여 덧셈기까지 전달된다. 파이프라인 회로는 DFF(D flip-flop) 회로와 딜레이(delay) 회로로 구성되는데, 이 회로들은 파이프라인 단의 수가 증가함에 따라 상당한 면적을 차지함과 동시에 소모 전력을 증가시킨다. 덧셈기 앞에 있는 파이프라인 회로들은 입력 주파수 데이터 N비트 모두를 전달해야 한다. 그러나 덧셈기 뒤에 있는 파이프라인 회로들은 롬 테이블의 주소로 사용될 위상 출력 p비트만을 롬에 전달하면 된다.

3. 병렬 누적기

누적기의 출력 속도를 높이고 누적기의 입력에서 출력까지의 시간 지연을 감소시키기 위하여, 파이프라인 기법을 사용하지 않고 <그림 3>에서와 같이 4개의 N비트 덧셈기를 사용한 누적기가 제안되었다^[2]. 4번의 클럭 사이클 동안 입력 주파수 데이터가 변하지 않는다고 가정할 때, 누적기의 출력은 식 (1) - 식 (4)와 같다. 4 클럭 사이클 동안 주파수 입력 데이터를 고정하는 것은 주파수 변환 속도를 조금 낮추지만 DDFS의 동작에는 거의 영향을 주지 않는다. $\Delta\phi(n)$ 이 n번째 클럭에서의 입력 주파수 데이터이고 $\phi(n)$ 이 n번째 클럭에서의 누적기의 출력일 때, 연속된 4개의 누적기 출력은 $\phi(n+1)$, $\phi(n+2)$, $\phi(n+3)$, 그리고 $\phi(n+4)$ 이다. 만약 $\Delta\phi(n)$ 이 4개의 클럭 사이클 동안 변하지 않는다고 가정하면, 연속된 4개의 누적기 출력은 식 (1) - 식 (4)와 같다.

$$\phi(n+1) = \phi(n) + \Delta\phi(n) = \phi(n) + \Delta\phi(n) \quad (1)$$

$$\phi(n+2) = \phi(n+1) + \Delta\phi(n) = \phi(n) + 2\Delta\phi(n) \quad (2)$$

$$\phi(n+3) = \phi(n+2) + \Delta\phi(n) = \phi(n) + 3\Delta\phi(n) \quad (3)$$

$$\phi(n+4) = \phi(n+3) + \Delta\phi(n) = \phi(n) + 4\Delta\phi(n) \quad (4)$$

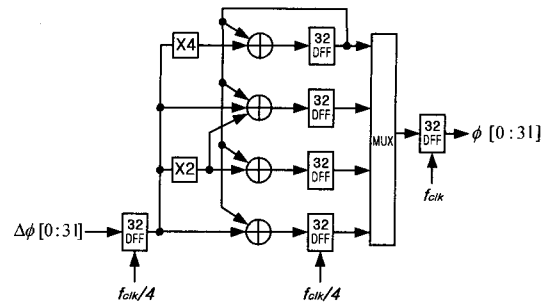


그림 3. 병렬 기법을 사용한 누적기
Fig. 3. An accumulator using paralleling technique.

<그림 3>은 연속된 4개의 누적기 출력을 얻기 위하여 만들어진 누적기의 블록 다이어그램이다. 연속적인 누적기의 출력을 만들기 위하여 $\Delta\phi(n)$ 에 1, 2, 3, 4가 곱해진 값이 $\phi(n)$ 에 더해진다. $\phi(n+2)$ 와 $\phi(n+4)$ 를 만들기 위하여, $\Delta\phi(n)$ 는 1비트와 2비트 위로 옮겨져서 만들어진 $2\Delta\phi(n)$ 와 $4\Delta\phi(n)$ 가 덧셈기에 더해진다. $\phi(n+3)$ 를 만들기 위해서 필요한 $3\Delta\phi(n)$ 은 식 (5)와 같이 두개로 나누어져 더해질 수 있다.

$$\phi(n+3) = \phi(n) + 3\Delta\phi(n) = \phi(n) + 2\Delta\phi(n) + \Delta\phi(n) \quad (5)$$

$\phi(n+3)$ 에서 식 (5)와 같이 $3\Delta\phi(n)$ 을 $\Delta\phi(n)$ 과 $2\Delta\phi(n)$ 로 나누는 것은 $3\Delta\phi(n)$ 에서 필요한 곱셈기를 제거 시켜준다. 그러나 3개로 나누어진 값들은 더하기 위하여 3개의 입력을 가지는 덧셈기가 필요하다. $\phi(n+3)$ 을 만드는 다른 방법은 식 (3)에서와 같이 $\phi(n+2)$ 에 $\Delta\phi(n)$ 을 더하는 것이다. 이런 방식을 사용하면, 3개의 입력을 가지는 덧셈기를 2개의 입력을 가지는 덧셈기로 대체할 수 있다. 그러나, $\phi(n+2)$ 가 만들어진 이후에 $\phi(n+3)$ 가 만들어지므로 속도가 느려진다.

병렬 기법을 사용한 누적기는 속도를 K배 향상시키기 위하여 K개의 N비트 덧셈기가 병렬로 필요하다. 따라서, N비트 덧셈기 하나만을 사용하는 기존의 누적기에 비하여 면적과 소모 전력이 크게 증가한다.

Ⅲ. 제안된 직접 디지털 주파수 합성기 구조

1. 파이프라인 병렬 누적기

제안된 파이프라인 병렬 누적기(pipelined parallel accumulator: PPA)는 파이프라인 누적기와 병렬 누적기에서 사용되는 기법들을 기반으로 두 기법의 장점을 취한 누적기이다.

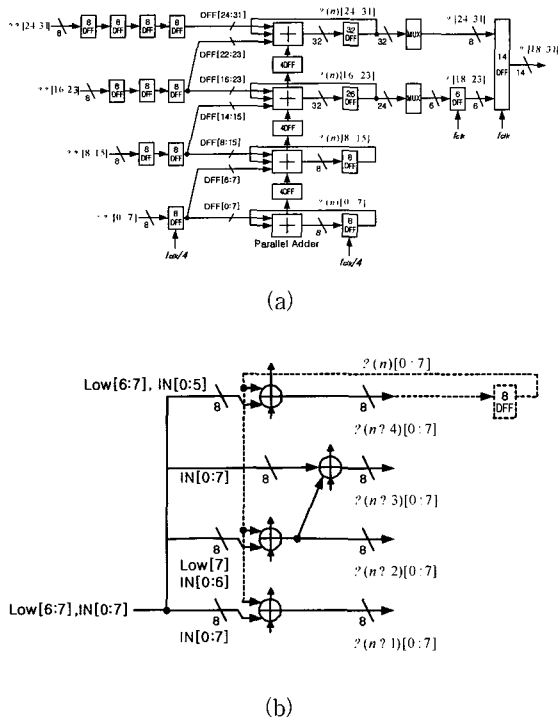


그림 4. (a) 파이프라인 병렬 누적기 (PPA) (b) PPA에서의 나누어진 병렬 덧셈기 블록
 Fig. 4. (a) Pipelined parallel accumulator (PPA) (b) Partitioned parallel adder block in the PPA.

파이프라인 누적기는 파이프라인 단을 증가시킴으로써 누적기의 속도를 높일 수 있다. 그러나, 각 파이프라인 단은 DFF와 딜레이 회로로 이루어진 파이프라인 회로를 필요로 한다. 이 파이프라인 회로들은 면적과 전력을 추가적으로 필요로 한다. 또한, 파이프라인 단의 DFF는 클럭에 의하여 동작하기 때문에 클럭의 부하를 증가시킨다. 클럭 부하의 증가는 클럭의 전력 소모를 증가시키고 클럭 버퍼의 크기를 증가시킨다. 만약 N비트 파이프라인 누적기가 M개의 블록으로 나누어졌다면, 덧셈기 앞에 위치한 입력 파이프라인 단의 수는 M이고 파이프라인 회로의 수는 <그림 2>에서와 같이 $N \times (M+1)/2$ 가 된다.

그러나, 만약 N비트 PPA가 <그림 4(b)>와 같이 K 병렬 덧셈기를 사용한다면, M 파이프라인 누적기와 같은 속도의 출력을 얻기 위해서 필요한 입력 파이프라인 단의 수는 M/K 로 줄어들고 파이프라인 회로의 수는 $N \times (M/K+1)/2$ 가 된다. 또한, 클럭 주파수는 기존의 $1/K$ 로 줄어들게 된다. 따라서, 파이프라인 회로에서의 소모 전력은 기존의 $1/K^2$ 로 줄어들게 된다.

<그림 3>의 병렬 누적기는 여러 개의 N비트 덧셈기들을 사용함으로써 누적기의 출력 속도를 증가시킨다. 그러나, 병렬 누적기는 병렬로 사용하는 덧셈기의 수에 비례하여 면적이 증가한다. 따라서, 속도를 높이기 위하여 병렬하게 사용하는 덧셈기의 수를 크게 증가시키는 것은 어렵다. 병렬 누적기에 사용하는 덧셈기의 수를 크게 증가시키지 않고 속도를 향상시킬 수 있는 하나의 방법은 고속으로 동작하는 덧셈기를 사용하는 것이다. 그러나, 고속 덧셈기들은 기존의 누적기에서 사용하는 간단한 리플 캐리 덧셈기보다 많은 면적을 필요로 한다.

병렬 누적기의 속도를 더욱 향상시킬 수 있는 방법은 병렬 누적기에 파이프라인 기법을 적용하는 것이다. 첫째로, 누적기에서 목표로 하는 출력 속도 이하의 성능을 가지도록 병렬 덧셈기의 수(K)를 정한다. 나누어진 병렬 덧셈기 블록에서 사용되는 덧셈기들은 전가산기(full adder)를 사용한 리플 캐리 덧셈기이다. 누적기의 구조를 간단하게 하기 위해서 병렬 덧셈기의 수(K)는 2의 배수로 선택한다. 둘째로, 속도를 더욱 빠르게 하기 위하여 파이프라인 단의 수(M)를 정한다. 병렬 덧셈기는 M개의 블록으로 나누어지고, M개 파이프라인 단의 입력 파이프라인 회로가 <그림 4(a)>에서와 같이 병렬 덧셈기 앞에 더해진다. 누적기의 p비트 위상 출력을 위한 출력 파이프라인 회로는 병렬 덧셈기 뒤에 더해진다.

M파이프라인 K 병렬 PPA에서의 모든 덧셈기에서 캐리 출력과 합 출력을 만들어 낼 필요는 없다. P비트 위상 출력을 만드는 MSB p비트 부분의 덧셈기들은 이전 출력 위상 값과 새로 들어온 입력 주파수를 더하여 그 합을 다음 출력 위상값으로 출력한다. 따라서, MSB p비트 부분의 덧셈기들은 캐리와 합 모두를 만들어야 한다. 그러나, LSB N-p비트 부분의 덧셈기들의 합은 사용되지 않으므로 덧셈기에서 합을 만들 필요가 없다. 그러나, MSB p비트 부분에서의 정확한 연산을 위해서 LSB N-p비트 부분에서 만들어진 캐리가 필요하다. 따라서, LSB N-p비트 부분에서의 덧셈기들은 캐리만을 만들면 된다. 덧셈기의 두 입력 중 하나는 이전 위상 값이다. 따라서, 덧셈기의 입력으로 사용되는 위상 값을 만들기 위하여 LSB N-p비트 부분의 덧셈기들 중 최소 하나는 캐리와 합을 만들어야 한다. LSB N-p비트 부분의 덧셈기들 중, <그림 4(b)>에서와 같이 덧셈기의 입력으로 사용되는 것은 $\phi(n+4)$ 이다. $\phi(n+3)$ 를 만들기

위하여 $\phi(n+2)$ 를 사용하는 경우, $\phi(n+2)$ 의 합을 $\phi(n+3)$ 을 사용하게 된다. 이와 같이 병렬 덧셈기 합이 다른 덧셈기의 입력으로 사용될 경우에는 케리 뿐만 아니라 합도 만들어 주어야 한다. 따라서, <그림 4(b)>의 경우, LSB N-p비트 부분의 덧셈기들 중 두개의 짝수 번째의 덧셈기들은 케리 출력과 합 출력을 모두 만들지만 두개의 홀수 번째 있는 덧셈기들은 단지 케리 출력만을 가진다. 케리 출력만을 가지는 덧셈기는 케리 출력과 합 출력 모두를 가지는 덧셈기보다 매우 작은 면적과 적은 전력을 필요로 한다. 따라서, K병렬 PPA의 덧셈기의 크기는 K개의 덧셈기 보다 작게 된다. <그림 4>는 K가 4이고 M이 4인 PPA의 한 예이다. K와 M의 수는 요구되는 속도, 면적, 그리고 소모 전력에 의하여 결정된다.

2. 위상 사인 변환기

<그림 5>는 위상 사인 변환기의 구조를 보여주고 있다. 사인 값을 압축하지 않고 저장하는 경우, 이를 저장하기 위한 롬의 크기는 상당히 크다. 따라서, 이 롬의 크기를 줄이기 위한 많은 알고리즘들이 제안되었다. 본 논문에서 사용된 위상 사인 변환기는 Sunderland 알고리즘, 사인 위상차 알고리즘, 그리고 양자화론과 오차론 압축 알고리즘을 통합한 롬 압축 알고리즘을 사용하여 압축한 롬을 사용하였다^[6]. 12비트 출력과 10비트 출력

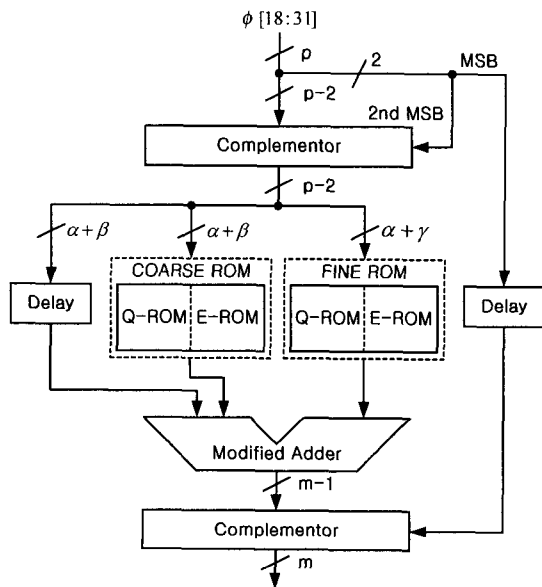


그림 5. 위상 사인 변환기
Fig. 5. Phase to sine converter.

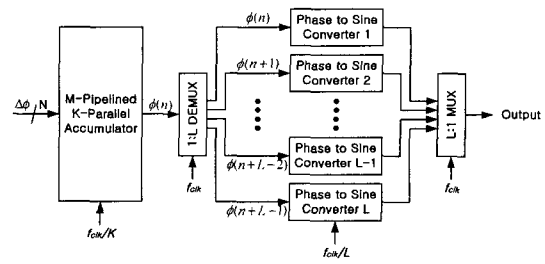


그림 6. 고속 직접 디지털 주파수 합성기
Fig. 6. High-speed direct digital frequency synthesizer.

을 가지는 위상 사인 변환기에서 필요한 롬의 크기는 단지 2496비트와 912비트 이다. <그림 5>에서와 같이, 위상 정보와 롬의 4개 출력들은 덧셈기에 의하여 다시 합쳐져 사인 값이 만들어진다.

3. 고속 직접 디지털 주파수 합성기

출력 속도를 높이기 위하여 여러 개의 칩을 병렬로 사용하는 기술은 고속의 직접 디지털 주파수 합성기(DDFS)의 응용 제품들에서 많이 이용되어 왔다^[2,4]. 2개 또는 4개의 칩을 병렬로 사용함으로써, 출력의 속도를 하나의 칩을 사용했을 때의 2배와 4배로 증가시킬 수 있다. 제안된 DDFS에서는 이러한 칩 단위의 병렬 기법을 칩 내부에 적용하였다. L개의 위상 사인 변환기를 사용함으로써, 위상 사인 변환기의 속도를 L배 향상시킬 수 있다.

<그림 6>은 PPA를 가진 고속 DDFS 구조이다. 파이프라인 단 수(M), 병렬 덧셈기 수(K), 그리고 위상 사인 변환기의 수(L)들은 DDFS의 출력 속도와 면적 그리고 소모 전력에 의하여 결정된다. 클럭 주파수 f_{clk} 에서 매 클럭마다 DDFS의 출력은 만들어진다. 이때, PPA는 f_{clk} / K 의 클럭으로 동작하고 위상 사인 변환기는 f_{clk} / L 의 클럭으로 동작한다.

IV. 모의 실험 결과와 성능 비교

<표 1>과 <표 3>은 다양한 32비트 누적기를 모의 실험한 성능 비교 결과를 보여준다. <표 2>는 <표 1>의 상대적 비교 결과이다. 또한, <표 2>의 Figure of merit은 $1/\text{delay}/\text{power}/\text{area}$ 의 상대적인 값으로 종합적인 성능 비교를 보여준다. 모의 실험 결과에서 파이프라인 누적기와 병렬 누적기에 비하여 PPA가 고속 저전력 DDFS에 적합함을 알 수 있다. 병렬 누적기는 속

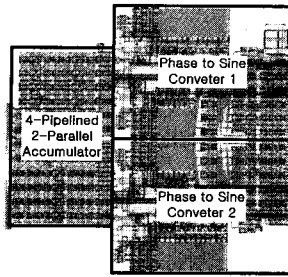


그림 7. DDFS 칩의 레이아웃
Fig. 7. Layout of the DDFS chip.

표 1. 32비트 누적기의 성능 비교
Table 1. Performance comparisons of 32bit accumulators.

	K	M	Delay [ns]	Power [mW] @100MHz	Area [μm^2]
Accumulator	1	1	6.6	2.94	16,352
Pipelined Accumulator	1	2	3.5	3.29	22,288
	1	4	1.9	4.62	31,556
	1	8	1.1	8.84	50,092
	1	16	0.8	15.22	80,192
Parallel Accumulator	2	1	3.3	4.32	43,520
	4	1	1.7	4.39	87,040
Pipelined Parallel Accumulator	2	2	1.8	3.05	39,116
	2	4	1.0	3.89	48,832
	2	8	0.6	4.88	68,264
	4	2	1.0	2.98	67,256
	4	4	0.5	3.24	75,404

도를 K배 향상 시키기 위하여 K개의 덧셈기를 사용하기 때문에, 크기가 매우 커지게 된다. 또한, 곱셈기를 사용하지 않고 병렬로 사용할 수 있는 덧셈기 수가 제한되기 때문에, 병렬로 연결되는 덧셈기의 수를 크게 증가시킬 수 없다. 파이프라인 누적기는 고속 DDFS에 매우 적합하다. 그러나, 고속 동작을 위하여 파이프라인 단을 증가시킴에 따라, <표 1>에서와 같이 면적과 소모 전력이 기하급수적으로 증가한다. PPA는 같은 성능의 파이프라인 누적기와 병렬 누적기에 비하여 작은 면적과 적은 소모 전력을 필요로 한다. 또한, 기존의 두 방식의 누적기에 비하여 매우 빠른 속도의 출력을 얻을 수 있다. 2파이프라인 2병렬 누적기는 같은 성능을 가지는 4파이프라인 누적기와 4병렬 누적기의 66%와 69% 전력만을 소모하였다.

표 2. 32비트 누적기의 상대 성능 비교
Table 2. Normalized performance comparisons of 32bit accumulators.

	K	M	Delay	Power	Area	Figure of Merit
Accumulator	1	1	1.00	1.00	1.00	1.00
Pipelined Accumulator	1	2	0.53	1.12	1.36	1.24
	1	4	0.29	1.57	1.93	1.15
	1	8	0.17	3.01	3.06	0.65
	1	16	0.12	5.18	4.90	0.32
Parallel Accumulator	2	1	0.50	1.47	2.66	0.51
	4	1	0.26	1.49	5.32	0.49
Pipelined Parallel Accumulator	2	2	0.27	1.04	2.39	1.48
	2	4	0.15	1.32	2.99	1.67
	2	8	0.09	1.66	4.17	1.59
	4	2	0.15	1.01	4.11	1.58
	4	4	0.08	1.10	4.61	2.60

표 3. 32비트 누적기의 상세 비교
Table 3. Detailed comparisons of 32bit accumulators.

	K	M	# of FA	# of DFF	# of MUX	# of Tr.
Accumulator	1	1	32	46	0	1,632
Pipelined Accumulator	1	2	32	81	0	2,256
	1	4	32	121	0	3,048
	1	8	32	201	0	4,632
	1	16	32	346	0	7,492
Parallel Accumulator	2	1	64	96	32 (2to1)	3,648
	4	1	128	192	32 (4to1)	7,232
Pipelined Parallel Accumulator	2	2	64	111	14 (2to1)	3,484
	2	4	64	155	14 (2to1)	4,340
	2	8	64	243	14 (2to1)	6,052
	4	2	128	142	14 (4to1)	5,596
	4	4	128	172	14 (4to1)	6,228

모든 모의 실험과 구현은 0.35 μm CMOS 공정과 HSPICE 모델을 사용하여 수행되었다. 3.3V 전원 전압과 100MHz 클럭 동작에서 비교를 위한 소모 전력이 측정되었다.

32비트 주파수 입력과 12비트 출력을 가지는 DDFS가 <그림 7>에서와 같이 구현되었다. 1GHz DDFS를

표 4. DDFS 칩의 특징들
Table 4. Features of the DDFS chip.

FIW	32 bits
Output	12 bits
Configuration	K=2, M=4, L=2
Technology	0.35 μ m CMOS
Max Fclk	1 GHz
Vdd	3.3 V
Power	85.1mW (at 1GHz)
Chip Size	450 x 440 μ m ²

구현하기 위하여 파이프라인 단 수(M)는 4, 병렬 덧셈기 수(K)는 2, 그리고 위상 사인 변환기 수(L)는 2로 결정하였다.

<표 1>을 보면 1GHz의 최고 속도를 가지는 PPA는 두 종류가 있다. 하나는 4파이프라인 2병렬 PPA (PPA-4-2)이고 다른 하나는 2파이프라인 4병렬 PPA (PPA-2-4)이다. 크기는 PPA-4-2가 PPA-2-4보다 28% 작다. 그러나, 소모 전력은 PPA-4-2가 PPA-2-4보다 30% 크다. 여러 PPA들 중 어떤 구성 비율 가지는 PPA 선택하는 것은 사용자의 목적에 따라 결정된다. 우리는 전력보다 면적을 더욱 중요하게 고려하였기 때문에, 칩 구현에서 PAA-4-2를 선택하였다.

위상 사인 변환기는 양자화롭과 오차률을 사용하는 롬 압축 알고리즘을 사용하였다^[6]. HSPICE 모의 실험에서 위상 사인 변환기의 최고 속도는 500MHz였기 때문에 1GHz DDFS를 구현하기 위하여 2개의 위상 사인 변환기를 병렬로 사용하였다. DDFS 칩의 특징들은 <표 4>에 정리되어 있다.

0.35 μ m CMOS공정에서 1GHz 입출력 버퍼 구현이 어렵기 때문에, 우리는 250MHz로 동작하는 입출력 버퍼를 사용하였다. 4개의 버퍼를 사용함으로써 내부에서 1GHz로 만들어진 데이터 출력을 얻을 수 있다.

HSPICE 모의 실험에서 최고 동작 속도는 1GHz였다. 3.3V전원과 1GHz의 클럭에서 HSPICE 모의 실험된 소모 전력은 85.1mW였고 FFT 테스트에서의 주파수 순도는 -86.9dBc였다. 칩 코어는 550 x 220 μ m² 면적에 12,676개의 트랜지스터를 포함하고 있다.

V. 결 론

저전력 파이프라인 병렬 누적기(PPA)를 사용한 새로운 고속 직접 디지털 주파수 합성기(DDFS)가 제안되

었다. PPA는 파이프라인 기법과 병렬화 기법을 동시에 사용하여 누적기의 속도를 향상시키고 소모 전력을 줄였다. 2파이프라인 2병렬 누적기는 같은 성능을 가지는 4파이프라인 누적기와 4병렬 누적기의 66%와 69% 전력만을 소모하였다. PPA는 기존의 누적기에 비하여 낮은 클럭 주파수로 동작하면서도 작은 면적과 적은 소모 전력으로 더 높은 성능 가진다.

참 고 문 헌

- [1] J. Chow, F. F. Lee, P. M. Lau, C. G. Ekroot, and J. E. Hornung, "1.25GHz 26-bit pipelined digital accumulator", GaAs IC Symp. Tech. Dig., Nov. 1988, pp. 131~134.
- [2] Matthew Thompson, "Low-Latency, High-Speed Numerically Controlled Oscillator Using Progression-of-States Technique", IEEE JSSC, Jan. 1992, pp. 113~117.
- [3] H. T. Nicholas, and H. Samueli, "A 150-MHz direct digital frequency synthesizer in 1.25 μ m CMOS with -90-dBc spurious performance", IEEE JSSC, Dec. 1991, pp. 1959~1969.
- [4] L. K. Tan, and H. Samueli, "A 200-MHz quadrature digital synthesizer", IEEE JSSC, Mar. 1995, pp. 193~200.
- [5] J. Vankka, "Methods of Mapping from Phase to Sine Amplitude in Direct Digital Synthesis", IEEE Tr. on ultrasonics, ferroelectrics, and frequency control, Mar. 1997, pp. 526~534.
- [6] Byung-Do Yang and Lee-Sup Kim, "A Direct Digital Frequency Synthesizer Using A New ROM Compression Method", ESSCIRC2001, pp. 288~291.

저 자 소 개



梁炳燾(正會員)

1999년 2월 : 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업(공학사). 2001년 2월 : 한국과학기술원 전자전산학과 전기 및 전자공학 전공 졸업(공학석사). 2001년 3월~현재 : 한국과학기술원 전자전산학과 전기 및 전자공학 전공 박사과정. <주관심분야 : 저전력/고성능 디지털 회로 설계, 저전력 메모리 설계>



金利燮(正會員)

1982년 : 서울대학교 전자공학과 학사. 1986년 : Stanford University 전자공학과 석사. 1990년 : Stanford University 전자공학과 박사. 1990년~1993년 : Toshiba Corporation 연구원. 1993년~현재 : 한국과학기술원 전자전산학과 전기및전자공학 전공 교수. <주관심분야 : 3D Graphics 프로세서 및 하드웨어 설계, 고성능/저전력 디지털 IC 설계>