

論文2003-40SD-6-1

# Asymmetric Double-Gate MOSFET의 Subthreshold 특성 분석

(Analysis of Anomalous Subthreshold Characteristics in  
Lightly-Doped Asymmetric Double-Gate MOSFETs)

李 惠 琳 \* , 申 炯 淳 \*

(Hyerim Lee and Hyungsoon Shin)

## 요 약

Double-Gate MOSFET의 TSi변화에 따른 subthreshold 특성을 비교 분석하였다. Lightly-doped asymmetrical 소자의 경우에 symmetrical 소자에 비하여 subthreshold current가 TSi에 따라 급격하게 증가하는 현상을 발견하였으며 이는 낮은 depletion charge 때문에 TSi내의 전압분포가 linear한 특성을 갖는 것에 기인함을 밝혔다. 또한 이러한 현상을 설명할 수 있는 analytical equation을 유도하였으며 analytical equation 결과와 device simulation 결과를 비교하여 그 정확도를 검증하였다.

## Abstract

The subthreshold characteristics of Double-Gate MOSFETs are analyzed for various Tsi. In the lightly-doped asymmetric device, it is found that the subthreshold current dramatically increases as the Tsi increases and this phenomenon is due to the linear distribution of potential in the channel region with low depletion-charge. Further, we derived an analytical equation which can explain this phenomenon and verified the accuracy of analytical equation by comparing with the result of device simulation.

**Keyword** : MOSFET, Double-Gate MOSFET, Subthreshold characteristics

## I. 서 론

CMOS가 sub-100 nm 영역으로 scale down 함에 따라 기존의 bulk-MOSFET 소자구조로 short-channel effect를 효과적으로 제어하는데 여러 가지 한계에 도달하게 되고, 대안으로 thin-film body를 갖는 Double-Gate(DG) MOSFET에 대한 연구가 활발히 진행되고

있다. Double-Gate MOSFET는 bulk-MOSFET에 비해 ideal subthreshold slope을 갖으며<sup>[1]</sup>, bottom gate의 screening effect에 의해 short-channel effect를 효과적으로 제어하는 장점이 있다<sup>[2,3]</sup>. 또한 DG MOSFET는 threshold voltage가 gate material의 work function에 의해 결정되므로, channel doping을 낮게 유지하는 것이 가능하며 따라서 dopant에 의한 fluctuation effect를 피할 수 있다<sup>[4]</sup>.

DG MOSFET는 앞, 뒤 gate의 work function이 같은 symmetric DG MOSFET와 다른 work function을

\* 正會員, 梨花女子大學校 情報通信學科

(Department of Information Electronics Engineering  
Ewha Womans University)

接受日字:2002年6月5日, 수정완료일:2003年5月21日

갖는 asymmetric DG MOSFET, 두 가지 구조가 가능하다. Symmetric DG MOSFET의 경우 front 및 back Si/SiO<sub>2</sub> interface에 channel이 동시에 형성되어  $I_{on}$  과 transconductance가 증가하는 장점이 있다<sup>[5]</sup>. 그러나 symmetric DG MOSFET의 gate로 n+ poly를 사용하는 경우, threshold voltage가 매우 작아서  $I_{off}$  전류가 큰 문제점이 있으므로 적당한 workfunction을 갖는 metal gate를 사용하여야 하는 단점이 있다. 이러한 문제점을 극복하기 위하여 asymmetric DG MOSFET가 제안되고 있다<sup>[4, 6]</sup>. Asymmetric DG MOSFET는 앞/뒤 gate로 p+/n+ poly를 사용하여 threshold voltage를 적당한 값으로 유지할 수 있다.

본 논문에서는 asymmetric과 symmetric DG MOSFET에 대하여, 다양한 silicon film 두께 및 channel doping에 따른  $I_{DS}-V_{GS}$  특성 변화를 분석하였다. 특히 asymmetric DG MOSFET의 경우에 Si-film 두께 ( $T_{Si}$ ) 증가에 따라 subthreshold current가 symmetric DG MOSFET에 비하여 비정상적으로 증가하는 현상을 발견하였으며 이러한 현상을 설명할 수 있는 analytic solution을 유도하였다. 또한 device simulation 결과와<sup>[7]</sup> analytic calculation 결과를 비교하여 두 결과가 정확하게 일치함을 확인할 수 있었다.

## II. Simulation 및 analytical analysis

Abrupt source/drain junction을 갖는  $L_g=0.2 \mu m$ 의 DG nMOSFET에 대하여 device simulation을 수행하였다. Si-film body doping은  $N_A=10^{15} \text{ cm}^{-3}$  과  $N_A=10^{18} \text{ cm}^{-3}$ , gate oxide 두께는 앞 뒤 모두 3 nm로 같으며, Si-film 두께는 ( $T_{Si}$ ) 5 nm, 10 nm, 20 nm, 40 nm로 변화하였다. Asymmetric DG MOSFET의 경우, 앞 gate는 p+ poly, 뒤 gate는 n+ poly를 사용하였다. Symmetric DG MOSFET의 경우, threshold voltage를 asymmetric 구조와 비슷하게 조절하기 위하여 gate material의 work function을 4.575V로 설정하였다.

<그림 1>은  $N_A=10^{15} \text{ cm}^{-3}$  일 때 asymmetric과 symmetric DG MOSFET의  $T_{Si}$  변화에 따른  $I_{DS}-V_{GS}$  특성을 비교한 그래프이다. 그림에서 보는 바와 같이 두 구조 모두 above threshold에서는  $T_{Si}$ 에 따른 전류 변화가 매우 작은 특성을 보이고 있으나 subthreshold 영역에서는 그 특성이 구조에 따라 큰 차이를 보인다. Symmetric 구조의 경우 subthreshold current가  $T_{Si}$  두

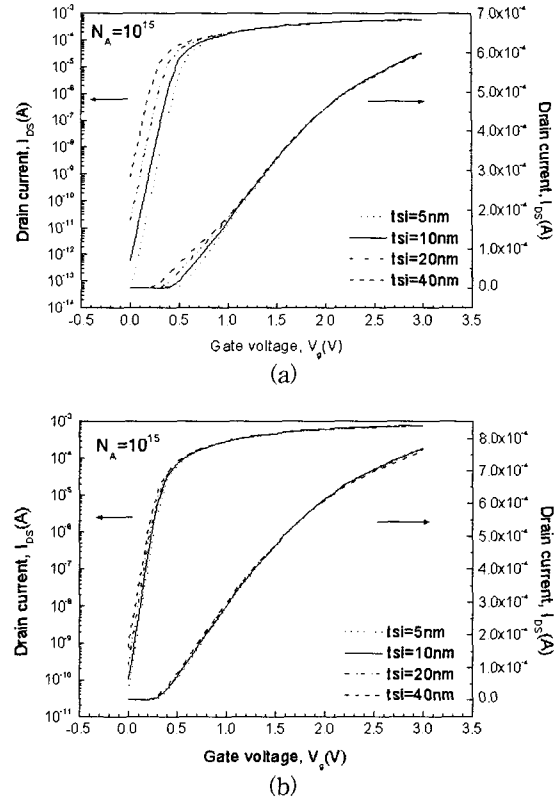


그림 1. DG MOSFET의  $T_{Si}$  변화에 따른  $I_{DS}-V_{GS}$  특성 ( $N_A=1 \times 10^{15} \text{ cm}^{-3}$ ) (a)Asymmetric DG MOSFET (b)Symmetric DG MOSFET

Fig. 1.  $I_{DS}$  vs.  $V_{GS}$  characteristics of DG MOSFETs in both logarithmic (left) and linear(right) scales for various  $T_{Si}$  ( $N_A=1 \times 10^{15} \text{ cm}^{-3}$ ). (a)Asymmetric DG MOSFET (b)Symmetric DG MOSFET

께에 비례하는 정도의 변화만을 보이고 있으나 asymmetric 구조는  $T_{Si}$  증가에 따라 subthreshold current가 급격하게 증가하는 현상을 보이고 있다. 이러한 이상 현상을 분석하기 위하여 subthreshold 영역에서 ( $V_{GS}=0.2V$ ) 소자 내부의 전압 분포를 비교하였다 (<그림 2>). Symmetric 구조의 경우 전압분포가  $T_{Si}$  변화에 무관하게 일정하게 유지되므로 silicon film body 전체로 current가 흐르는, "volume current" 현상이 보인다<sup>[1, 7]</sup>. 따라서 symmetric DG MOSFET의 경우에는 <그림 1(b)>에서 보는 바와 같이 subthreshold current가  $T_{Si}$ 에 비례하는 현상을 보이게 된다. 반면에 <그림 2(a)>에서 보는 바와 같이 asymmetric DG MOSFET는  $T_{Si}$ 에 따른 전압 분포의 변화가 symmetric 경우와 매우 다른 것을 볼 수 있다.  $T_{Si}$ 가 증가함에 따라 silicon

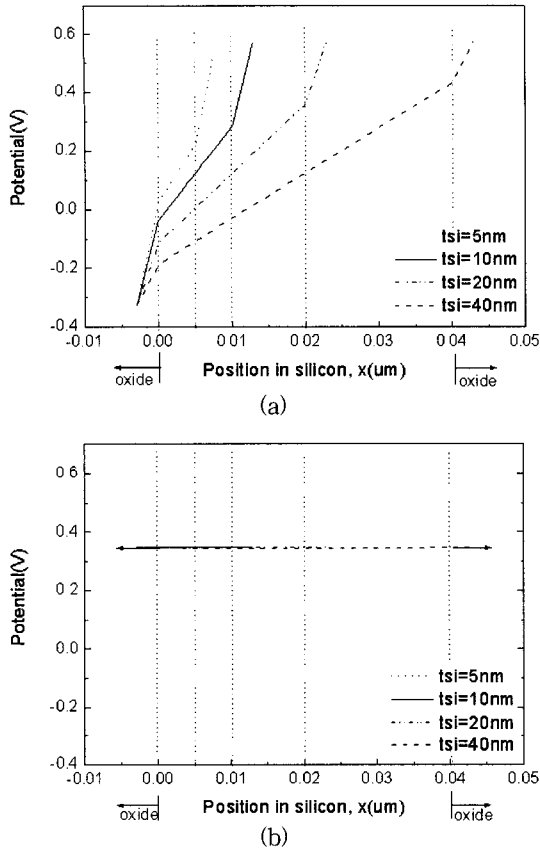


그림 2.  $T_{Si}$  변화에 따른 DG MOSFET 소자 내부의 전압 분포 ( $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ ,  $V_{GS} = 0.2 \text{ V}$ ) (a)Asymmetric DG MOSFET (b)Symmetric DG MOSFET  
 Fig. 2. Potential distribution as a function of position in the silicon film of DG MOSFET for various  $T_{Si}$  ( $N_A = 1 \times 10^{15} \text{ cm}^{-3}$ ,  $V_{GS} = 0.2 \text{ V}$ ) (a)Asymmetric DG MOSFET (b) Symmetric DG MOSFET

film 내부의 전압 변화가 증가하고 이에 따라 n+ poly 쪽 Si/SiO<sub>2</sub> 경계면의 전압이 증가하게 된다. 따라서 asymmetric DG MOSFET의 경우  $T_{Si}$  증가에 따라 n+ poly 쪽 Si/SiO<sub>2</sub> 경계면의 carrier가 급격하게 증가하여 <그림 1(a)>와 같이 subthreshold current의 이상 증가 현상을 발생하게 된다.

Asymmetric DG MOSFET의 전압분포를 설명하기 위하여 다음과 같이 analytical equation을 유도하였다. Silicon film의 doping concentration이  $1 \times 10^{15} \text{ cm}^{-3}$ 으로 매우 낮으므로 <그림 2(a)>에서 보는 바와 같이 전압 분포가 linear 하게 되고 따라서 silicon film 내의 전압은 다음 식을 만족하여야 한다.

$$\frac{dV}{dx} = E_o \quad (1)$$

<그림 2(a)>에서 왼쪽 p+ poly쪽 silicon surface를 subscript 1, 오른쪽 n+ poly쪽 silicon surface를 subscript 2로 정의하면 식 (1)의 boundary condition은 다음과 같다.

$$\epsilon_{ox} \frac{V_g - V_{fb1} - V_{s1}}{T_{ox}} = -\epsilon_{si} E_o \quad (2)$$

$$\epsilon_{ox} \frac{V_g - V_{fb2} - V_{s2}}{T_{ox}} = \epsilon_{si} E_o \quad (3)$$

여기서  $V_{fb}$ ,  $V_s$ 는 flat-band voltage, surface potential 이다.  $V_{s2} - V_{s1} = T_{Si} \cdot E_o$ 를 이용하여 식 (2), 식 (3)을 정리하면 다음과 같다.

$$E_o = \frac{V_{fb1} - V_{fb2}}{T_{Si} + 2 \frac{\epsilon_{si}}{\epsilon_{ox}} T_{ox}} \quad (4)$$

또한  $T_{Si}$ 에서의 전압 변화량은 다음과 같다.

$$\Delta V = T_{Si} \times E_o = \frac{V_{fb1} - V_{fb2}}{1 + 2 \frac{\epsilon_{si}}{\epsilon_{ox}} \frac{T_{ox}}{T_{Si}}} = \frac{\frac{E_g}{q}}{1 + 2 \frac{\epsilon_{si}}{\epsilon_{ox}} \frac{T_{ox}}{T_{Si}}} \quad (5)$$

따라서 <그림 2(a)>와 같이  $T_{Si}$  증가에 따라  $E_o$ 는 감소하나  $\Delta V$ 는 증가한다.

Silicon내부의 전압 분포 식을 구하기 위하여 식 (2), 식 (4)를 이용하여 식 (1)을 적분하면

$$V(x) = \frac{E_g}{q} \frac{x + \frac{\epsilon_{si}}{\epsilon_{ox}} T_{ox}}{T_{Si} + 2 \frac{\epsilon_{si}}{\epsilon_{ox}} T_{ox}} + V_g - V_{fb1} \quad (6)$$

유도된 analytical equation의 정확도를 확인하기 위하여 식 (6)의 결과와 device simulation 결과를 비교하였다. <그림 3>에서 보는 바와 같이 식 (6)의 계산결과와 device simulation 결과가 잘 일치함을 확인 할 수 있다.

앞에서 분석한 DG MOSFET의 subthreshold 특성은 silicon film의 doping이 낮은 경우이다.  $N_A$ 가 작으므로 depletion charge가 작고 따라서 <그림 2>에서 보인 바와 같이 asymmetrical 구조의 경우 silicon내의 전압이 linear한 특성을 보이고 symmetrical 구조의 경우에

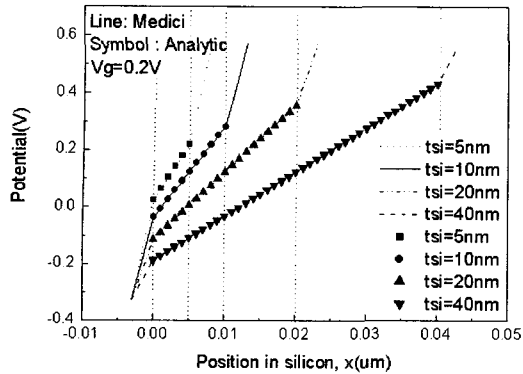
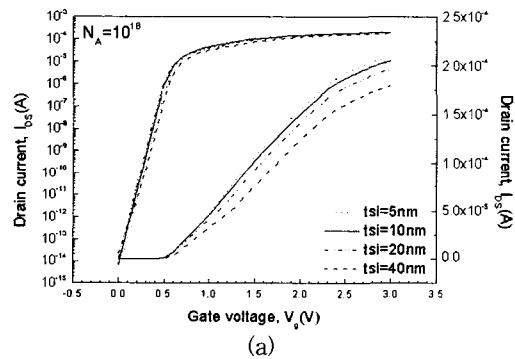
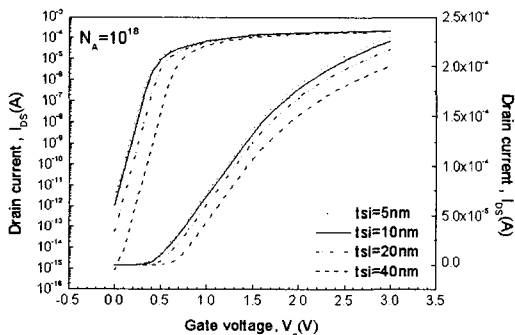


그림 3. Asymmetric DG MOSFET에서 식 (6)의 analytical equation과 device simulation 결과 비교

Fig. 3. Potential distribution as a function of position in the silicon film for an asymmetric DG MOSFET for various  $T_{Si}$ . Analytic results agree with the device simulation results.



(a)



(b)

그림 4. DG MOSFET의  $T_{Si}$  변화에 따른  $I_{DS}-V_{GS}$  특성 ( $N_A=1 \times 10^{18} \text{ cm}^{-3}$ ) (a)Asymmetric DG MOSFET (b)Symmetric DG MOSFET

Fig. 4.  $I_{DS}$  vs.  $V_{GS}$  characteristics of DG MOSFETs in both logarithmic (left) and linear(right) scales for various  $T_{Si}$  ( $N_A=1 \times 10^{18} \text{ cm}^{-3}$ ) (a)Asymmetric DG MOSFET (b)Symmetric DG MOSFET

는 “volume current”현상에 의하여 전압분포가 flat한 특성을 보인다. 반면에 doping이 큰 경우에는 depletion charge가 크므로 subthreshold 특성이 doping이 작은 경우와 다른 특성을 보이게 된다. <그림 4>는  $N_A=10^{18} \text{ cm}^{-3}$  일 때, DG MOSFETs의  $I_{DS}-V_{GS}$  특성이다. Doping이 작은 경우와 (<그림 1>) 비교하여 볼 때 asymmetrical 소자의 subthreshold에서의  $T_{Si}$  의존성이 감소하고 symmetrical 소자의 경우는  $T_{Si}$ 에 반비례하는 특성을 보인다. 이러한 현상은  $T_{Si}$ 에 따른 threshold voltage 변화에 기인한다. 즉 depletion charge가 크므로  $T_{Si}$ 가 증가하는 경우 소자의 threshold voltage가 증가하게 된다. 따라서 doping이 큰 경우 <그림 1>의 특성이 오른쪽으로 shift하게 되고  $T_{Si}$ 가 큰 경우에 그 shift정도가 증가하므로 <그림 4>와 같은 특성을 보이게 된다. <그림 5>는 doping이 큰 경우 subthreshold 영역에서 ( $V_{GS}=0.2V$ ) 소자 내부의 전압 분포를 비교한 것이다. Depletion charge의 양이 크므로 <그림 2>와는 다르게 asymmetrical 소자의 경우 전압분포가 linear하지 않으며 따라서 n+ poly 쪽 Si/SiO<sub>2</sub> 경계면의 전압이  $T_{Si}$  변화에 무관하게 거의 같은 값으로 유지됨을 알 수 있다. symmetrical 소자의 경우 “volume current” 현상이 발생하지 않고  $T_{Si}$ 가 증가할수록 전압이 낮아지는 것을 알 수 있다. 이러한 전압분포에 의하여 <그림 4>와 같은 subthreshold 특성을 보이게 된다.

### III. 결론

Double-Gate MOSFET의  $T_{Si}$ 변화에 따른 subthreshold 특성을 비교 분석하였다. Lightly-doped asymmetrical 소자의 경우에 symmetrical 소자에 비하여 subthreshold current가  $T_{Si}$ 에 따라 급격하게 증가하는 현상을 발견하였으며 이는 낮은 depletion charge 때문에  $T_{Si}$ 내의 전압분포가 linear한 특성을 갖는 것에 기인함을 밝혔다. 또한 이러한 현상을 설명할 수 있는 analytical equation을 유도하였으며 analytical equation 결과와 device simulation 결과를 비교하여 그 정확도를 검증하였다. Si-film의 doping이 증가하는 경우에는 depletion charge증가에 의한 threshold voltage증가 이러한 subthreshold 특성을 상쇄함을 알 수 있었다.

앞에 기술한 바와 같이 Double-Gate MOSFET는 앞/뒤 게이트에 의하여 소자의 단채널 현상이 효과적으로 제어되므로 nm-scale의 MOSFET에 적용하기에 적합한

소자이다. 또한 Si-film의 doping 농도를 작게 유지하여 impurity scattering을 감소시켜 carrier의 이동도를 향상시키는 장점이 있다. 그러나 본 논문에서 분석한 바와 같이 lightly-doped asymmetrical DG MOSFET의 경우  $T_{Si}$ 변화에 대한  $I_{DS}$  sensitivity가 큰 단점이 있다. 따라서 wafer상의  $T_{Si}$  변화를 고려할 때 asymmetrical 소자는 symmetrical소자에 비하여 wafer상의  $I_{on}/I_{off}$  ratio가 크게 변화하는 단점이 발생하게 된다.

### 참 고 문 헌

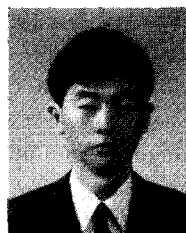
- [1] F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini, and T. Elewa, "Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance," IEEE Electron Device Lett., vol. EDL-8, pp. 410, 1987.
- [2] R.-H. Yan, A. Ourmazd, and K. F. Lee, "Scaling the Si MOSFET: From bulk to SOI to bulk," IEEE Trans. Electron Devices, vol. 39, pp. 1704~1710, 1992.
- [3] K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie, and Y. Arimoto, "Scaling theory for double-gate MOSFETs," IEEE Trans. Electron Devices, vol. 40, pp. 2326~2339, 1993.
- [4] Y. Taur, "Analytic solution of charge and capacitance in symmetric and asymmetric Double-Gate MOSFETs," IEEE Trans. Electron Devices, vol. 48, pp. 2861~2869, 2001.
- [5] T. Tanaka, H. Horie, S. Ando and S. Hijiya, "Analysis of P+ poly Si Double-Gate thin-film SOI MOSFETS," IEDM Tech. Dig., pp. 683, 1991.
- [6] K. Kim and J.G. Fossum, "Double-Gate CMOS: Symmetrical-Versus Asymmetrical-Gate Devices," IEEE Trans. Electron Devices, vol. 48, pp. 294~299, 2001.
- [7] MEDICI V.1999.2, Fremont: Avant!, 1999.
- [8] S. Venkatesan, G. W. Neudeck, R. F. Pierret, "Dual Gate operation and volume inversion in n-Channel SOI MOSFET's," IEEE Electron Device Lett., vol. 13, pp. 44~46, 1992.

### 저 자 소 개



李惠琳(正會員)

2001년 2월 : 이화여자대학교 정보통신학과 졸업(학사). 2003년 2월 : 이화여자대학교 정보통신학과 졸업(석사). 2003년~현재 : 하이닉스반도체 근무.



申焯淳(正會員)

1982년 2월 : 서울대학교 전자공학과 졸업(학사). 1984년 12월 : 미국 University of Texas at Austin 졸업(석사). 1990년 5월 : 미국 University of Texas at Austin 졸업(박사). 1990년~1994년 : LG 반도체 근무. 1995년~현재 : 이화여자대학교 공과대학 전자공학과 근무. 현재 : 교수. <주관심분야 : 반도체 소자구조, 모델링, RF CMOS.>