

패키징후 프로그램을 이용 스큐 수정이 가능한 광범위한 잠금 범위를 가지고 있는 이중 연산 DLL 회로

(A Wide - Range Dual-Loop DLL with Programmable Skew - Calibration Circuitry for Post Package)

催聖壹*, 文圭*, 魏在慶*

(Sung Il Choi, Gyu Moon, and Jae-Kyung Wee)

요약

이 논문에서는 1) 넓은 잠금 범위를 위한 이중 루프 동작과 2) 차세대 패키지 스큐 개선에 대한 전압 발생기와 안티퓨즈 회로를 사용한 프로그래머블 레프리카 딜레이, 두 가지 이점을 갖는 Delay Lock Loop (DLL) 을 기술하였다. 이중 루프 동작은 차동 내부 루프 중 하나를 선택하기 위해 외부 클럭과 내부 클럭 사이의 초기 시간차에 대한 정보를 사용한다. 이를 이용하여 더 낮은 주파수로 DLL의 잠금 범위를 증가시킨다. 덧붙여서, 전압발생기와 안티퓨즈 회로를 사용한 프로그래머블 레프리카 딜레이의 결합은 패키지 공정 후에 온-오프 칩 변화로부터 발생하는 외부 클럭과 내부 클럭 사이에 스큐 제거를 해준다. 제안된 DLL은 0.16um 공정으로 제조되었고, 2.3v의 전원 공급과 42MHz - 400MHz의 넓은 범위에서 동작한다. 측정된 결과는 43psec p-p 지터와 400MHz에서 52mW를 소비하는 4.71psec 실효치(rms)지터를 보여준다.

Abstract

This paper describes a Delay Locked Loop (DLL) circuit having two advancements : 1) a dual loop operation for a wide lock-range and 2) programmable replica delays using antifuse circuitry and internal voltage generator for a post-package skew calibration. The dual loop operation uses information from the initial time-difference between reference clock and internal clock to select one of the differential internal loops. This increases the lock-range of the DLL to the lower frequency. In addition, incorporation with the programmable replica delay using antifuse circuitry and internal voltage generator allows for the elimination of skews between external clock and internal clock that occur from on and off-chip variations after the package process. The proposed DLL, fabricated on 0.16m process, operates over the wide range of 42MHz - 400MHz with 2.3v power supply. The measured results show 43psec peak-to-peak jitter and 4.71psec rms jitter consuming 52mW at 400MHz.

Keyword : DLL, Skew-calibration circuit, Antifuse circuitry

* 正會員, 翰林大學校 情報通信工學部
(Division of Information Engineering and Telecommunications)

※ 이 연구는 한국과학재단의 특정기초 사업 (No. R01-2002-000-00039-0)의 지원에 의해서 수행되었습니다.

接受日字:2002年8月21日, 수정완료일:2003年5月22日

I. 서론

DLL은 DDR SDRAM과 같은 고속 동기 DRAM에서 중요한 구성요소가 되어 왔으며, DLL은 DRAM의 동작 주파수 범위를 결정하고 동작시간특성에 큰 효과를 가지기 때문에, 넓은 범위와 낮은 지터를 갖는 고성능 DLL은 DRAM의 속도를 증가시키는데 필수적 요소이

다. DLL은 두 가지 형(아날로그/디지털 형)중 하나로 분류될 수 있다. 비록 디지털 DLL이 견고성, 공정의 간단화, 그리고 설계의 간소화의 장점을 가지나, 빈약한 지터 성능 때문에 매우 큰 대역폭을 갖는 DRAM (600Mbps 이상) 에서 사용하는 것은 어렵다^[1-5]. 따라서 공정변화 상의 민감함에도 불구하고 연속적인 아날로그 동작 특성에 의해 더 작은 지터를 보장하는 아날로그 DLL은 고속 DRAM에서 좀 더 적당하다^[4, 12].

지터의 성능에 부가하여 DLL의 다른 중요한 점은 잠금 범위이다. 공정변화는 아날로그 DLL의 잠금 범위를 좀 더 제한하고 DRAM의 동작 범위를 더 좁게 하는 결과를 낳는다. DLL의 제한된 범위는 메모리 응용상에 구현의 유연성을 제한하고 대량 생산에서의 테스트 비용을 증가시킨다. 제한된 잠금 범위 문제를 해결하기 위해서, 다양한 종류의 DLL이 고안되었다^[3-6]. 그렇지만, 복잡한 구조로 이루어진 이러한 DLL은 증가된 면적, 전력소비, 지터 성능의 저하와 같은 문제에 직면하게 된다. 본 논문에서는 상대적으로 작은 면적과 전력을 유지하며 지터성능의 감소가 없고 잠금 범위를 증가시키는 새로운 이중 루프 구조가 제안된다. 제안된 DLL을 통하여 차세대 패키지에 이용가능 할 것으로 예상된다. 온칩상의 공정변화와 오프칩 파라미터상의 미세한 부정합은 위상 검출기의 위상오프셋에 부가하여 하나의 큰 정적인 스큐가 되어질 수 있다. 제안된 DLL에서, 안티푸즈 회로를 사용하여 개선된 점은 스큐를 감소시키는데 적용된다. 그것은 패키지 후에 피할 수 없는 스큐의 실질적인 수정을 가능하게 한다는데 있다. 이 논문은 다음과 같은 순서로 되어 있다. 일반적인 DLL의 한정된 잠금 범위 문제는 II장에 설명되고, III장에서는 넓은 잠금 범위의 구현을 위해 제안된 이중 루프의 개념이 구조의 표현에 따라 간단히 설명되고, 실제적 구현이 그 개념에 기본이 된다. 안티푸즈 회로를 사용한 스큐 개선 방법이 IV장에 설명되고 V장에서는 제조된 칩을 논의하고 실험 결과를 보여준다. 마지막으로, VI장에서는 요약으로서 이 논문을 끝마친다.

II. 일반적인 DLL의 제한된 잠금 주파수 범위 문제

<그림 1(a)>는 일반적인 아날로그 DLL의 구조와 VCDL(Voltage controlled delay line)의 delay 특성을

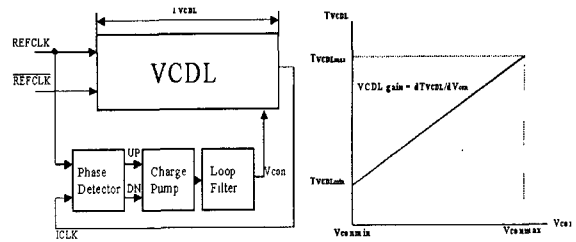


그림 1(a). 블록다이아그램과 DLL 딜레이 특성곡선 Fig. 1(a). Block diagram and delay characteristic of conventional DLL.

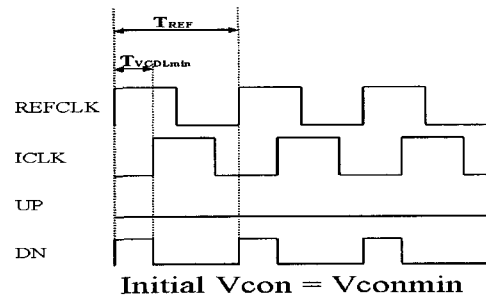


그림 1(b). 초기 잠금 실패의 경우(1) Fig. 1(b). The cases of lock-failure at initial control voltage(1).

보여준다. $2 \times T_{VCDLmin}$ (VCDL의 최소 지연시간) $\ll T_{VCDLmax}$ (VCDL의 최대 지연시간) 일 때, F_{lock} (DLL의 동작 주파수)의 범위가 초기상태에서 V_{con} (루프 필터의 제어전압)에 의해 결정된다.

초기상태에서 $V_{con} = V_{conmin}$ (루프 필터의 최소 제어 전압) 이고 $T_{VCDLmin} < (1/2) \times T_{REF}$ (외부 클럭의 주기 시간)일 때, 잠금-실패가 발생한다. 왜냐하면 위상검출기는 <그림 1(b)>에서 보여준 바와 같이 루프필터에서 캐패시터를 방전시키는 DN pulse를 발생시키기 때문이다. 따라서 이러한 경우, 잠금-실패가 없는 상태를 만

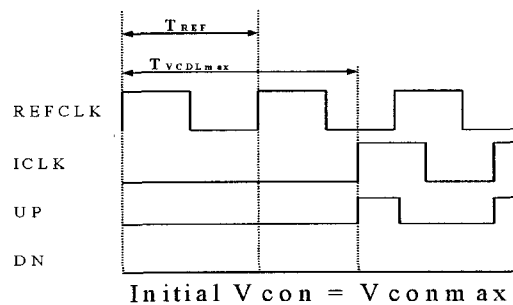


그림 1(c). 초기 잠금 실패의 경우(2) Fig. 1(c). The cases of lock-failure at initial control voltage.(2)

족하기 위해 초기 상태에서 $T_{VCDLmin} > (1/2) \times T_{REF}$ 가 되어야 한다. 따라서, F_{lock} 의 범위는 $1/(2 \times T_{REF}) < F_{lock} < 1/T_{VCDLmin}$ 이다.

다른 경우, 초기 상태에서 $V_{con} = V_{conmax}$ (루프필터의 최대 제어전압)이고, $T_{VCDLmax} < (3/2) \times T_{REF}$ 이면, <그림 1(c)>에서 보여준 위상검출기의 UP pulse 때문에 잠금 실패가 발생한다. 이러한 경우, 초기 V_{con} 이 V_{conmax} 이면, F_{lock} 의 범위는 $1/T_{VCDLmax} < F_{lock} < 2/(3 \times T_{VCDLmax})$ 이다. <그림 1(b), (c)> 처럼 잠금 실패가 없는 T_{VCDL} 의 전체 범위를 이용하기 위해서는 초기 T_{VCDL} 이 약 $(1/2) \times (T_{VCDLmin} - T_{VCDLmax})$ 이 되는 단계에서 준비되어야 한다. 이러한 경우에 F_{lock} 의 범위가 $1/T_{VCDLmax} < F_{lock} < 1/T_{VCDLmin}$ 대로 결정된다. 그러나 이러한 방법은 stuck/harmonic 잠금의 원인이 되고 지터 성능을 더 나쁘게 만든다. 따라서, F_{lock} 의 범위가 더 높은 주파수 범위에 요구된다면 초기 V_{con} 은 V_{conmin} 에 맞춰져야 한다. 그래서 stuck/harmonic 잠금의 free와 delay 셀은 더 적은 위상 잠움^[7]을 발생시키는 빠른 스루 레이트를 갖는다. 그러나 실제로, $T_{VCDLmin}$ 은 PVT(Process(공정), voltage(전압), Temperature(온도))변화에 상당히 민감하다. 대개, $T_{VCDLmin}$ 을 목표 범위로 설계하는 것은 동작 주파수가 더 높아 질수록 좀더 주의를 요하며 어려운 일이다. 따라서, PVT를 고려하여 F_{lock} 의 범위는 더 높은 동작 범위에 따라 좀 더 제한된다.

III. 고속DRAM에서의 제안된 DLL

1. 제안된 DLL의 범위

제안된 이중 루프 DLL의 개념은 <그림 2(a)>에서 보여준 바와 같다. DLL이 초기 $V_{con} = V_{conmin}$ 에서 일어난 후에 REFCLK와 ICLK 사이의 초기 시간차는 첫

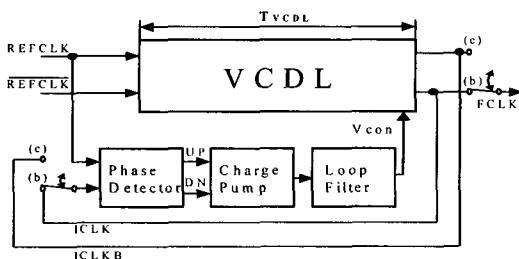
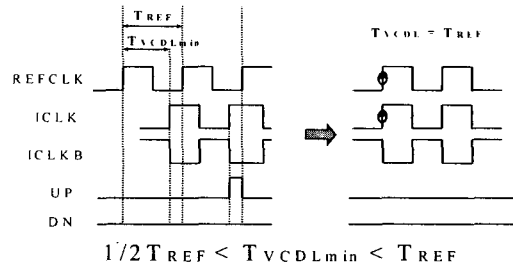


그림 2(a). 제안된 DLL 개념
Fig. 2(a). Concept of propose.

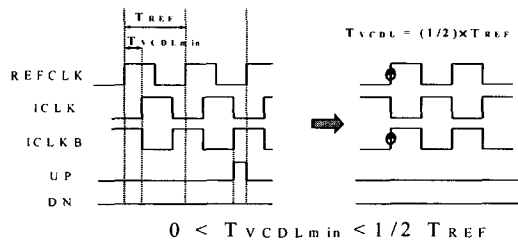


$$1/2 T_{REF} < T_{VCDLmin} < T_{REF}$$

그림 2(b). 초기 시차에 따른 루프선택의 2가지 경우(1)
Fig. 2(b). Two cases of loop selection according to the initial time-difference.(1)

번째 REFCLK 주기에 보여진다.

첫 번째 REFCLK은 DLL이 시작된 후 루프에서 ICLK가 첫 번째 발생되어 질 때 REFCLK의 주기에 따른다. 만약 <그림 2(b)>에서 보여준 대로 $(1/2) \times T_{REF} < T_{VCDLmin} < T_{REF}$ 이라면, T_{VCDL} 은 일반DLL과 같이 위상 검출기와 전하 펌프에 의해 T_{REF} 에 조정된다. 그 결과로, ICLK은 DLL의 동기화된 출력 클럭의 F_{CLK} 가 된다.



$$0 < T_{VCDLmin} < 1/2 T_{REF}$$

그림 2(c). 초기 시차에 따른 루프선택의 2가지 경우(2)
Fig. 2(c). Two cases of loop selection according to the initial time-difference.(2)

다른 경우, <그림 2(C)>에 보인 바와 같이 $T_{VCDLmin} < (1/2) \times T_{REF}$ 이라면, 위상 검출기에서의 위상 비교에 대한 입력 클럭은 ICLK부터 ICLKB (ICLK의 차동 클럭)까지 전환된다. 그리고 T_{VCDL} 은 $(1/2) \times T_{REF}$ 가 되고, F_{CLK} 또한 ICLK부터 ICLKB까지 전환된다. 이것은 ICLKB가 REFCLK에 동기화 된다는 것을 의미한다. 따라서, 제안된 DLL에서 잠금 주파수 범위는 $1/(2T_{VCDLmax}) < F_{lock} < 1/T_{VCDLmin}$ 이다. 그 결과에 따라 비록 같은 딜레이 소스가 사용되더라도, 제안된 DLL의 동작 범위는 일반 DLL보다 더 낮은 주파수로 확장될 수 있다. 유사한 개념으로 넓은 범위에 대하여^[8] 역위상 기술이 고안되었다. 그것은 VCDL이 입력되는 마지막 순간에 순간적인 위상반전으로 사용된다. 최종 순간

에 VCDL 입력에 즉각적인 위상반전에 사용, 그것의 컨트롤 전압의 살펴봄으로써 실 전류의 잠금 현상 범위를 맞출 수 없을지 사용한다. 제안된 개념은 최적화 경로의 선택에 의한 초반부 이중루프 작용에 그것을 이용하기 때문에 더 빠른 잠금 시간을 달성한다.

2. 제안된 DLL의 구조와 구현

<그림 3>은 넓은 잠금 범위를 위해 제안된 이중 loop 구조를 보여준다. 일반 DLL과는 달리 제안된 DLL은 이중 부계환(Loop1, Loop2)으로 구성되어 있다. Loop1과 Loop2는 차동 내부 클럭의 계환 루프이다. 이중루프의 정확한 동작을 위해 루프 선택기, 이니셜 회로, 리셋 제어기, 그리고 2:1 맥스가 구현된다. 제안된 이중 루프 동작에서, DLL은 내부 클럭과 외부 클럭 (<그림 3>)사이 초기 시간차에 따라 Loop1, Loop2의 두 차동 내부 클럭중 하나를 결정한다. DLL이 동작하기 전에, 이니셜 회로는 VBP(<그림 3>에서 루프의 제어 전압)를 하모닉 락 - 자유 기능을 보장하기 위해 VCDL의 딜레이를 최소화하는 최소값으로 설정 한다. 리셋(DLL 동작 신호)이 로우 상태에서 하이 상태로

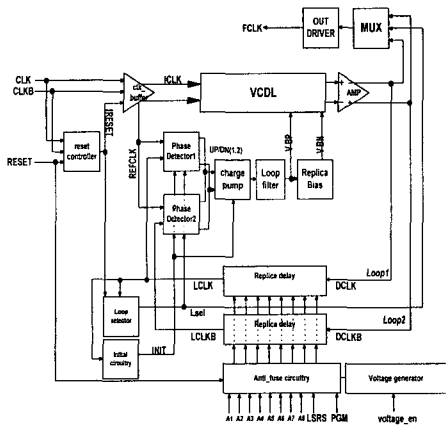


그림 3. 제안된 DLL의 구성도
Fig. 3. Architecture of proposed DLL.

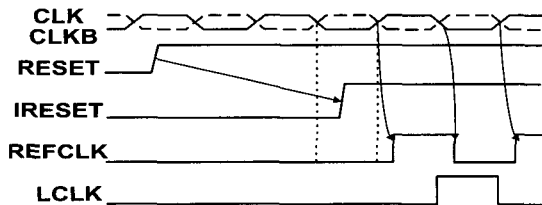


그림 4(c). 리셋 컨트롤의 타이밍도
Fig. 4(c). timing diagram of the reset controll.

변화된 후 CLK과 CLKB(외부 차동 클럭)가 리셋 제어기에 제공된다.

리셋 제어기는 <그림 4(c)>에서 보여준 바와 같이 다음 클럭의 폴링 에지와 다음 라이징 에지 사이 시간에 클럭 버퍼에 IRESET를 출력한다. RESET은 언제라도 선언될 수 있기 때문에 클럭 버퍼에 이 신호의 직접 적용이 가능하다. 왜냐하면 이것은 클럭 버퍼가 잘못 전해진 주기에 내부클럭을 발생시키도록 하며, <그림 4(a)>에 보여준 바와 같이 루프 셀렉션 주기에서 잘못된 초기 시간차의 원인이 될 수도 있다. <그림 4(b)>는 리셋 제어기의 회로도를 보여준다.

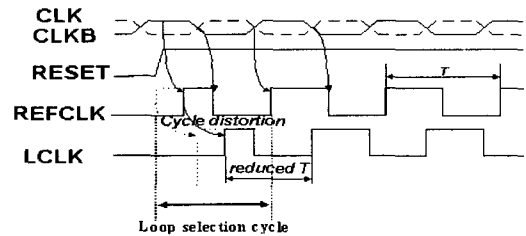


그림 4(a). 클럭버퍼가 리셋 제어기 없이 부정확한 초기 시간차를 생산한 경우

Fig. 4(a). Case where the clock buffer produces an incorrect initial time-difference without reset control.

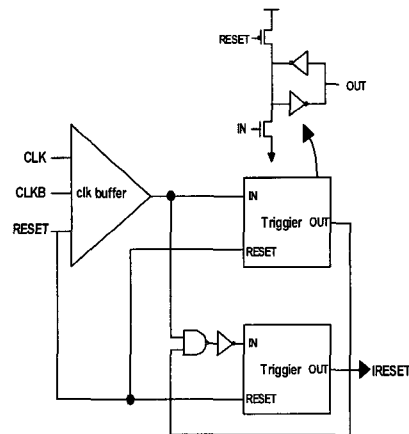


그림 4(b). 리셋 제어기의 회로도 개요
Fig. 4(b). reset controller schematic.

IRESET가 선언되면, 클럭 버퍼는 세가지 클럭 (ICLK, ICLKB, REFCLK)를 발생시킨다. ICLK와 ICLKB는 차동 클럭이며, VCDL에 입력으로, 그리고 REFCLK는 외부 클럭으로서 위상 검출기의 입력이 된다. <그림 5(a)>는 iclk_buffer로서 din_driver의 single

-end의 출력 클럭을 입력으로 받아 차동 클럭으로 변환시킨다. 이것은 딜레이 셀에 입력될 iclk/iclkb 과 위상비교의 기준 클럭이 될 외부 clk를 생성한다.

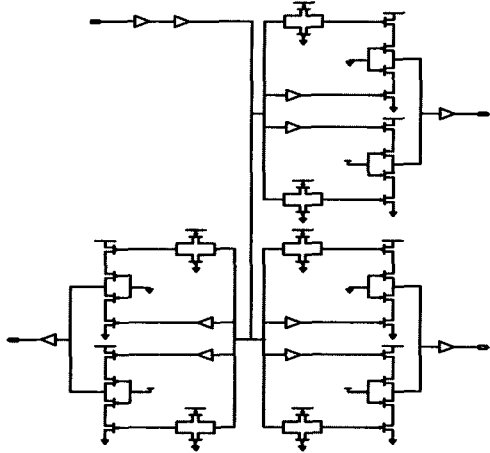


그림 5(a). ICLK 버퍼 개요
Fig. 5(a). ICLK buffer schematic.

레프리카 딜레이는 iclk_buffer와 dout_driver에 대한 지연시간과 동일한 지연시간을 갖도록 하여 external clk buffer와 din_driver를 지난 dllinclk와 DLL를 지나 출력된 dllclk의 출력 위상이 동일하게 되게 한다. 레프리카 딜레이는 clk_buffer에 대한 레프리카와 맥스를 포함한 dout_driver에 대한 레프리카를 포함한다. 이것은 또한 안티푸즈 회로와 연결되어 laser_tuning을 사용하지 않고 지연시간의 조정이 가능하게끔 되어있다. <그림 5(b)>는 clk_buffer에 대한 레프리카를 나타내며

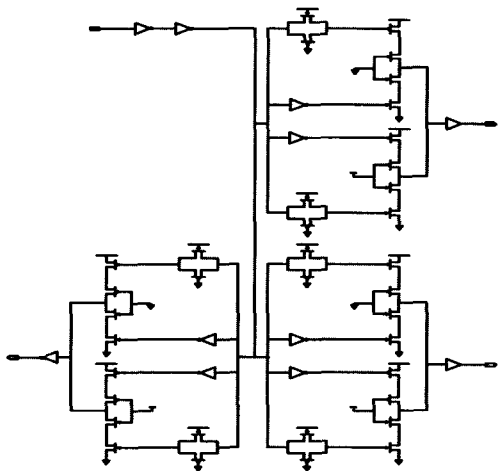


그림 5(b). 레프리카 딜레이 (clk_buffer) 개요
Fig. 5(b). Replica delay (clk_buffer) schematic.

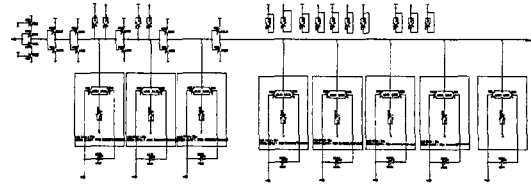


그림 6. 레프리카 딜레이 (mux+dout_driver) 개요
Fig. 6. Replica delay (mux+dout_driver) schematic.

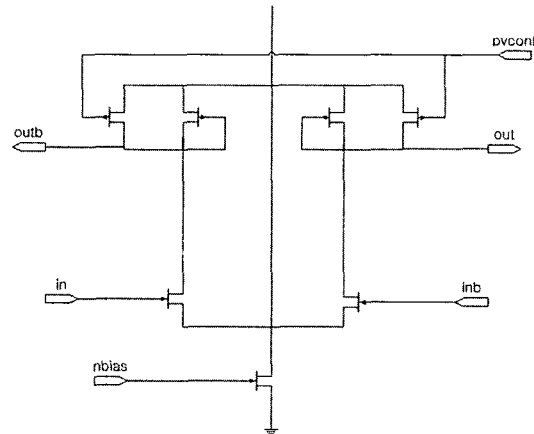


그림 7(a). 차동 딜레이 셀 개요
Fig. 7(a). Differential delay cell schematic.

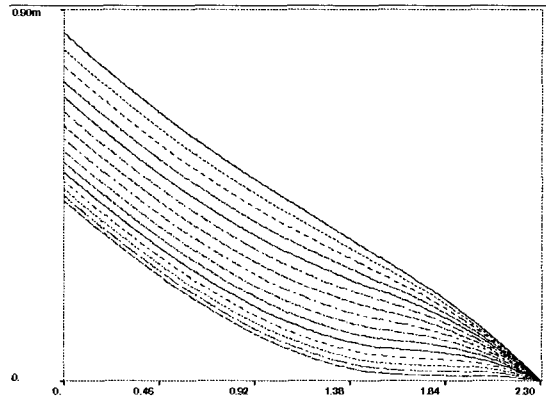


그림 7(b). Symmetric 부하 I-V 특성
Fig. 7(b). Symmetric load I-V characteristic.

<그림 6>은 맥스와 dout_driver에 대한 레프리카와 조율가능한 딜레이 부분을 나타낸다. 최소 조율 시간 결과는 10psec 이고 조율 범위는 450psec이다.

<그림 7(a)>는 대칭 구조를 갖는 차동 딜레이 셀이다. (JSSC 1996 Nov) 차동기 타입이므로 공통 모드 잡음에 대하여 single-ended type 에 비하여 우수한 특성을 나타낸다. 전체 딜레이 선은 총 12개로 구성된다. 대

칭 구조는 pmos 부하가 비선형 I-V 특성을 갖는데 반하여 선형인 전류특성을 나타내어 PVT 변화에 대하여 큰변화가없고 넓은 주파수 특성을 갖는다. <그림 7(b)>는 대칭 구조에 대한 I-V 특성이다.

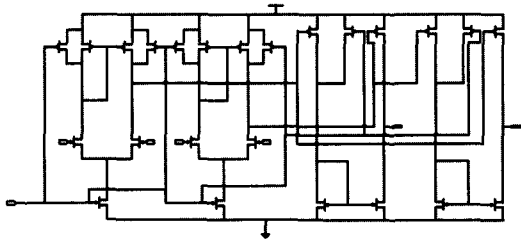


그림 8. 증폭기 개요
Fig. 8. Amplifier schematic.

<그림 8>은 VCDL의 출력인 small-swing 차동 출력을 풀스윙 CMOS 스윙으로 변환한다. 출력 클럭의 정확한 180도의 위상차이를 갖기 위하여 동일한 출력 단계를 갖는다.

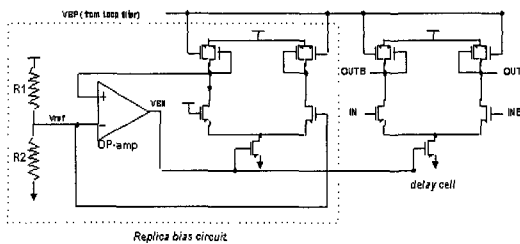


그림 9(a). 레프리카 바이어스 회로 개요
Fig. 9(a). Delay cell, replica bias circuit schematic.

<그림 9(a)>는 제안된 DLL에서 사용하는 딜레이 셀과 바이어스 계획을 보여준다. 전원 공급 감도를 감소하기 위해, VCDL은 <그림 9(a)>^[9]에서 보여준 바와 같이 대칭적인 로드를 가진 차동 딜레이 셀의 직렬로 구현된다. VBP는 루프 필터로부터의 제어 전압이고 VBN은 레프리카 바이어스 회로(<그림 9(a)>에서의 접선영역)에 의해 발생된다. 레프리카 바이어스 회로는 더 넓은 동작범위^[10]와 더 좋은 지터 성능을 제공하는 VBP와 독립적으로 일정한 스윙을 만든다.

외부 잡음으로부터 아날로그 바이어스를 보호하기 위해 <그림 9(b)>에서 보여준 바와 같이 VBP와 VBN은 내부와 내부 층과 함께 물리적으로 둘러싸여 있다. 이 보호기술은 지터성능을 개선시킨다. <그림 3>에서 DCLK와 DCLKB는 VCDL의 작은 스윙 출력부터 증폭

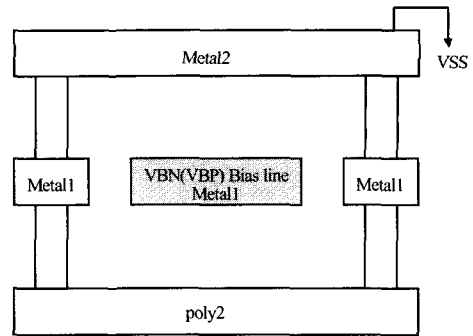


그림 9(b). 제안된 DLL에 바이어스 라인의 단면도
Fig. 9(b). Cross-sectional view of bias line in the proposed DLL.

기에 의한 풀 스윙 출력까지 변환되고, 각각의 부재화 루프를 말하며, 또한 레프리카 딜레이에 의해 LCLK와 LCLKB로 또한 변화된다. LCLK와 LCLKB는 위상검출기의 입력이 되며, LCLK는 <그림 10(a)>에서 보인바와 같이 루프 선택기의 입력이 된다.

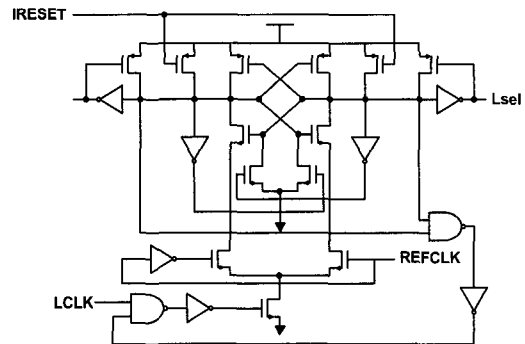


그림 10(a). 루프 선택기 개요
Fig. 10(a). Loop selector Schematic.

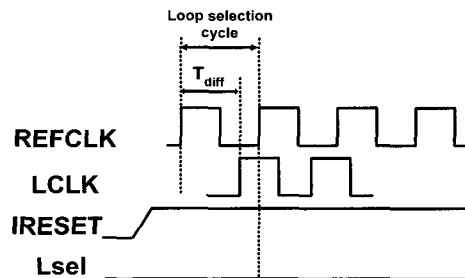


그림 10(b). $(1/2)T_{REF} < T_{diff} < T_{Rof}$ 일때 루프 선택
Fig. 10(b). $(1/2)T_{REF} < T_{diff} < T_{Rof}$ of the loop selector.

만약 LCLK와 REFCLK사이의 시간차가 <그림 10(b)>에서와 같이 $(1/2)T_{REF} < T_{diff} < T_{REF}$ 이라면,

루프선택기의 출력인 Lsel은 IRESET에 의해 초기화된 로우상태가 보존된다. 로우 상태에서의 Lsel은 PD1 (loop1의 위상검출기)을 동작시키고 PD2(loop2의 위상 검출기)를 disable 시킨다. 게다가, 이상태는 맥스가 FCLK(DLL의 출력클럭)으로서 DCLK를 선택한다. 단지 PD1이 동작되면 LCLK의 위상이 REFCLK의 위상과 비교된다.

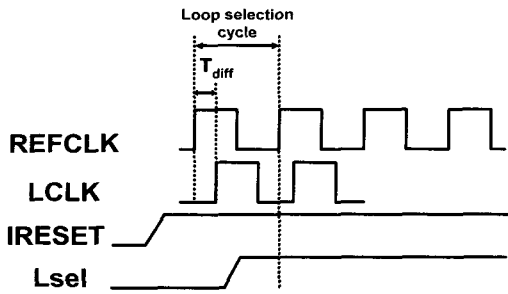


그림 10(c). $0 < T_{diff} < (1/2)T_{REF}$ 일때 루프 선택
Fig. 10(c). $0 < T_{diff} < (1/2)T_{REF}$ of the loop selector.

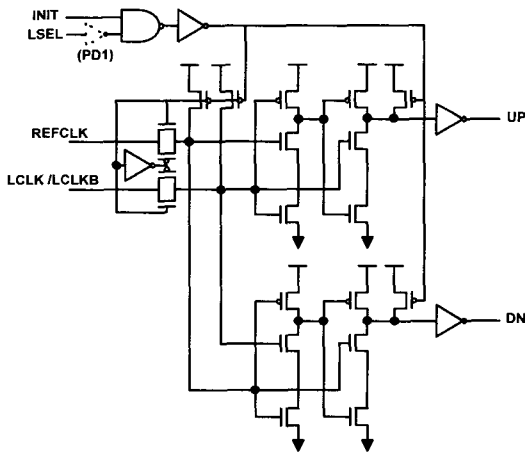


그림 11(a). 위상 검출기 개요
Fig. 11(a). Schematic of the phase detector.

<그림 11(a)>에서 보인바와 같이 선택된 PD1은 <그림 11(b)>에서 보인바와 같이 REFCLK와 LCLK 사이에 위상차에 매칭되는 펄스폭을 가진 UP-DN신호를 발생시킨다.

이 PD는 빠른 동작과 동적인 로직의 정밀성 때문에 작은 위상-오프셋을 갖는다. 또한, 이것은 펄스의 떨림 문제가 없다. 왜냐하면 잠금 상태에서는 어떤 펄스도 발생되지 않기 때문이다. 시뮬레이션 결과는 최악에서의 40psec 위상-오프셋을 보여준다. 그리고 PD1의 UP/

DN은 전하 펌프로 전달되고 그것은 루프 필터상에 VBP를 발생시킨다.

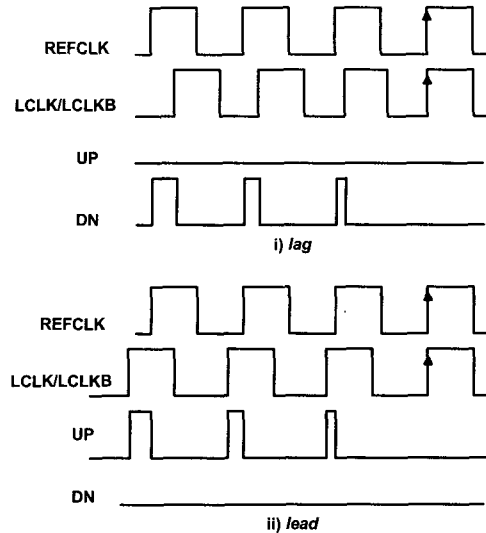


그림 11(b). 위상검출기 타이밍도
Fig. 11(b). Timing diagram of the phase detector.

루프 필터는 전하 펌프의 전류를 전압으로 변환시키는 역할을 한다. 캐패시터값은 지터 특성과 잠금 시간과의 trade-off 관계이며 보통 대역폭에 10배 이상 정도의 값으로 설계 한다. 캐패시터의 값이 크면 노이즈에 둔감해져 지터 특성이 상대적으로 우수하지만 잠금 시간이 오래 걸리게 되고 반대로 작은 캐패시터의 값에 대해서는 잠금 시간은 짧아지지만 지터 특성이 나빠지게 된다.

루프 필터의 선형 캐패시터는 <그림 12>^[11]에서 보

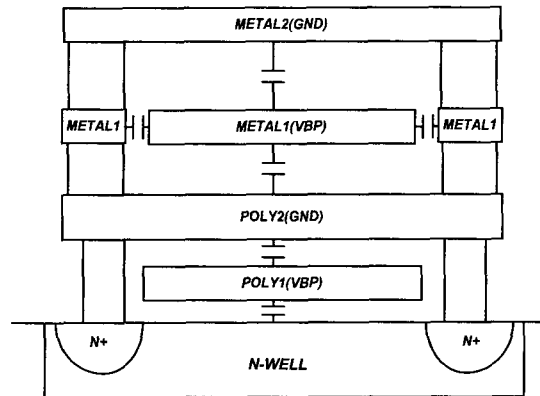


그림 12. 루프 필터에 선형 캐패시터
Fig. 12. Linear capacitor in the loop filter.

여준 바와 같이 substrate 노이즈를 최소화 하는 동안에 비록 직선모양이 손상될 수 있어도 작은 면적상에 큰 캐패시턴스 값을 갖도록 설계되어진다. 만약 MOS 캐패시터가 사용되면, 큰 캐패시턴스는 작은 면적상에서 이루어질 수 있다. 레프리카 바이어스 제네레이터는 VBP에 따라 딜레이 셀의 전류 소스 트랜지스터를 제어하기 위해 VBN을 발생시킨다. 마침내, LCLK의 위상은 REFCLK의 위상과 동기화 된다. 다른 경우는 첫 번째 LCLK와 REFCLK 사이에 시간차가 <그림 6(c)>에서와 같이 $0 < T_{diff} < (1/2)T_{REF}$ 이면, Lsel은 IRESET에 의해 초기화된 로우 상태에서 하이 상태까지 변화된다. 이것은 PD2를 동작 시키고 PD1을 정지시킨다. 그리고 이것은 또한 먹스가 FCLK로서 DCLKB를 선택한다. 이전의 경우와 대조적으로 LCLKB의 위상과 REFCLK의 위상을 비교할 경우, 같은 회로 잠금을 통해서 LCLK가 REFCLK로 동기화 된다. DLL이 정지 되거나, 또는 전력이 다운 되는 경우를 제외하고, 두 루프중 하나가 선택되면 선택된 루프는 루프 선택 주기 후에 LCLK와 REFCLK 사이의 시간차에 의해 결코 변하지 않는다. 따라서 회로 잠금에서 오동작이 피하여진다. 이 결과, 제안된 이중 루프 동작은 초기 상태를 제거하고, 외부 클럭과 내부 클럭 사이에 $T_{diff} > (1/2)T_{REF}$, 그리고 이것은 VCDL의 딜레이를 전체적으로 이용하도록 한다. 잠금 범위는 또한 지터 특성을 떨어뜨리지 않고 더 낮은 주파수로 확장된다.

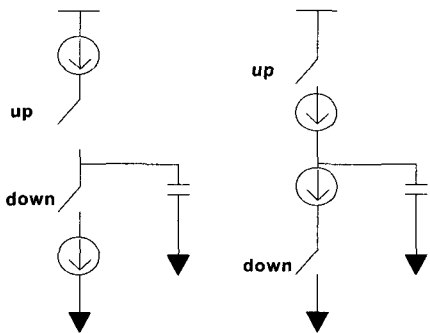


그림 13. 캐스코드 전하 펌프 타입 개요
Fig. 13. Cascode charge pump schematic.

전하 펌프는 위상 차이에 따라 전류를 흘리게 된다. 전하 펌프는 위상 선택기에 따라 다양하게 설계될 수 있는데 여기서 사용된 precharge 타입 위상 선택기의 경우 <그림 13>처럼 단순한 캐스코드형 전하 펌프를

사용했다. 이것은 캐스코드로 인하여 전원 노이즈가 덜 유입되어 상대적으로 좋은 지터 특성을 가져올 수 있고 up/down 전류가 동일하게 흘러 잠금 동작의 선형성을 증대시킬 수 있지만 제어 전압의 전압이 제한되는 단점이 있다. 또한 up/down 전류의 부당한 연결은 위상 오프셋의 증가나 위상 떨림을 유발시킨다. 루프 필터의 제어 전압에 따른 딜레이 셀의 바이어스 전압 Vbp 와 Vbn을 생성한다.

IV. 스큐 개선을 위한 레프리카 딜레이와 안티푸즈 사용

비록 디자인 공정상에서 온칩 딜레이나 오프칩 딜레이의 합과 함께 잘 부합되지만, 온칩상의 공정변화와 출력 부하, 클럭 스루 레이트 과 같은 오프칩의 상황에서 예상치 못한 변화는 피할 수 없는 스큐를 발생키는 결과를 낳는다. 스큐 제거를 위한 두 가지 방법이 있다 : (1) 레이저로 웨이퍼를 다듬는 방법^[12] 그리고 (2) 차세대 패키지 안티푸즈 회로를 이용한 조율^[13]. 그러나 웨이퍼 레벨 조율은 효과적이지 않은데, 왜냐하면, 웨이퍼-테스터기가 정확하지 않고 또한 오프칩 상태는 고려되지 않을 수 있기 때문이다. 비록 안티푸즈에 의한 차세대 패키지 조율이 좀 더 실질적이지만 이전의 차세대 패키지 방법은 몇 가지 문제점들이 있다. 이전의 차세대 패키지 방법은 안티푸즈를 균열시키기 위해 핀을 통해 외부의 높은 전압을 사용하였다. 안티푸즈를 균열시키기 위해 충분한 높은 전압을 제공하는 것은 핀에 연결된 다른 회로들에 물리적 손상을 입히는 것을 야기하며, 디바이스의 신뢰성을 떨어뜨릴 수 있다. 이러한 고전압 문제를 제거하기 위해 내부 부전압에 의해 안티푸즈를 프로그래밍 할 수 있는 방법이^[14]에 사용되었다.

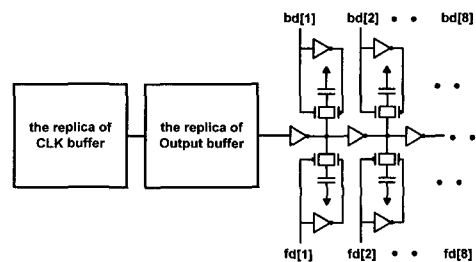


그림 14. 프로그래머블 레프리카 딜레이 개요
Fig. 14. Programmable replica delay schematic.

<그림 14>는 프로그래머블 레프리카 딜레이 회로를 보여준다. 전체 회로는 3가지 부분 즉, 클럭의 레프리카 딜레이, 출력버퍼의 레프리카 딜레이, 조정할 수 있는 딜레이회로를 가진다. 조정하는 딜레이 회로는 안티퓨즈회로와 연결되고 안티퓨즈는 <그림 15>에서 보여준 바와 같이 ONO(Oxide-Nitride-Oxide)절연체로 구성되어 있다.

스큐 개선의 순서는 다음과 같다. DLL이 테스트를 위해 RESET에 의해 동작 될 때, <그림 9>에 노드 fd^[1-8]과 bd^[1-8]은 모두 하이상태로 고정 되어진다. 왜냐하면, 초기 프로그램 전압은 0이고 RESET은 node A, B를 VDD 레벨로 초기화한다. 이러한 상태에서, 어떠한 주소 코드도 fd^[1-8]과 bd^[1-8]의 고정된 레벨에 영향을 끼칠 수 없다. 첫 번째로 외부 클럭과 데이터 제어 신호 사이의 스큐는 측정되어 진다.

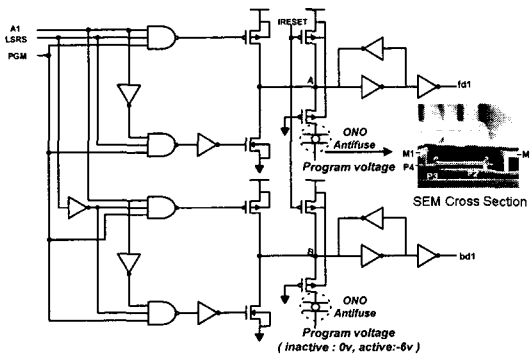


그림 15. 안티퓨즈 회로
Fig. 15. Antifuse circuit.

이 측정된 스큐는 딜레이 부하의 최적의 수에 따라 평가될 수 있다. PGM이 활성화 된 후에, 측정된 딜레이 부하 수를 나타내는 프로그램 코드가 주소 핀에 적용되고 스큐가 재측정 된다. 이 과정은 스큐를 최소화 하기 위해 LSRS에 의해 레프리카 딜레이 시간을 증가 또는 감소를 반복한다. 스큐가 거의 제거될 때, 안티퓨즈를 균열시키기 위해 삽입된 주소 코드 프로그램은 고정되고 온칩 부전압 발생기는 프로그램 전압(-3.5~-4.5v)를 발생시키기 위해 동작 된다. 레프리카 딜레이는 <그림 16>에서 보인 바와 같이 그 흐름을 통해 조정된다. 시뮬레이션 결과에 따라서 8개의 안티퓨즈를 사용하여 프로그램 가능한 조정 범위는 350psec부터 +350psec이고 최소 조정은 약 10psec이다.

V. 실험 결과

제안된 DLL의 실험 결과는 0.16um 공정으로 제조되었다.

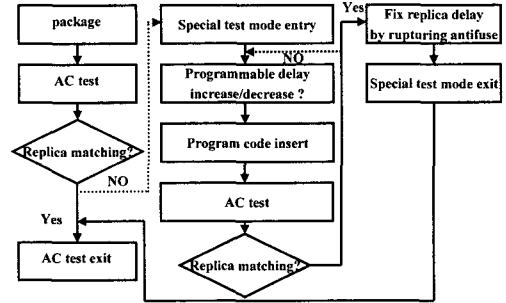


그림 16. 패키지 공정 후에 스큐 개선 흐름도
Fig. 16. Flow of skew calibration after package process.

<그림 17>은 제조된 칩의 축소 사진을 나타낸다. DLL의 활성영역은 0.27mm²를 차지하고 있다. 루프 필터는 전체 면적의 거의 50%를 차지하고 있다. 제안된 DLL의 고주파 측정을 위하여, COB(Chip-On- Board) 파라스틱과 측정기의 50 옴 임피던스를 고려하여 제조되었다. 제안된 DLL은 2.3V 전원에서 42MHz에서 400MHz까지 동작된다.

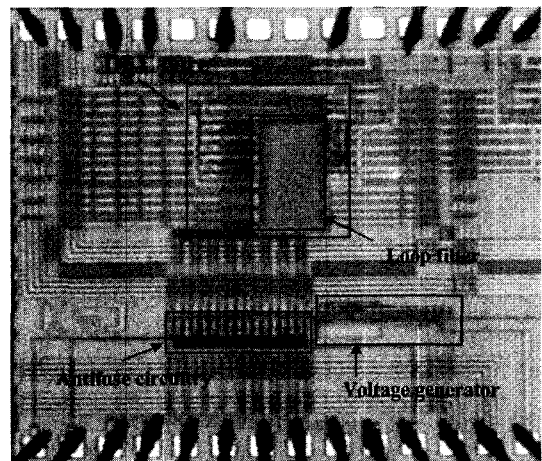


그림 17. 제안된 DLL의 마이크로사진
Fig. 17. Microphotograph of the proposed DLL.

<그림 18(a)>는 42MHz에서 동기된 클럭 파형들을 보여 주고 있으면, <그림 18(b)>는 400MHz에서 동기

된 입력파를 보여주고 있다. <그림 19(a)>는 400MHz에서 외부 전원 노이즈가 없는 상태에서의 DLL 지터 특성을 이때 peak-to-peak 지터는 43psec이고 rms 지터는 4.71psec으로 측정되었다.

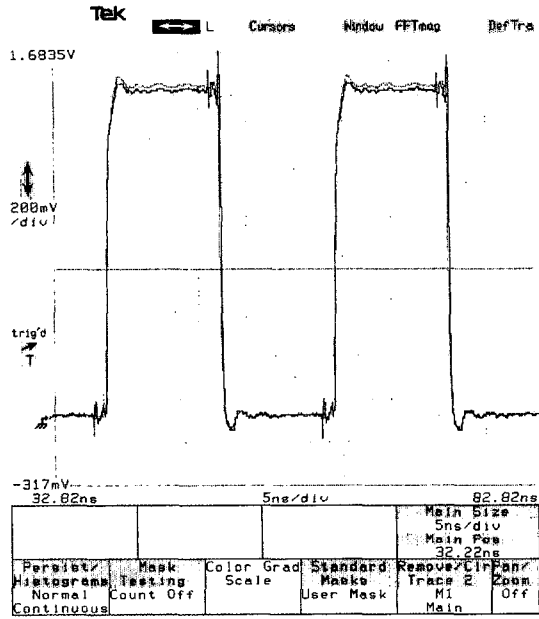


그림 18(a). 42MHz일때 동기화된 파형
Fig. 18(a). Synchronized waveforms at 42MHz.

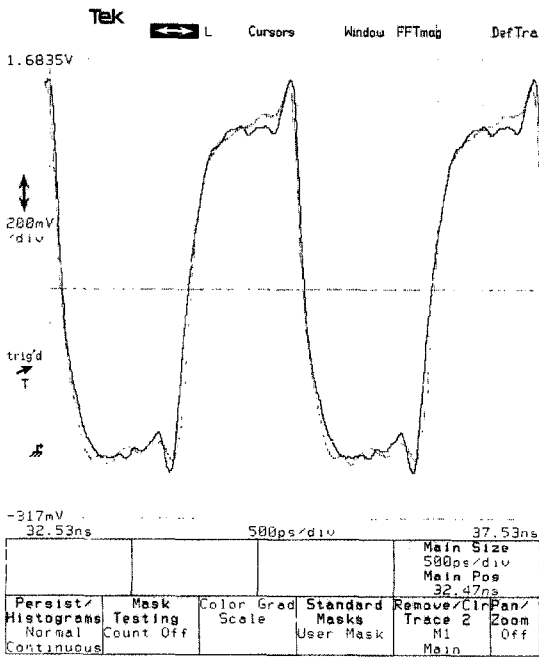


그림 18(b). 400MHz일때 동기화된 파형
Fig. 18(b). Synchronized waveforms at 400MHz.

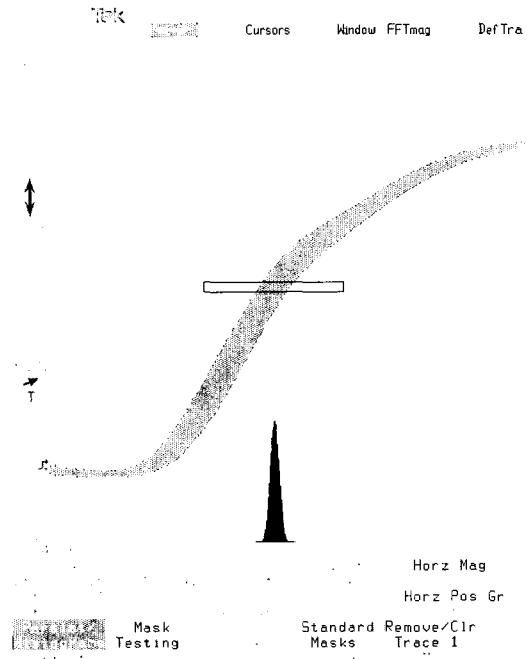


그림 19(a). 400MHz를 안정적으로 공급했을시 지터의 정확한 특성
Fig. 19(a). Measured jitter characteristics at 400 MHz in a quiet supply.

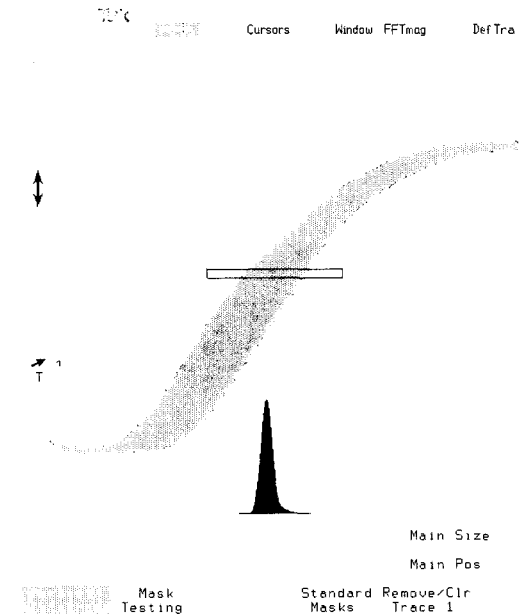


그림 19(b). 1MHz, 300mV정방향형 노이즈를 주고 400MHz를 공급했을시 지터의 정확한 특성
Fig. 19(b). Measured jitter characteristics at 400 MHz in with injected 1MHz, 300mV square wave noise.

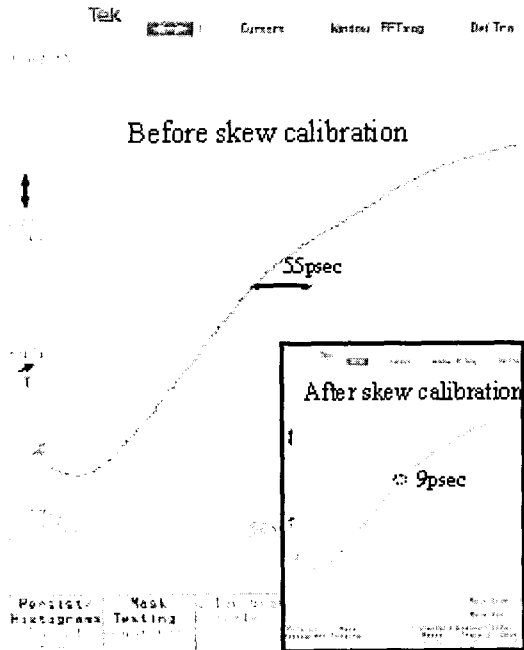


그림 20(a). 400MHz 일때 정확하게 측정한 스큐 개선 전과 스큐 개선 후의 파형
 Fig. 20(a). Measured skew at 400MHz before skew calibration and after skew calibration

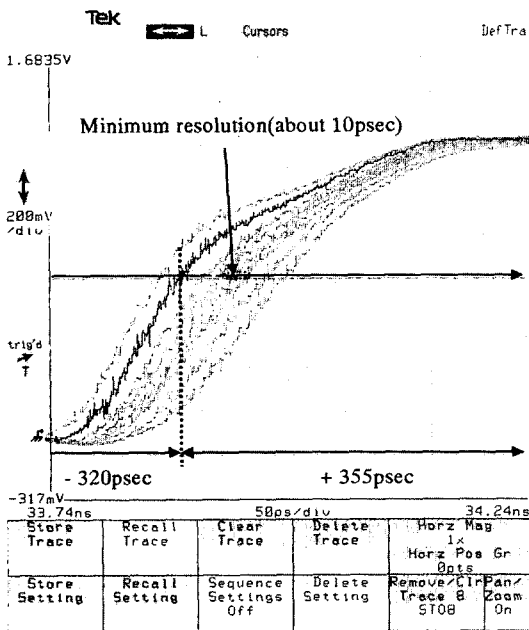


그림 20(b). Anti-fuse 프로그래밍을 통하여 스큐 수정의 해상도의 일부 범위
 Fig. 20(b). Range (full range not displayed for limitation of tester) and resolution of skew calibration.

표 1. 제안한 DLL의 정확하게 재 특성들을 요약한 것

Table 1. Performance Characteristics of the proposed DLL.

Process	0.16 μ m DRAM process
Area	0.27mm ² (active area)
Supply voltage	2.3v
Power dissipation	52mW@400MHz
Lock-range	42 - 400MHz
Jitter	43 psec peak-to-peak(4.77psec rms) jitter with quiet supply 80 psec peak-to-peak(7.46psec rms) jitter with \pm 300mV, 1MHz square wave noise
Supply sensitivity	0.07psec/mV(@400MHz)

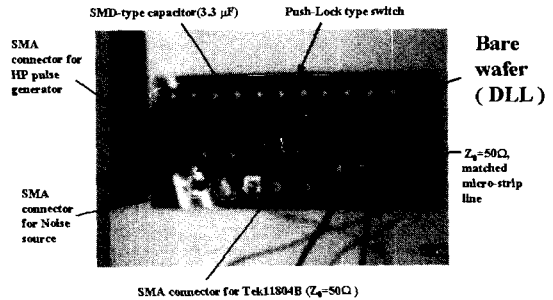


그림 21. 보드위에 DLL칩을 올린 회로
 Fig. 21. Chip on a board.

<그림 19(b)>는 300mV의 전원 전압 노이즈 하에서 지터를 측정된 결과이다. 그림에서 이러한 전원 전압 하에서 peak-to-peak 지터와 rms 지터는 400MHz에서 80psec와 7.46psec 가 측정되었다. <그림 20(a)>는 스큐 수정 전후의 지터 변화를 보여준다. 스큐 수정전 공정 변화로 스큐는 peak-to-peak로 55 psec으로 큰 값을 가지나, 수정후 재 측정된 스큐는 9 psec로 45psec의 개선을 보여 주고 있다.

이론적으로는 negative 위상 에러의 수정은 레프리카 딜레이 회로의 부하를 증가 시키고, positive 위상 에러의 수정은 레프리카 딜레이 회로의 부하를 감소 시켜 지터를 감소하여 조절한다. <그림 20(b)>는 안티퓨즈 프로그래밍을 통하여 스큐 수정의 해상도의 일부 범위이다. 시뮬레이션 결과 전체 교정 범위는 320psec에서 +355psec 사이로 최소 수정 가능 해상도는 10psec정도이다. 본 회로에서 온 칩이나 오프칩상에서 발생하는 이러한 범위내의 스큐는 안티퓨즈 회로를 사용하여 레프리카 딜레이를 프로그래밍하여 제거될 수 있음을 실

험적으로 증명하였다. 이때 제안된 DLL의 소비전력은 400MHz에서 52mW이다. <그림 21>은 실제 제작된 실제 측정에 사용된 보드를 보여 주고 있다.

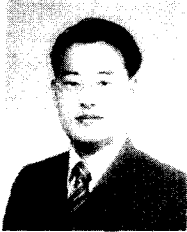
VII. 결 론

패키지후 스큐 수정방법이 가능한 듀얼 루프 구조의 DLL을 새로이 제안하였다. 이 듀얼 루프 구조는 DLL의 내부클럭과 외부클럭 사이에 초기 위상 정보를 이용 두 루프중 하나를 선택하여 광범위한 잠근 범위가 가능한 장점을 가진다. 또한 제안된 스큐 교정방법은 패키지 후, 안티퓨즈 회로와 내부 negative 전압원을 사용하여 실용적인 차세대 스큐 수정회로이다. 이 제안된 DLL은 0.16 μm 공정으로 제작되었으며, 42MHz와 400MHz사이의 넓은 주파수 범위에서 동작됨을 확인하였다. 고속동작 적용을 위해 400MHz에서의 측정 결과는 peak-to-peak 지터는 43psec 이고 실효치 지터는 4.71psec 로 측정되었다.

참 고 문 헌

- [1] A. Hatakeyama, et al., "A 256-Mb SDRAM using a register-controlled digital DLL," *IEEE J. Solid-State Circuits*, vol.32, pp. 1728~1734, Nov. 1997.
- [2] Y. Okajima, et al., "Digital delay locked loop and design technique for high-speed synchronous interface," *IEICE Trans. Electron.*, vol. E79-C, June 1996.
- [3] T. H. Lee, et al., "A 2.5 V CMOS delay-locked loop for an 18 Mbit, 500 Megabyte/s DRAM," *IEEE J. Solid-State Circuits*, vol.29, pp. 1491~1496, Dec. 1994.
- [4] S. Tanoi, et al., "A 250-622MHz deskew and jitter-suppressed clock buffer using two-loop architecture," *IEEE J. Solid-State Circuits*, vol. 31, pp. 487~493, Apr. 1996.
- [5] S. Sidiropoulos, et al., "A semi-digital dual delay-locked loop," *IEEE J. Solid-State Circuits*, vol.32, pp. 1683~1692, Nov. 1997.
- [6] Y. Okuda, et al., "A 66-400MHz, Adaptive-Lock-Mode DLL Circuit with Duty-Cycle Error Correction", *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 37~38, June 2001.
- [7] C. H. Park, et al., "A low-noise 900-MHz VCO in 0.6 μm CMOS," *IEEE J. Solid-State Circuits*, vol.34, pp. 586~591, May. 1999.
- [8] T. Yoshimura, et al., "A Delay-Locked Loop and 90-degree Phase Shifter for 800Mbps Double Data Rate Memories," *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 66~67, June 1998.
- [9] J. G. Maneatis, "Low-jitter and process-independent DLL and PLL based on self-biased techniques," *IEEE J. Solid-State Circuits*, vol.31, pp. 1728~1732, Nov. 1998.
- [10] Ian A. Young, et al., "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors." *IEEE J. Solid-State Circuits*, vol.27, pp. 1599~1607, Nov. 1992.
- [11] F. Herzel, et al., "A Study of Oscillator jitter Due to Supply and Substrate Noise" *IEEE TRAN. Circuit and System II*, vol.46, pp. 56~62, Jan. 1999.
- [12] T. Hamamoto, et al., "A Skew and jitter Suppress DLL Architecture for high frequency DDR SDRAMs" *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 76~77, June 2000.
- [13] S. Kuge, et al., "A 0.18 μm 256Mb DDR-SDRAM with Low-Cost Post-Mold-Tuning Method for DLL Replica" *ISSCC Dig. Tech. Papers*, pp. 402~403, Feb. 2000.
- [14] K. S. Min, et al., "A Post-Package Bit-Repair Scheme Using Static Latches with Bipolar-Voltage Programmable Antifuse Circuit for High-Density DRAMs" *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 67~68.
- [15] Moon G. et al, "An enhancement-mode mos voltage-controlled linear resistor with large dynamic range" *IEEE transactions on circuits and systems*, vol. 37, no. 10, pp. 1284~1288, october 1990.

저 자 소 개



崔 聖 奘(正會員)
2001년 : 한림대학교 정보통신공학부(학사). 2001년 9월~현재 : 한림대학교 전자공학과 석사과정



魏 在 慶(正會員)
1988년 2월 : 연세대학교 물리학과(학사). 1990년 2월 : 서울대학교 물리학과(석사). 1998년 8월 : 서울대학교 전자공학과(박사). 1990년 5월~2002년 : 2월하이닉스전자 메모리 연구소 근무. 2002년 3월~현재 : 한림 대학교 정보통신 공학부 조교수. <주관심분야 : 고속 SoC 분야중 high speed I/O interface, DLL/PLL, high speed module design 및 clock system, 고속 analog 칩 설계>



文 圭(正會員)
1982년 : 서울대학교 공과대학 제어계측공학과 졸업(공학학사). 1990년 : 조지워싱턴 대학교 전기 및 컴퓨터공학과 졸업(공학석사). 1993년 : 조지워싱턴 대학교 전기 및 컴퓨터공학과 졸업(공학박사). 1982

년 3월~1988년 5월 : 한국전자통신연구소 연구원연구분야 : 반도체 설계기술 개발 및 설계 자동화. 1983년 4월~1984년 7월 : 미국 실리콘 벨리내 VLSI Technology Inc. 교환연구원 연구분야 : Custom VLSI 기술 개발, ASIC 기술연구. 1990년 9월~1993년 5월 : 조지 워싱턴대학교 공과대학 연구원(Research Scholar)미 과학재단 (NSF) 연구과제 2건 수행. 1993년~1994년 : 미국 과학재단 반도체 과제 연구심사위원. 1996년 6월~1996년 8월 : 서호주대학(Western Australia Univ.) 방문교수. 1997년 3월~1999년 2월 : 미 오하이오 주립대학 교환교수n IEEE Trans. Circuit and Systems 논문 심사위원 IEEE ISCAS(국제회로 및 시스템 학술대회) 97,98 논문심사위원. 1997년 11월~1999년 1월 : Micrys Inc., Columbus, OH, USAGeneral Manager in ASIC Design. 1993년 9월~현재 : 한림대학교 전자공학부 조교수, 부교수