

# ARDCL을 이용한 3상 전압형 인버터의 손실에 관한 실험적 고찰

(The Experimental Consideration about Loss of Three-phase Voltage-fed Inverter using Auxiliary Resonant DC Link)

서기영\* · 문상필 · 김주용 · 이상현 · 박영조

(Ki - Young Suh · Sang - Pil Mun · Ju - Yong Kim · Sang - Hyun Lee · Young - Jo Park)

## 요 약

본 논문은 새로운 보조 공진 DC 링크 스너버 회로를 제안하였으며, 실제적인 스위칭 소자 모듈의 유도 손실특성을 근거로 하여 전력손실의 저감에 대해 다루었다. 보조 공진 DC 링크 스너버 회로를 이용하여 전압형 소프트 스위칭 3상 인버터의 회로정수값을 추종하였다. 그리고 실험과 시뮬레이션 결과에 의해서 3상 하드스위칭과 소프트 스위칭 인버터의 전력 손실 해석을 하였다.

## Abstract

This paper proposes a new auxiliary resonant DC link(ARDCL)snubber circuit and deals with its power loss on the basis of actually-measured conduction loss characteristic of switching device module. Voltage-fed soft switching three-phase inverter using proposed ARDCL snubber circuit is presented along with its performance evaluations. And, the power loss analysis of three-phase hard and soft switching inverter are carried out from the point of simulation and experimental results.

Key Words : Three-phase Voltage-fed Inverter, Auxiliary Resonant DC Link

## 1. 서 론

최근 영전압, 영전류에 의한 소프트 스위칭 전력 변환기술은 전력변환 장치의 고주파에 대해 전력용 반도체 스위칭 소자의 전력손실의 증대, 전자노이즈, 필터 리액터등 트랜스의 권선 절연파괴에 대한 해결책으로서 주목을 받고 있으며 반도체 전력변환장치의 소프트 스위칭 회로기술로서 크게 보조공진 DC

링크(ARDCL : Auxiliary Resonant DC Link)방식과 보조공진 AC링크(ARACL : Auxiliary Resonant AC Link)방식이 있다[1]-[4]. 이중에서 공진 스너버에 의한 ARDCL 방식은 다른 방식에 비해 부품수가 적고, 회로구성이 간단하여 소용량 무정전전원장치나 CVCF(Constant Voltage Constant Frequency)인버터와 계통 연계된 시스템, 그리고 고역률 액티브 컨버터, AC서보 드라이브와 DC 브러시리스 모터 구동형 VVVF(Variable Voltage Variable Frequency)인버터 등에 적용되어지고 있지만 보조회로의 공진 소프트방식이 하드 스위칭 방식에 비해 전류기간이 길어 인버터 변조율의 상한의 한계가 발생하며, 회로의 도통손실이 시스템 전체를 고효율화로

\* 주저자 : 경남대학교 전기전자공학부 교수  
Tel : 055-249-2630, Fax : 055-249-2630  
E-mail : skiyoung@kyungnam.ac.kr  
접수일자 : 2003년 3월25일  
1차심사 : 2003년 4월15일  
심사완료 : 2003년 5월30일

동작시키는데 커다란 영향을 미치는 문제점이 발생한다[5]-[7]. 이러한 문제점을 해결하기 위해서 본 논문에서는 새로운 ARDCL 스너버 회로를 이용한 3상 전압형 인버터 시스템을 제안하여 소프트 스위칭의 스위칭전류를 제어하고, 무손실 스너버 콘덴서를 이용하여 변조율의 상한 값을 조절하고자 한다. 그리고 ARDCL의 동작횟수를 줄여 회로의 도통손실을 저감시켜 시스템 전체의 고 효율화를 이루고자 한다. 또한 ARDCL 회로부의 기본 동작 시에 발생하는 전력손실을 분석하여 공간전압 벡터 변조 소프트 스위칭방식을 적용한 3상 전압형 인버터의 전력변환율의 특성을 나타내고자 한다. 이러한 모든 사항은 실험 결과와 시뮬레이션 결과에 의해서 그 타당성을 증명하고자 한다.

## 2. ARDCL을 이용한 전압형 인버터

### 2.1 회로구성 및 해석

그림 1은 ARDCL 스너버 회로를 이용한 3상 전압형 인버터의 전체 회로를 나타낸 것이다. 본 회로는 직류 전원전압  $V_s$ 와 ARDCL 스너버회로, 3상 인버터, 3상 저역통과 필터, 3상 저항부하로 구성되며, 전류원  $I_0$ 는 공간 전압 벡터 변조를 이용하여 샘플링 주기  $T_s$ 내에서 전류 등가모형을 나타낸 것이며,  $S_{INV}/D_{INV}$ 는 인버터의 브리지 상·하 암(Arm)의 스위치 각 상을 의미한다. 그리고 인버터 주 회로의 각 스위칭은 파워 디바이스를 병렬로 접속시켰으며,  $C_d$ 은 부분 공진이 일어나는 커패시터이므로  $S_{INV}/D_{INV}$ 의 출력 기생용량이 일부 포함되어져 있다. 일반적으로 스위칭 패턴의 펄스 폭은 전압벡터 보상법을 이용하여 Open-loop시에 있어서 성능이 높은 파형을 유도하여 제어 하지만 소프트 스위칭의 스위칭 전류기간이 기존의 하드 스위칭 방식보다 지연시간이 큰 경우에는 전압벡터의 보상이 되지 않는 단점이 발생하므로 본 논문에서는 인버터 회로에 마이크로 프로세서(Microprocessor 80196KC) 제어시스템을 사용하여 스위칭의 패턴방식을 공간벡터로 변조하는 방법으로 출력벡터를 산출하여 스위칭 패턴과 펄스 폭을 결정하였다.

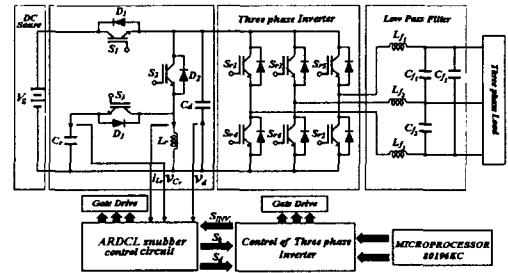


그림 1. 보조공진 DC링크회로를 이용한 3상 전압형 인버터  
Fig. 1. Three-phase voltage-fed inverter using ARDCL snubber circuit

그림 2는 ARDCL회로의 제어신호 시스템을 나타낸 것이며 그림 3은 보조 스위치의 게이트 신호와 각부의 동작부의 동작모드이다.

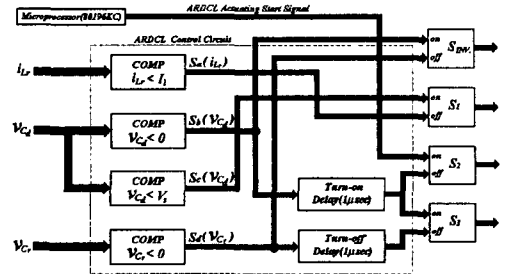


그림 2. 보조공진 직류 링크 스너버회로의 제어신호 시스템  
Fig. 2. Control signal system of ARDCL snubber circuit

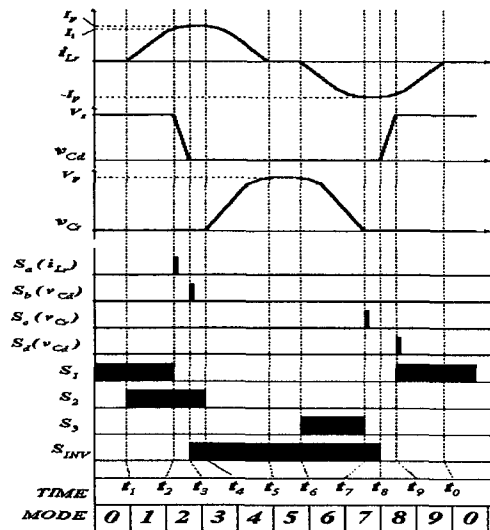


그림 3. 보조스위치의 게이트 펄스신호와 각부의 동작  
Fig. 3. Operation of each part and auxiliary switch gate pulse signal

2.2 시뮬레이션 결과 및 고찰

시뮬레이션에 사용된 반도체 스위치 소자인 IGBT와 다이오드 그리고 공진 리액터의 도통손실 및 제로전압, 스위치 턴-오프 일 때 발생하는 테일 전류(tail current)등의 손실은 실제 실험에서 발생하는 각 소자의 손실을 고려하여 설정하였으며, 그 외 소자는 이상적인 소자로 하여 MicroSim사의 PSpice 9.0에 의해서 시뮬레이션 하였다. 표 1은 시뮬레이션 과 실험에 사용된 회로의 정수를 나타낸 것이다.

표 1. 제안한 시스템의 회로 정수  
Table 1. Circuit parameters of proposed system

보조 공진 DC 링크 회로부

직류전압	$V_s$	200[V]
공진 콘덴서	$C_r, C_d$	120[nF], 75[nF]
공진 인덕터	$L_r$	10[ $\mu$ H]
공진 인덕터 내부저항	$R_r$	0.2[ $\Omega$ ]
스위칭 주파수	$f_s$	24[kHz]
IGBT정격	$V_{ce}$	600[V]
	$I_c$	75[A]

3상 전압영 인버터 부

캐리어신호주파수	$f_r$	8[kHz]
출력 주파수	$f_n$	60[Hz]
필터용 인덕터	$L_{f1}, L_{f2}, L_{f3}$	560[ $\mu$ H]
필터용 인덕터 내부저항	$R_f$	450[m $\Omega$ ]
필터용 콘덴서	$C_{f1}, C_{f2}, C_{f3}$	40[ $\mu$ F]
듀티율	$D$	25[%]
부하저항 (3상 $\Delta$ 결선)	$R_L$	8.3[ $\Omega$ ]

그림 4는 제안한 ARDCL 스너버 회로부를 기본 동작 시켰을 때의 공진 커패시터 전압의 파형과 공진 인버터 파형, 스위치의 전압, 전류의 파형을 나타내고 있다. 그림 4에서 알 수 있듯이 DC 모션전압이 제로전압 기간일 때 스위칭 패턴을 변화시키면 주 회로부의 영전압 스위칭(ZVS : Zero Voltage

Switching)을 실현된다. 그리고 보조 스위치는 ZVS/ZCS로 턴-오프 하는 것을 확인할 수 있다. 또한 전체회로에서 스너버 회로부의 출력저항을 변화시키면 전력의 용량을 변화시킬 수 있다. 그림 5은 3상 전압영 인버터를 하드 스위칭 방식과 소프트 스위칭 방식으로 동작할 때의 출력선간 전압을 시뮬레이션 파형을 나타낸 것이다. 그림 5에서 (a)는 하드 스위칭일 때이며, (b)는 소프트 스위칭일 때의 부하 선간 전압 파형이다.

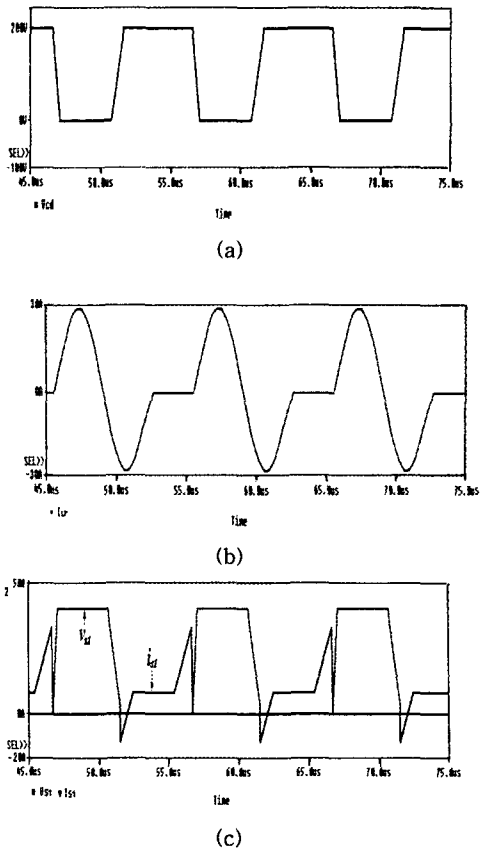


그림 4. 제안 보조공진 DC링크 회로의 시뮬레이션 파형  
(a) 직류 모션전압  
(b) 공진 인덕터 전류  
(c) 스위칭 파형(S1)

Fig.4. Simulation waveforms of the proposed ARDCL snubber circuit  
(a) DC busline voltage  
(b) Resonant inductor current  
(c) Switching waveform(S1)

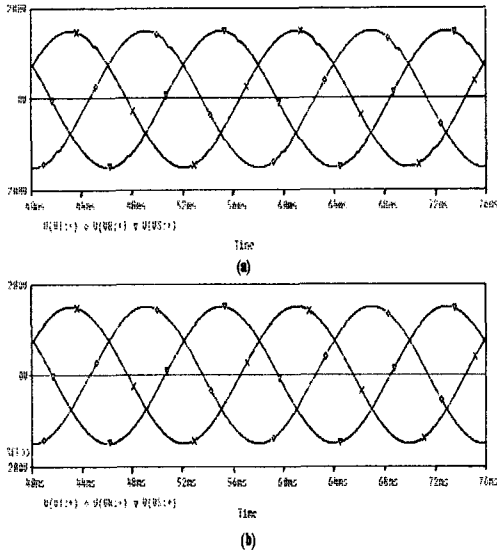


그림 5. 3상 전압형 인버터의 출력선간 전압의 시뮬레이션 파형

- (a) 하드 스위칭
- (b) 소프트 스위칭

Fig. 5. Simulation waveforms of output line voltage for three phase voltage-fed inverter

- (a) Hard switching
- (b) Soft switching

### 2.3 실험 결과 및 고찰

그림 6은 제안한 회로의 스위칭 동작에 대한 각부의 실험 파형이며, 그림 4의 시뮬레이션 파형과 거의 일치되는 것을 알 수 있다. 해석상의 편리함을 위하여 공진 초기 전류값  $I_r$ 는 입력전력 2.4[kW]일 때의 최적 값으로 설정하고, 전력손실 영역에서 공진 초기전류  $I_r$ 을 일정하게 하였을 때 공진 리액터의 내부 저항으로 소비시키는 전력은 거의 일정한 것을 알 수 있다. 일반적으로 전력손실이 상승하였을 때 공진 리액터의 내부저항에 의한 손실이 저하되는 원인은 몇 가지로 둘 수 있는데 먼저 공진 커패시터 Cd에서 부하측에 흐르는 전류가 증가되어, 공진 리액터 L<sub>r</sub>에 흐르는 전류가 감소되기 때문이다. 그리고 ARDCL회로방식의 정상상태에서 보조 스위치 S1이 ON될 때 발생하는 전력의 손실이 크므로 전력용량에 대해서 전체적인 전류값이 낮은 시스템으로 구성 되어진다.

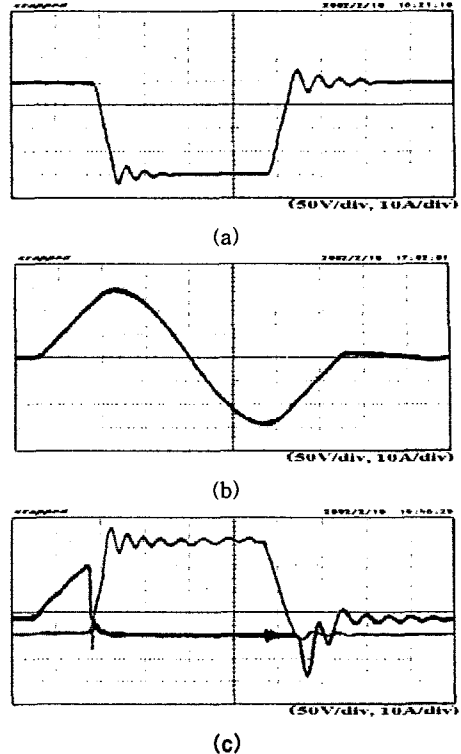


그림 6. 제안 보조공진 DC링크회로의 실험 파형

- (a) 직류 모션전압
- (b) 공진 인덕터 전류
- (c) 스위칭 파형(S1)

Fig. 6. Experimental waveforms of the proposed ARDCL snubber circuit

- (a) DC busline voltage
- (b) Resonant inductor current
- (c) Switching waveforms(S1)

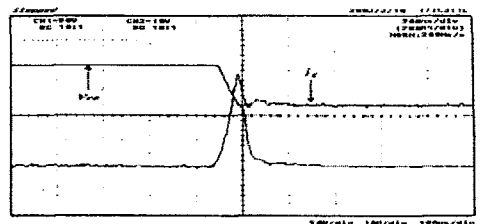
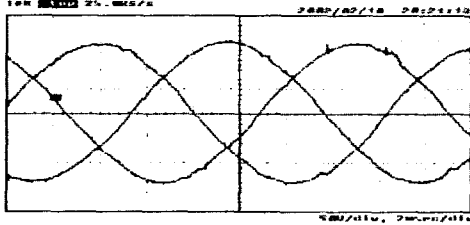


그림 7. 인버터 주스위치의 턴-온시 스위칭 파형  
Fig. 7. A main switch inverter of turn-on at switching waveform

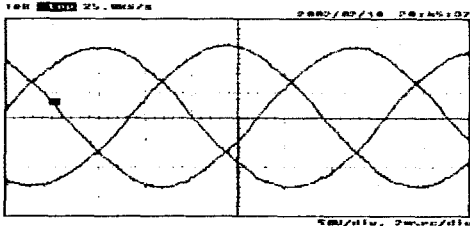
본 논문에서는 이러한 부분을 해결하고자 부분공진 회로를 삽입하여 부하 전류값에 대해서 초기전류를 일정하게 함으로서 공진 초기 전류값을 제어하였다. 그림 7은 스위치 턴-온 시의 스위치 양단 간의

ARDCL을 이용한 3상 전압형 인버터의 손실에 관한 실험적 고찰

전압, 전류의 실험 파형을 나타낸 것이다. 3상 전압형 인버터의 전력손실의 특성 분석은 시뮬레이션 결과와 실험에 의한 결과를 조합하여 해석하였으며, 스위칭 전류의 파형을 검출하기 위해서 PEARSON사에서 제작한 전류 플롭(모델-110)을 사용하였다.



(a)



(b)

그림 8. 3상 전압형 인버터의 출력선간 전압의 실험 파형

- (a) 하드 스위칭
- (b) 소프트 스위칭

Fig. 8. Experimental waveforms of output line voltage for three phase voltage-fed inverter

- (a) Hard switching
- (b) Soft switching

그림 8은 3상 전압형 PWM 인버터 동작 때의 출력 선간 전압의 실험 파형을 나타낸 것이다. 그림 8에서 (a)는 하드 스위칭일 때의 부하 선간 전압의 실험 파형이며, 그림(b)은 소프트 스위칭일 때의 부하 선간 전압의 실험 파형을 나타내고 있다. 그림 5와 그림 8에서 알 수 있듯이 시뮬레이션 결과와 실험 결과가 서로 거의 일치하므로 본 논문의 시뮬레이션 및 실험 시스템의 정당성을 확인하였다. 실제 실험 사용되어진 IGBT 모듈(600V-75A)의 도통 손실 특성의 값은 그림 9과 같으며 공진 리액터의 내부저항은 실측값을 사용하였다. 그림 10은 ARDCL 스너버 회로부의 입력전력과 효율의 특성을 나타내었다. 그림 10에 나타난 것처럼 전력효율은 전력용량에 대해

서 오른쪽으로 올라가는 특성을 가지며, 전력영역에서 제한한 회로는 고효율 98.2[%]로 동작되어진다고 할 수 있다.

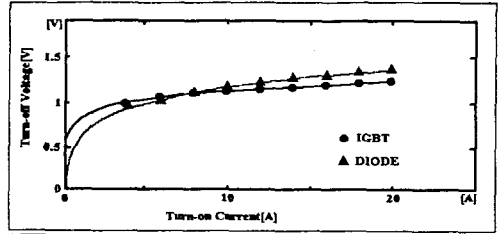


그림 9. IGBT와 다이오드의 도통특성

Fig. 9. Conduction characteristics of IGBT and diode

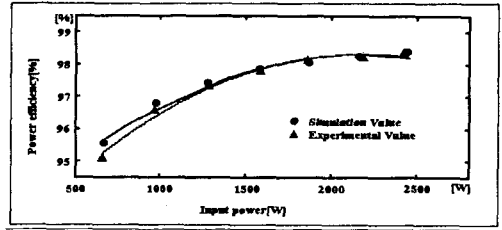


그림 10. 입력전력과 효율의 특성

Fig. 10. Characteristic of input power and efficiency

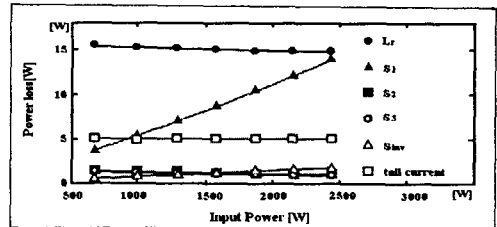


그림 11. 보조공진 DC링크 회로부의 전력 손실분석

Fig. 11. Power loss analysis of consumed power in ARDCL

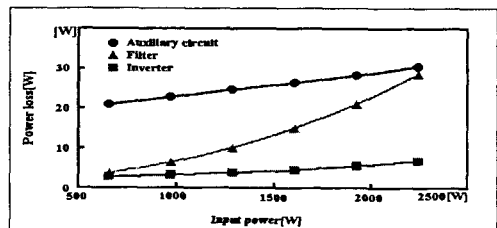


그림 12. 소프트 스위칭일 때의 전력손실 분석

Fig. 12. Power loss analysis of soft switching three phase inverter

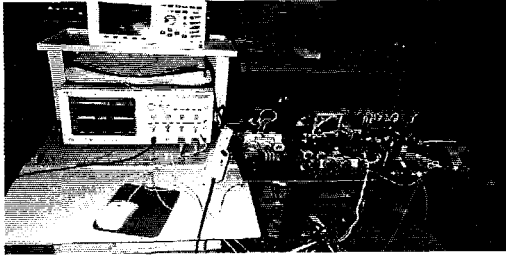


그림 13. 실험 장치  
Fig. 13. Experimental device

그림 11은 보조공진 DC링크 회로부의 IGBT모듈과 공진 리액터의 내부저항, 테일 전류(tail current)에 의한 발생하는 전력손실을 분석한 결과를 나타낸 것이다. 그림 12는 소프트 스위칭 동작 시에 ARDCL 회로부와 인버터부, 필터부의 도통손실을 나타낸 것이다. 그림 12에 의해서 일반적인 ARDCL 회로부의 손실이 전체 손실에 약 50[%]을 차지하는 것을 확인하였으며, 본 논문에서는 이러한 손실을 감소하기 위해서 DC 모선의 제로전압 홀드제어(hold control) 기능과 무손실 스너버 콘덴서의 동작기능을 조합하여 시스템을 구성함으로써 효율을 향상시켰다. 그림 13은 실제 제작한 실험장치를 나타내었다.

### 3. 결 론

본 논문에서는 일반적인 보조공진 DC 링크 스너버 회로와 새로운 방식을 적용한 시스템의 특성을 비교하였으며, 제안한 회로의 동작원리를 설명하였다. 그리고 제안한 ARDCL 회로부의 손실을 분석한 결과를 나타내었다. 또한, ARDCL 스너버 회로를 3상 전압형 인버터에 적용하여 출력전압의 공간벡터 기법에 의해서 전류의 기간을 보상한 3상 전압형 소프트 스위칭 인버터를 동작시켜 하드 스위칭방식과 소프트 스위칭 방식을 서로 비교한 결과 소프트 스위칭방식을 이용하는 경우가 출력전압의 파형 및 역률, 손실이 개선되는 것을 확인하였다. 그리고 ARDCL 회로부의 동작회수를 감소시켜 효율을 향상시켰다. 이러한 모든 사항은 시뮬레이션과 실험을 통하여 그 타당성을 확인하였으며, 본 논문에서 적용한 회로를 소용량 무정전압원장치(UPS), 고역률 액티브 컨버터, AC서보 드라이브, DC 브러시리스

모터 구동형 VVVF 인버터등에 이용한다면 유용할 것으로 사료된다.

#### - 감사의 글 -

본 연구는 2003학년도 경남대학교 학술논문게재연구비 지원으로 이루어졌습니다.

### References

- [1] D.M.Divan, "The Resonant DC Link Converter - A New Concept in Static Power Conversion", Conf. Rec. of IEEE Ind. Appl. Soc. Anun. Meeting, pp.648-650, 1986.
- [2] 佐藤, P. A. Dahono, 片岡, "共振 DC 링크인버터의損失算定法", 電學論D, 112-D, 10, pp.950-958.
- [3] 長井, 佐藤, 伊東, 森田, "高効率・低ノイズDCリンク共振三相インバータと轉流制御", 電學論 D, 120-D, VOL. 3, pp.417-422.
- [4] 黒川, 小西, 岩岡, 中岡, "三相 電壓形ソフスイツチングインバータの損失分析と高性能化の検討" SPC-99-102, 1999.
- [5] 岡土, "テータ可變連ドライブにおける應用例について", 電氣學會雜誌, Vol. 110, pp.653-655, 1987.
- [6] V.R. Stefanovic, "Currunt Development in AC Drives" IPEC-Tokyo'90, pp382-390, 1990.
- [7] 김희준, "스위칭 전원의 기본설계", 성안당, 2002.

#### ◇ 저자소개 ◇

##### 서기영 (徐基永)

1942년 4월 18일생. 1965년 한양대 전기공학과 졸업. 1980년 동 대학원 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(공학). 현 경남대 전기전자공학부 교수.

##### 문상필 (文相弼)

1975년 2월 9일생. 1997년 부경대 전기공학과 졸업. 1999년 경남대 대학원 전기공학과 졸업(석사). 2003년 동 대학원 전기공학과 졸업(공학).

##### 김주용 (金周容)

1977년 12월 1일생. 2002년 경남대 전기전자공학부 졸업. 현 경남대 대학원 전기공학과 재학(석사).

##### 이상현 (李相賢)

1972년 11월 3일생. 2002년 경남대 전기전자공학부 졸업. 현 경남대 대학원 전기공학과 재학(석사).

##### 박영조 (朴永祚)

1974년 12월 25일생. 2002년 경남대 전기전자공학부 졸업. 현 경남대 대학원 전기공학과 재학(석사).