

論文2003-40SD-7-2

NMOSFET으로 구성된 AC PDP 스캔 구동 집적회로의 동작 (Operation of NMOSFET-only Scan Driver IC for AC PDP)

金石一*, 鄭周榮*

(Seok-Il Kim and Ju Young Jeong)

요약

본 논문에서는 새로운 스캔 구동 집적 회로 최종단을 설계, 실험하였다. NMOSFET으로만 구성된 새로운 스캔 구동 회로는 일반적인 CMOS 구조의 스캔 구동 회로와 비교하여 불 때 소자가 차지하는 면적을 줄일 수 있고 비용을 절감할 수 있는 장점이 있다. 이 회로가 기존의 ADS방식에 응용되어 스캔 전극을 구동 할 수 있다는 것을 2" PDP 패널 구동 실험을 통해 확인하였다. 또한 적합한 회로 동작을 위하여 필요한 비선형 소자의 파라미터 최적화를 실시하였다.

Abstract

We designed and tested a new scan driver output stage. Compared to conventional CMOS structured scan driver IC's, the new NMOSFET-only scan driver circuit can reduce the chip area and therefore, the chip cost considerably. We confirmed the circuit operation with open drain power NMOSFET IC's by driving 2" PDP test panel. We defined critical device parameters and their optimization methods for the best circuit performance.

Keyword : Driver IC, PDP, MOSFET, Scan driver, Circuits

I. 서론

교류형 플라즈마 디스플레이(AC PDP)는 대형화, 평면 박형화가 가장 용이한 대화면 디스플레이로서 가장 주목을 받고 있다. 그러나 200V 이상의 높은 구동 전압과 액정 디스플레이(LCD), 유기 EL 과 같은 타 디스플레이에 비해 회로 제조 단가가 비교적 고가인 단점이 있다.

PDP 구동 회로는 스캔/서스테인 구동부(scan/sustain driver), 서스테인 구동부(sustain driver), 데이터 구동부(data driver)의 세 부분으로 나눌 수 있다[그림 1]. 첫 번째 스캔/서스테인 구동부는 <그림 1>의 수평 전극(Y전극)을 순차적으로 스캐닝 구동하며 서스테인 구동부와 함께 유지방전을 하는 부분이고, 두 번째 데이터 구동부는 <그림 1>의 수직 전극(Data전극)에 데이터를 인가하는 회로이다. 스캔 구동부와 데이터 구동부는 보통 고전압 집적회로(HVIC:High Voltage Integrated Circuit)로 구성되어진다. 마지막으로 서스테인 구동부는 공통 전극을 구동하는 회로로서 많은 전극들이 연결되어 있기 때문에 부하 정전 용량이 수십 나노

* 正會員, 水原大學校 電子工學科

(Dept. of Electronics Eng., Suwon Univ.)

※ 본 연구는 정보 통신부 IMT-2000 출연금 기술 개발 사업에 의하여 연구되었음.

接受日字:2003年1月22日, 수정완료일:2003年6月13日

패러드(nF)까지 증가한다. 이러한 부하 정전 용량을 구동하는 큰 전류를 발생시키기 위해 큰 전류 구동 용량과 높은 항복 전압을 갖는 비선형 소자가 필요하다. 고전압 집적회로는 높은 전압이 사용되는 PDP를 구동하기 위해 출력단 소자로서 DMOSFET(Double diffused MOSFET)이나 더 성능이 향상된 LD MOSFET(Lateral Double diffused MOSFET)과 같은 소자들을 사용한다. 스캔 드라이버의 항복전압은 120V이상, 데이터 드라이버의 항복전압은 50V 이상이 일반적이다. 종래의 구동 IC에서는 채널마다 하나의 고전압 PMOSFET과 하나의 고전압 NMOSFET이 CMOS구조로 연결되고 그림 2, n채널과 p채널의 전류 구동 능력을 같게 하기 위하여 PMOSFET의 크기는 NMOSFET 보다 약 2배 이상 더 크게 설계 하는 것이 일반적이다. 고전압 집적회로 면적은 DMOSFET 또는 LD MOSFET의 출력 회로 구조 때문에 상당부분이 소모되어 버린다. 또한 PMOSFET을 구동하기 위해서는 <그림 2>와 같이 게이트에 인가되는 전압을 고전압 수준으로 상승시켜 주는 레벨 쉬프터가 필요하다. 이러한 소자들이 차지하는 면적을 줄이기 위해 [1]에서는 NMOSFET으로만 구성된 새로운 구동 IC 출력단에 대해 언급하고 있다. 이 논문에서는 풀업 NMOSFET의 드레인에 문턱전압 손실을 보정하는 부트 스트랩핑 기술을 이용하고 있으며, 게이트-소스 사이의 항복을 예방하기 위하여 풀업 NMOSFET의 소스와 게이트 사이에 제너 다이오드를 추가하였다.

본 논문에서는 스캔 드라이버 회로를 개선하기 위해 NMOSFET으로만 구성된 최종 출력단을 소개하고 그 동작원리를 설명한다. 아울러 SPICE 시뮬레이션 결과 및 실험에 의한 측정결과와 함께 최적의 회로 동작을 할 수 있도록 소자 설계시 고려할 파라미터에 대해 소개할 것이다.

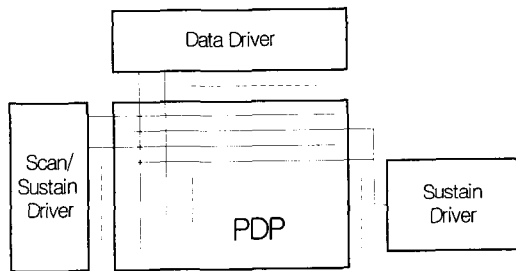


그림 1. PDP 시스템의 블록선도
Fig. 1. Block diagram of the PDP system.

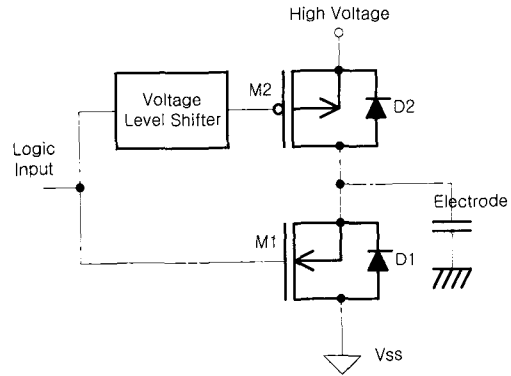


그림 2. CMOS 구조의 일반적인 스캔 구동 출력단
Fig. 2. Output stage of conventional CMOS structured scan driver.

II. 본 론

1. 스캔 구동부의 구조

<그림 3>은 본 논문에서 제안하는 새로운 스캔 전극 구동 회로의 출력단을 나타내었다^[2]. <그림 2>의 기존 회로에 사용된 하나의 PMOSFET과 그것의 기생 다이오드는 하나의 다이오드로 대체 되었다. 그럼으로써 PMOSFET이 차지하는 면적을 줄일 수 있을 뿐만 아니라 레벨 쉬프터도 필요 없게 된다. 이 회로에서 NMOSFET의 기능은 풀다운을 위한 것인 반면에 다이오드의 기능은 전류저지를 위한 것이다.

<그림 3>의 새로운 NMOSFET 스캔 구동 회로는 Fujitsu가 제안한 ADS 방식의 구동 파형^[3]을 구현 할 수 있다. <그림 4>의 Y전극들은 어드레스 구간 동안 선택이 될 때 까지 Vs의 전압을 유지하고 있게 되는데 그 때 데이터 전극과 스캔 전극 사이의 전위차는 방전

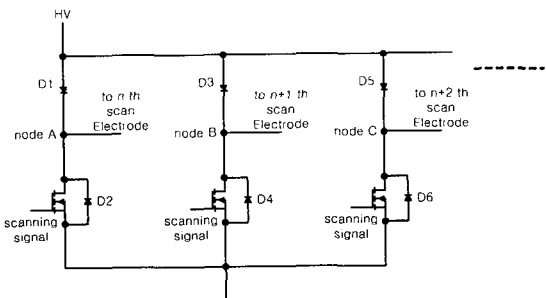


그림 3. 스캔 구동 집적회로의 최종단 설계
Fig. 3. Schematic of new scan driver IC's final stage.

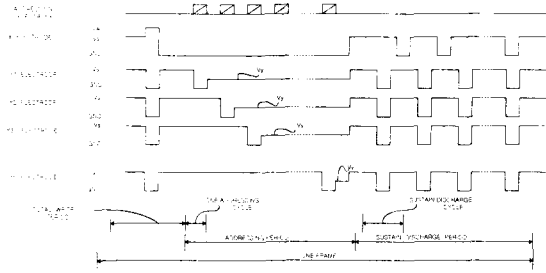


그림 4. 어드레스 구간동안 오방전을 방지하는 중간전압 V_y 를 갖는 PDP 구동파형^[2]. (Y_n 은 스캔 전극의 파형.)

Fig. 4. PDP driving waveforms with intermediate voltage V_y to prevent misfiring during the address period. Y_i 's are scan electrodes^[2].

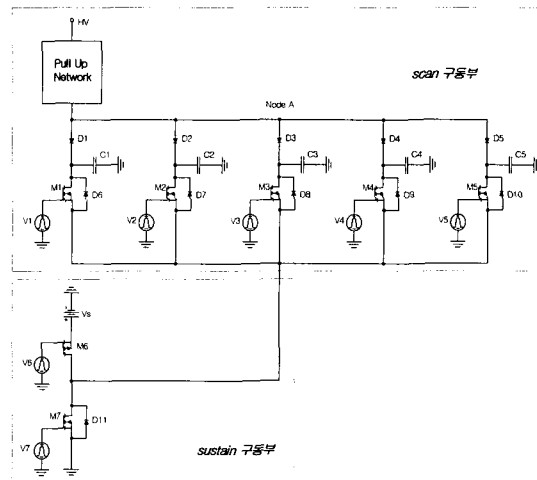
개시 전압 보다 작기 때문에 어드레스 방전이 일어나지 않는다. 그리고 그 후 선택이 되면 선택된 스캔 전극에서는 접지까지 전압 강하가 일어나고 스캔 전극과 어드레스 전극 간에는 방전이 발생된다. 다음 선택이 일어났을 때 이전 스캔 전극에는 인접한 스캔 전극들 사이의 오방전을 방지 할 수 있는 중간 전압 V_y 를 유지한다.

2. 스캔 구동회로의 동작

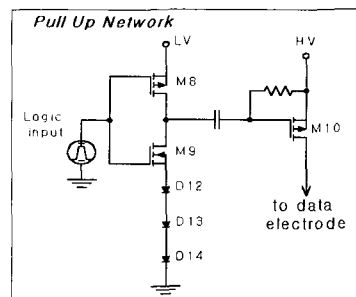
<그림 5(a)>는 실험 및 SPICE 시뮬레이션을 위하여 본 논문에서 제안한 스캔 구동 회로를 5개의 스캔 전극에 연결한 회로도이다. 스캔 전극의 등가 회로로서 시뮬레이션에서는 C1부터 C5까지 50pF의 캐패시터로 대체하고 스캔 구동부와 함께 서스테인 구동부를 연결하였다. 유지방전 구간 동안에는 유지방전 펄스가 기생 다이오드 D6~D10을 통하여 각 스캔 라인에 연결된 캐패시터(또는 전극)로 인가되어 풀업이 되고, NMOSFET M1~M5를 동시에 켜므로써 캐패시터의 전압이 방전되어 풀다운을 한다. pull up network는 어드레스 구간동안 스캔 구동 회로에 전류를 공급하는 회로로서 <그림 5(b)>에 상세히 보였다. 이 회로는 로직 레벨의 전압을 고전압으로 전환하는 레벨 쉬프터로서 NMOSFET M9의 소우스에 다이오드 D12, D13, D14를 사용하여 출력 전압이 2.1V에서 5V 사이를 스윙하도록 한다. 이 경우 고전압 구동 PMOSFET M12의 $V_{gs(max)}$ 는 -2.9V로 제한된다. 본 논문에서는 M10에 문턱 전압이 -2V인 소자를 사용하였으므로 과도한 드레인 전류가 흘러 풀다운이 되지 않는 현상을 방지 할 수 있다.

전체적인 회로의 동작은 <그림 6>의 시뮬레이션 결

과와 같다. 어드레스 구간이 시작되면($t=5\mu s$) 서스테인 구동부를 통하여 모든 스캔 전극을 V_s 전압(150V)까지 충전시키고, 첫 번째 스캐닝이 시작되는 10 μs 에서 NMOSFET M1과 M7이 켜짐 상태가 되어 첫 번째 스캔 전극(C1)은 방전된다. 이때 다이오드 D1은 순방향 바이어스가 되고 노드 A의 전압 또한 0V까지 떨어진다. 이것은 다이오드 D2, D3, D4, D5를 역방향 바이어스가 되도록 하므로 스캔 전극 C2, C3, C4, C5에는 V_s 전압(150V)을 유지하고 있도록 한다. 두 번째 스캐닝이 시작되는 $t=13\mu s$ 에서 M1이 꺼지고 M2가 켜지면 스캔 전극 C1에는 pull up network를 통해 충전 전류가 흐르고 <그림 5(a)>의 노드 A와 C1의 전압도 따라서 상승하지만 M2가 켜짐 상태이므로 스캔 전극 C2의 전압은 감소하게 된다[그림 6(b)].



(a) 스캔 및 서스테인 회로도
(a) Scan and Sustain circuit



(b) Pull Up Network
(b) Pull Up Network

그림 5. 새로운 스캔 구동 IC의 패널 구동 회로도
Fig. 5. Schematic of panel driving circuit for the new scan driver IC.

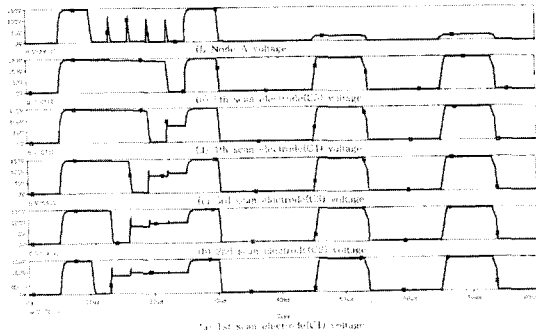


그림 6. 새로운 스캔 구동 회로의 SPICE 시뮬레이션 결과.
Fig. 6. SPICE simulation results of the new scan driver circuit.

C1의 전압이 상승하여 C2의 전압보다 커지게 되면 다이오드 D1은 역방향 바이어스가 되어 스캔 전극 C1에는 충전이 멈추고 스캐닝이 끝나는 $t=25\mu s$ 까지 중간 전압 V_y 를 유지하게 된다.

두 번째 스캐닝에서와 같이 세 번째 스캐닝을 위해 $t=16\mu s$ 일 때 M3은 켜짐 상태가 되고 M2는 꺼짐 상태가 되어 세 번째 스캔 전극 C3에 충전되어 있던 전압은 켜짐 상태인 M3을 통해 접지까지 방전되고 접지 전압이던 C2는 충전되어 C3의 전압보다 커져 다이오드 D2가 역방향 바이어스로 되어 두 번째 스캔 전극 C2의 충전은 멈추고 충전된 전압 V_y 를 스캐닝이 끝나는 $t=25\mu s$ 까지 유지하게 된다. 이러한 과정은 각 스캔 전극에 모두 해당되며 같은 현상이 반복하여 발생하게 된다.

스캐닝 구간 이후에 모든 NMOSFET은 꺼져 스캔 전극들은 V_s 의 전압으로 다시 충전되고($t=25\mu s$), 이후 유지방전 구간은 스캔 구동부의 NMOSFET에 의한 풀다운과 기생 다이오드에 의한 풀업을 하면서 유지방전 펄스를 전극에 인가한다.

3. 소자 파라미터 최적화

회로의 성능을 위해서는 신중한 소자 설계가 요구되는데 본 논문에서는 블로킹 다이오드와 NMOSFET의 소자 파라미터를 MEDICI^[4]와 SPICE 시뮬레이션을 통해 최적화 하였다.

<그림 5>의 전류 저지 다이오드 D1, D2, D3, D4, D5는 항복전압이 NMOSFET과 함께 안정적인 범위 내에 있어야 하고, 선택된 전극의 전압강하에 의해 선택되지 않은 전극까지 전압강하를 일으키지 않도록 역포화 전류 값은 $5\mu A$ 이하의 것을 선택한다. 또한 다이

오드의 큰 접합 정전용량 역시 강한 캐패시티브 커플링 때문에 선택되지 않은 전극의 전압을 감소시킨다. <그림 7>은 접합 캐패시턴스에 대한 선택되지 않은 전극의 전압을 나타낸 것으로 $0.1nF$ 이상에서 선택되지 않은 전극의 전압이 떨어지는 것을 보이고 있다.

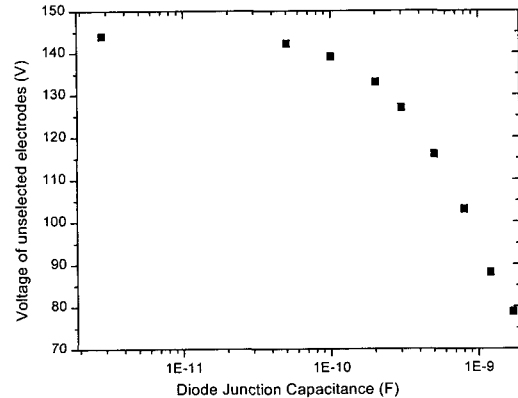


그림 7. 선택된 전극으로 인한 선택되지 않은 전극의 전압 강하
Fig. 7. Unselected electrode voltage drop caused by the selected electrode.

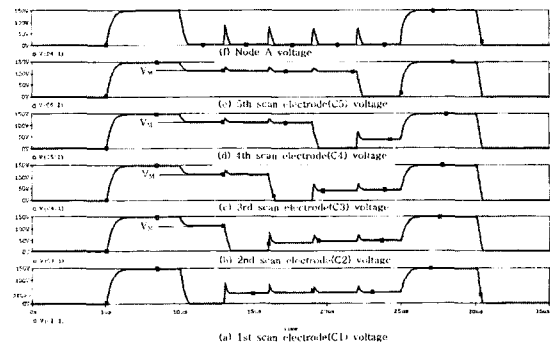


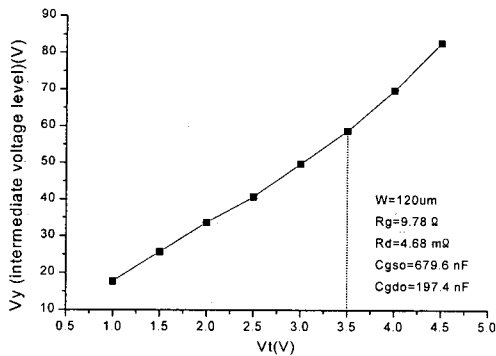
그림 8. 큰 접합 캐패시턴스를 갖는 다이오드를 이용한 시뮬레이션 스캔 파형
Fig. 8. Scan electrode waveforms simulated with large diode junction capacitance and 0.2 usec delays between scan pulses.

<그림 8>은 $0.5nF$ 의 접합 정전용량을 갖는 전류 저지 다이오드를 사용한 시뮬레이션 결과로 선택되기 이전의 전극의 전압이 선택된 전극의 전압강하에 의한 캐패시티브 커플링 때문에 낮은 전압(V_M)을 유지하다가 선택되는 것을 보여주고 있다. 선택되기 전에 의도적으로 모든 전극의 전압을 낮추어 오방전을 감소시키

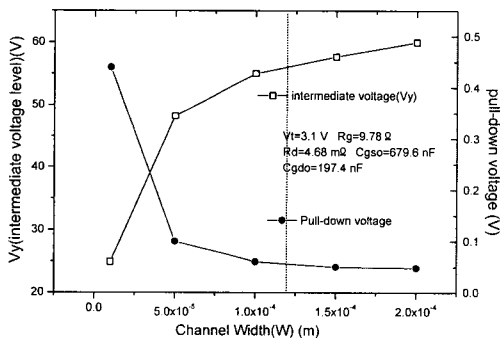
는 [3]의 또 다른 구동방법에는 <그림 8>과 같이 정전 용량이 큰 다이오드를 사용하는 것이 유리하다.

NMOSFET은 LDMOSFET처럼 120V이상의 높은 항복전압과 전류 구동 능력을 가져야 한다. 50pF의 정전 용량을 갖는 전극을 200V까지 충전하려면 전하량은 10nC이 되고 1us 이하의 하강 시간을 갖기 위해 NMOSFET은 10mA 이상의 전류를 구동 할 수 있어야 한다. 또한 오방전을 예방하고 각 스캔 전극에서의 강한 방전을 위해서는 중간전압(V_y) 수준을 높이고 풀다운 전압을 0V까지 떨어뜨릴 수 있도록 파라미터 최적화가 필요하다. 시뮬레이션을 통해 중간전압과 풀다운에 영향을 미치는 NMOSFET(M1~M5)의 파라미터를 최적화 시키고, V_t , W , R_g , R_d , C_{gso} 에 대한 중간전압(V_y) 및 풀다운 전압의 변화를 <그림 9>에 나타내었다.

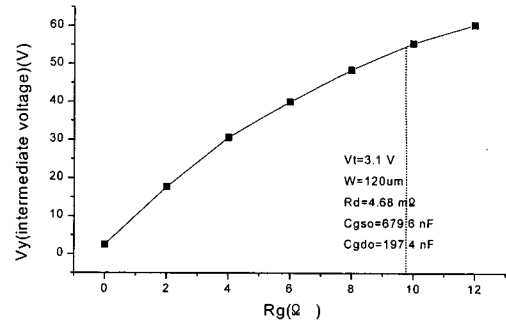
오방전 방지 역할을 하는 중간 전압의 수준을 높이기 위해서는 3V 이상의 문턱 전압(V_t)과 120um의 채널의 폭(W)을 선택하여 전류 용량을 크게 해 주어야 한다[그림 9(a), (b)]. 또한 <그림 9(c)>와 <그림 9(e)>에서 보인 R_g , C_{gso} 값으로 NMOSFET 게이트 시정



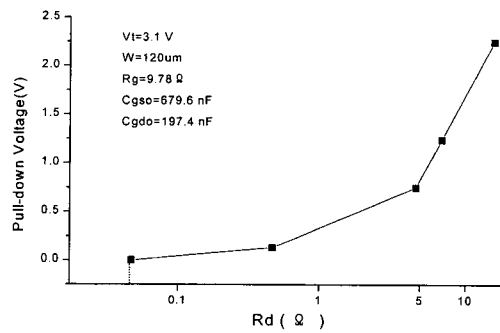
(a) 문턱 전압에 따른 중간 전압



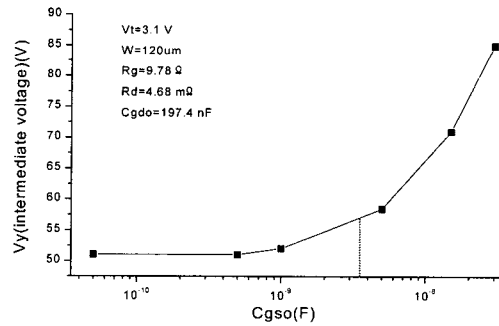
(b) 채널 폭에 따른 중간 전압과 pull-down 전압



(c) R_g 에 따른 중간전압



(d) R_d 에 따른 pull-down 전압



(e) C_{gso} 에 따른 중간 전압

그림 9. V_t , W , R_g , R_d , C_{gso} 변화(점선은 시뮬레이션에서 선택된 최적 파라미터.)

Fig. 9. V_t , W , R_g , R_d , C_{gso} change(Dot lines are a selected parameter for optimization at simulation.)

수를 크게 할 때 더 높은 수준의 중간전압을 얻을 수 있지만 이 파라미터들은 실제 소자에서 특성을 결정짓는 파라미터이므로 기존의 것을 선택하였다. 그리고 켜짐 상태의 NMOSFET의 드레인 기생 저항 R_d 를 수 m Ω 이하로 최소화 할 때 선택시 풀다운이 되도록 할 수 있다[그림 9(d)].

4. 구동 실험

새로운 스캔 구동 출력단 회로의 개념을 증명하기 위해 PDP, LCD등의 구동에 사용되는 32채널 NMOSFET인 Supertex의 HV5630과 1N4937의 전류저지 다이오드를 사용하여 <그림 5>의 구동 회로를 구성하고 2" PDP 테스트 패널을 연결하여 실험하였다. <그림 10>은 오실로 스코프로 측정된 5 스캔 라인에서의 출력 파형이다. 이 실험 결과는 어드레스 구간동안 25~30V 수준의 중간 전압과 약 10V의 높은 풀다운 전압을 나타낸다. 이는 NMOSFET의 파라미터가 최적화 되지 않았기 때문이다. HV5630과 같은 파라미터로 시뮬레이션 하여 <그림 11>에 보이고 <표 1>에서는 최적화된 파라미터와 실험 NMOSFET의 파라미터를 비교하였다. <그림 10>의 실험결과와 <그림 11>의 시뮬레이션 결과가 같음을 확인 할 수 있다.

<그림 12>는 PDP 테스트 패널을 이용하여 5 그룹의 스캔 라인을 구성하고 각 그룹을 하나의 스캔 라인

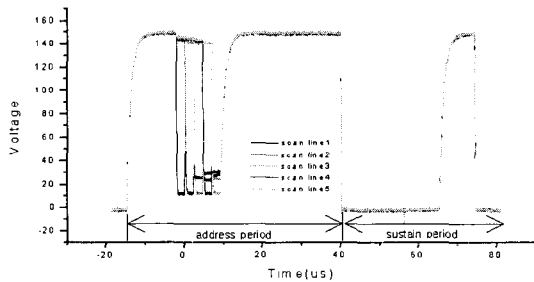


그림 10. 새로운 스캔 구동 출력단의 실험 측정 파형
Fig. 10. Test result waveform of the new scan driver output stage.

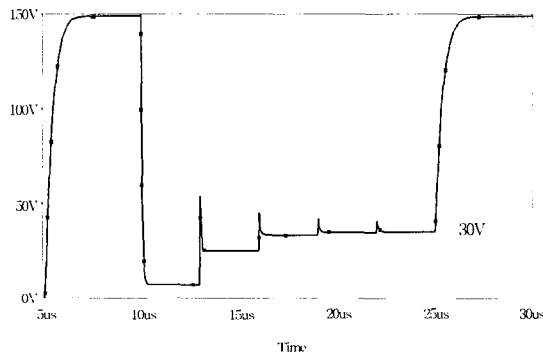


그림 11. 실험과 같은 소자 파라미터를 사용한 첫 번째 스캔 전극 시뮬레이션 결과
Fig. 11. 1st scan electrode SPICE simulation result with same parameter of test.

표 1. NMOS 파라미터
Table 1. NMOS parameter.

parameter (단위)	실험 NMOS	시뮬레이션 NMOS (Optimized parameter)
Vt (V)	1.5	3.5
W (um)	60	120
L (m)	2E-6	2E-6
Rg (Ω)	9.78	9.78
Rd (Ω)	96.5	468E-3
Rs (Ω)	0.205	0.1207
K(A/V ²)	5.5E-6	21.35E-6
Cgso (F/cm)	2.5E-9	2.5E-9

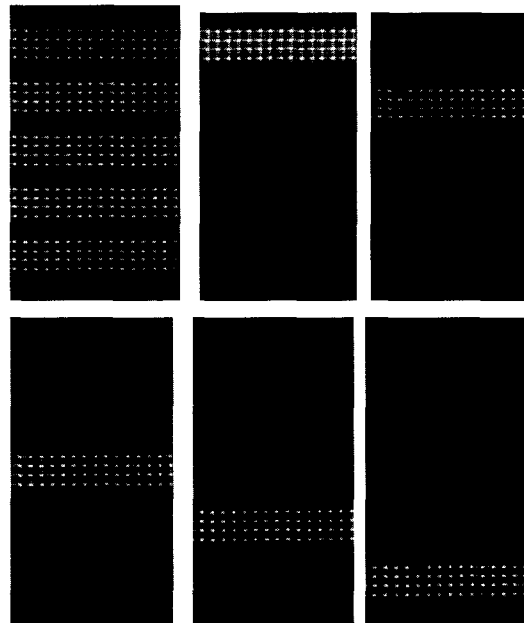


그림 12. 새로운 스캔 구동 회로에 의한 test panel 실험
Fig. 12. PDP test panel result of the new scan driver.

과 연결한 후 전체 스캔 라인과 각 라인 별로 패널을 켜 사진이다. 최적화되지 않은 <그림 10>의 출력 파형으로도 정상적인 스캔 구동을 할 수 있음을 보여주고 있다.

그러나 만일 앞서 언급한 최적화된 파라미터 값으로 설계된 NMOSFET을 사용하면 <그림 6>의 시뮬레이션 결과와 같은 파형으로 스캔 구동을 할 수 있을 것이다.

III. 결 론

기존의 CMOS 구조로 된 스캔 구동 회로에서 NMOSFET만으로 구성된 새로운 회로를 설계하였고 SPICE 전자 모사 및 PDP 테스트 패널 구동 실험으로 그 동작을 확인 하였다.

새로운 스캔 구동 회로는 power PMOSFET이 없는 구조이기 때문에 AC PDP 회로 또는 스캔 구동 IC를 설계 하는데 있어서 소자가 차지하는 면적과 공정이 현저하게 개선될 수 있고 생산 단가가 감소하는 장점이 있다.

참 고 문 헌

[1] H.-J. Shin, J.-G. Lee, J.-D. Kim, M.-R. Lee,

O.-K. Kwon, D.-K. Kim and H.-K. Ryu, "A Novel PDP Driver Using Bootstrapping High Voltage Output Circuit" IDW'01, pp. 821, Nagoya, Japan, Oct. 2001.

[2] J.Y. Jeong, Y.-H. Jung and S.-I. Kim, "A New NMOS Structured Scan Driver Circuit for ac PDP's" EURODISPLAY'2002, pp. 329, France, Oct. 2002.

[3] Y. Kanazawa, Kawasaki, "Method and Apparatus for Driving Display Panel", U.S. Patent No. 5,420,602. Dec. 1992.

[4] Medici, "Device Simulation Tool Manual", Avanti.

저 자 소 개

鄭 周 榮(正會員) 第36卷 第11號 參照



金 石 一(正會員)

2002년 2월 : 수원대학교 전자공학과 졸업, 2002년 3월~현재 : 수원대학교 전자공학과 석사 과정. <주 관심 분야 : PDP 구동>