

論文2003-40SD-7-10

전하 재활용과 전하 공유를 이용한 저전력 롬

(A Low Power ROM using Charge Recycling and Charge Sharing)

梁炳燾*, 金利燮*

(Byung-Do Yang and Lee-Sup Kim)

요약

메모리에서의 대부분의 전력은 프리디코더 라인, 워드 라인, 그리고 비트 라인 등과 같은 커패시턴스가 큰 라인들에서 소모된다. 이 라인들에서의 전력 소모를 줄이기 위하여 전하 재활용과 전하 공유를 사용한 세 가지 기법들이 제안되었다. 이 기법들은 전하 재활용 프리디코더(charge recycling predecoder, CRPD), 전하 재활용 워드 라인 디코더(charge recycling word line decoder, CRWD), 그리고 롬을 위한 전하 공유 비트 라인(charge sharing bit line, CSBL)이다. CRPD와 CRWD는 프리디코더 라인과 워드 라인의 전하를 재활용하여 소모 전력을 반으로 줄여주고, 전하 공유 기법을 사용하는 CSBL은 롬 비트 라인의 스윙 전압을 낮춤으로써 소모 전력을 크게 줄여준다. CRPD, CRWD, 그리고 CSBL의 소모 전력은 기존의 82%, 72%, 그리고 64%이다. 제안된 세 가지 기법들을 사용하는 전하 재활용 전하 공유 롬(charge recycling and charge sharing ROM, CRCS-ROM)이 0.35 μ m CMOS 공정으로 제작되었다. 제작된 8K \times 16비트 CRCS-ROM의 코어 크기는 0.51 mm²이고 3.3V 전원과 100MHz 동작 주파수에서 8.63mW를 소모하였다.

Abstract

In a memory, most power is dissipated in high capacitive lines such as predecoder lines, word lines, and bit lines. To reduce the power dissipation in these high capacitive lines, this paper proposes three techniques using charge recycling and charge sharing. One is the charge recycling predecoder (CRPD). The second one is the charge recycling word line decoder (CRWD). The last one is the charge sharing bit line (CSBL) for a ROM. The CRPD and the CRWD recycle the previously used charge in predecoder lines and word lines. Theoretically, the power consumption in predecoder lines and word lines are reduced to a half. The CSBL reduces the swing voltage in the ROM bit lines to very small voltage using a charge sharing technique. The CSBL can significantly reduce the power dissipation in ROM bit lines. The CRPD, the CRWD, and the CSBL consume 82%, 72%, and 64% of the power of previous ROM designs respectively. A charge recycling and charge sharing ROM (CRCS-ROM) with the CRPD, the CRWD, and the CSBL is implemented. A CRCS-ROM with 8K16bits was fabricated in a 0.35 μ m CMOS process. The CRCS-ROM consumes 8.63mW at 100MHz with 3.3V. The chip core area is 0.51 mm².

Keyword : VLSI design, low power design, ROM, charge recycling, charge sharing, bit line, word line, predecoder line

* 正會員, 韓國科學技術院 電氣및電子工學

(Division of Electrical Engineering, Dept. of Electrical Engineering & Computer Science, KAIST)

※ 본 연구는 한국과학재단과 미세정보센터의 지원을

받아 수행되었습니다. 칩 제작에 도움을 주신 한국 전자통신연구원에 감사드립니다.

接受日字:2002年7月15日, 수정완료일:2003年7月4日

I. 서론

휴대용 제품에 대한 요구가 커짐에 따라, 전력 소모는 VLSI 칩 설계에서 중요한 요소가 되고 있다. 특히 SRAM과 롬(ROM)과 같은 내부 메모리는 많은 전력을 소비한다. 메모리에서의 대부분의 전력 소모는 프리디코더 라인, 워드 라인, 그리고 비트 라인 등과 같이 커패시턴스가 큰 라인에서 발생한다. <그림 1>은 일반적인 롬 구조이다. 롬 코어의 수 많은 트랜지스터들에 의하여 워드 라인과 비트 라인은 큰 커패시턴스를 가지기 때문에, 롬 코어에서 많은 전력이 소모된다.

특히 한번에 많은 수의 라인이 사용되는 비트 라인의 전력 소모가 가장 크다. 또한 워드 라인에서도 큰 전력이 소모된다. 그 이유는 워드 라인에는 많은 수의 트랜지스터 게이트들이 연결되어 워드 라인의 커패시턴스가 커지기 때문이다. 메모리의 크기가 증가함에 따라, 프리디코더에서의 전력 소모도 크게 증가한다. 그 이유는 프리디코더 라인들이 <그림 1>과 같이 워드 라인 디코더의 많은 AND 게이트에 연결되어 프리디코더 라인의 커패시턴스가 크게 증가하기 때문이다.

본 논문에는 롬의 소모 전력을 줄이기 위하여 전하 재활용과 전하 공유를 이용한 세 가지 저전력 기법들이 제안되었다. 하나는 전하 재활용 프리디코더(charge recycling predecoder, CRPD)이고, 다른 하나는 전하 재활용 워드 라인 디코더(charge recycling word line decoder, CRWD)이다. 마지막 하나는 전하 공유 비트 라인(charge sharing bit line, CSBL)이다. CRPD와 CRWD는 프리디코더 라인과 워드 라인의 전하를 재활용하여 프리디코더 라인과 워드 라인에서의 소모 전력을 반으로 줄여주는 기법들이다. 전하 공유 기법을 사용하는 CSBL은 롬 비트 라인의 스윙 전압을 매우 작은 전압으로 낮춤으로써 소모 전력을 크게 줄여주는 기법이다. CRPD, CRWD, 그리고 CSBL을 사용한 전하 재활용 전하 공유 롬(charge recycling and charge sharing ROM, CRCS-ROM)은 기존 롬에 비하여 매우 적은 전력만을 소모한다.

논문의 구성은 다음과 같다. 2장에서는 CRCS-ROM의 세 가지 기법들을 제안할 것이다. 이 기법들은 전하 재활용 프리디코더(CRPD), 전하 재활용 워드 라인 디코더(CRWD), 그리고 롬을 위한 전하 공유 비트 라인(CSBL)이다. 3장에서는 기존의 롬들과의 성능 비교와

제작된 칩의 측정 결과를 보여줄 것이다. 마지막으로 4장에서 결론을 맺을 것이다.

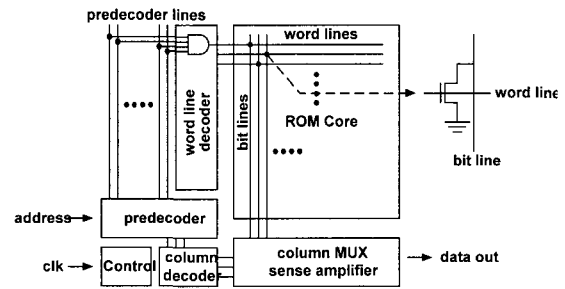


그림 1. 롬 구조
Fig. 1. ROM architecture.

II. 제안된 저전력 기법들

1. 전하 재활용 프리디코더

<그림 2>는 제안된 전하 재활용 프리디코더(charge recycling predecoder, CRPD)의 개념을 보여주고 있다. 프리디코더는 한 프리디코더 라인만을 V_{DD} 로 충전시키고 다른 프리디코더 라인들은 접지로 방전시킨다. <그림 2>에서는 많은 프리디코더 라인들 중 이전에 선택되었던 라인과 새롭게 선택되는 라인만을 보여주고 있다.

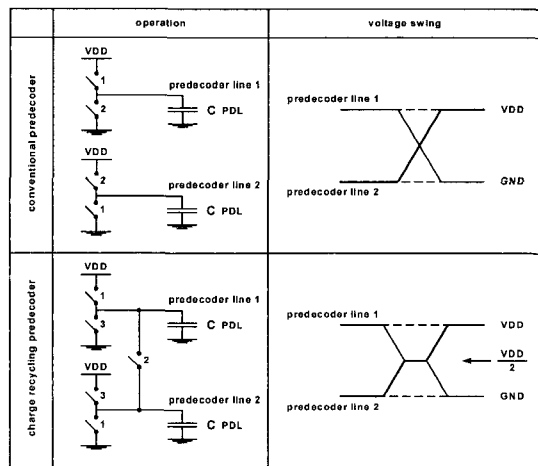


그림 2. 전하 재활용 프리디코더의 개념
Fig. 2. Concept of charge recycling predecoder.

기존 프리디코더의 프리디코더 라인에서의 전압 스윙은 접지 전압에서 V_{DD} 이다. 이전에 선택되었던 프리디코더 라인의 전압은 V_{DD} 에서 접지 전압으로 변하고

새롭게 선택되는 프리디코더 라인의 전압은 접지 전압에서 V_{DD} 로 변한다. 따라서, f 가 스위칭 주파수이고 $C_{predecoder\ line}$ 가 프리디코더 라인의 커패시턴스일 때, 기존 프리디코더에서의 소모 전력은 다음과 같다.

$$P_{conventional\ predecoder} = f \times C_{predecoder\ line} \times V_{DD}^2$$

CRPD의 프리디코더 라인에서의 전압 스윙 역시 접지 전압에서 V_{DD} 이다. 그러나 새롭게 선택된 프리디코

더 라인이 V_{DD} 로 충전되기 전에 프리디코더 라인들 사이의 전하 공유에 의하여 $V_{DD}/2$ 로 충전된다. 따라서 CRPD는 기존 프리디코더에서 소모되는 전력의 반만을 소모한다. CRPD의 소모 전력은 다음과 같다.

$$P_{CRPD} = 1/2 \times f \times C_{predecoder\ line} \times V_{DD}^2$$

다음은 CRPD의 전하 재활용 동작 설명이다. 프리디코더 라인1의 전압이 V_{DD} 에서 접지 전압으로 바뀌고 프리디코더 라인2가 접지 전압에서 V_{DD} 로 바뀐다고 가정하자. (1) 프리디코더 라인들은 V_{DD} 또는 접지에 연결되어 있다. (2) 프리디코더 라인1과 라인2는 V_{DD} 와 접지에서 분리되어 서로에게 연결된다. 두 라인의 커패시턴스가 같기 때문에 두 라인의 전압이 $V_{DD}/2$ 가 된다. (3) 프리디코더 라인들은 V_{DD} 와 접지에 다시 연결된다. 프리디코더 라인2가 V_{DD} 에 연결되면서 전력을 소모한다.

프리디코더 라인에는 많은 수의 AND 게이트들이 연결되어 있다. 따라서 프리디코더 라인의 커패시턴스가 크게 되어 많은 전력을 소모하게 된다. 프리디코더의 전력은 프리디코더 라인들과 컨트롤 회로에서 소모된다. CRPD는 프리디코더 라인에서 소모되는 전력만을 줄여 준다. 만약 컨트롤 회로에서 소모되는 전력이 프리디코더 라인에서 소모되는 전력에 비하여 상당히 작다면, 이론적으로 CRPD에서의 소모 전력을 50%까지 줄일 수 있다.

<그림 3(a)>는 기존의 프리디코더이다. 단 하나의 프리디코더 라인만이 V_{DD} 로 충전되고 다른 라인들은 접지로 방전된다. 주소가 변하면, 이전에 선택된 프리디코더 라인은 방전되고 새롭게 선택된 프리디코더 라인은 충전된다. 기존의 프리디코더는 전하를 재활용하지 않는다.

그러나 <그림 3(b)>와 같이 CRPD는 이전에 선택된 프리디코더 라인의 전하를 재활용 한다. 프리디코더 전하 공유 신호(predecoder charge sharing signal, PDCS)가 '1'이 된 이후에 CRPD의 주소가 변한다. 주소가 변하면, 이전에 선택된 프리디코더 라인과 새롭게 선택된 프리디코더 라인은 연결되어 그들의 전하를 공유한다. 전하 공유에 의하여 그 라인들의 전압은 $V_{DD}/2$ 이 된다. PDCS가 '0'이 되면, 프리디코더 라인들은 V_{DD} 또는 접지로 연결 된다. 이전에 선택된 라인은 $V_{DD}/2$ 로부터 접지로 방전되고 새롭게 선택된 라인은 $V_{DD}/2$ 로부터 V_{DD} 로 충전된다. 결과적으로, 새롭게 선택된 프리

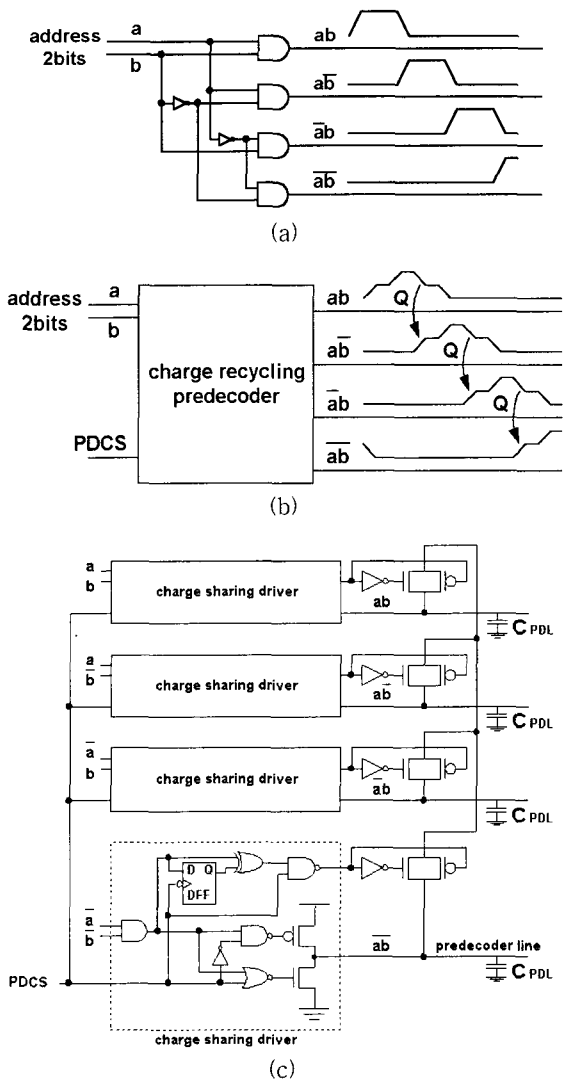


그림 3. (a) 기존의 프리디코더 (b) 전하 재활용 프리디코더의 동작 (c) 전하 재활용 프리디코더 (CRPD)

Fig. 3. (a) Conventional predecoder (b) Operation of charge recycling predecoder (c) Charge recycling predecoder (CRPD)

디코더 라인에서 소모되는 전력은 기존의 프리디코더 라인에서 소모되는 전력의 반이 된다.

<그림 3(c)>는 CRPD의 구조이다. 전하를 공유할 프리디코더 라인을 선택하기 위하여 각 프리디코더 라인에는 간단한 전하 공유 드라이버가 연결된다. 전하공유 드라이버는 D플립플롭, XOR 게이트, 그리고 프리디코더 라인 드라이버로 구성된 간단한 회로이다. D플립플롭은 프리디코더 라인의 이전 상태를 저장하고 XOR 게이트는 그 상태가 변하는지를 감지한다. 만약 상태가 변하면, 프리디코더 라인에 연결되어 있는 트랜스미션 게이트 (transmission gate)가 열려 상태가 변하는 다른 프리디코더 라인과 전하를 공유한다. <그림 12(a)>는 CRPD의 컨트롤 신호와 프리디코더 라인에서의 파형을 보여 준다.

2. 전하 재활용 워드 라인 디코더

<그림 4>는 전하 재활용 워드 라인 디코더 (charge recycling word line decoder, CRWD)의 개념을 보여주고 있다. 기존의 워드 라인 디코더는 많은 워드 라인들 중 한 워드 라인을 접지 전압에서 V_{DD} 로 충전시킨다. 메모리에서 데이터를 얻은 후, 충전된 워드 라인은 다시 방전된다. 따라서, f 가 스위칭 주파수이고 $C_{word\ line}$ 가 워드 라인 커패시턴스일 때, 기존의 워드 라인 디코더에서의 소모 전력은 다음과 같다.

$$P_{conventional\ word\ line\ decoder} = f \times C_{word\ line} \times V_{DD}^2$$

CRWD의 워드 라인도 기존의 워드라인 디코더에서

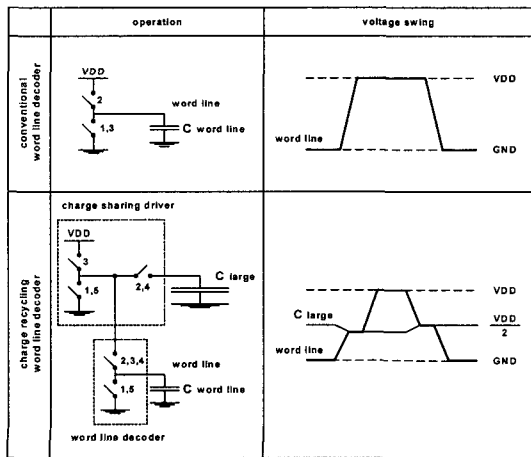


그림 4. 전하 재활용 워드 라인 디코더의 개념
Fig. 4. Concept of charge recycling word line decoder.

와 같이 V_{DD} 로 충전되었다가 방전된다. 그러나 CRWD는 선택된 워드라인을 바로 V_{DD} 에 연결하여 충전시키지 않고 이전에 워드 라인에서 사용된 전하를 다시 재활용한다. 한 개의 큰 커패시터를 사용하여 전하를 재활용 한다. 큰 커패시터의 전압은 $V_{DD}/2$ 이다. V_{DD} 로 충전될 워드 라인은 큰 커패시터와의 첫 전하 공유에 의하여 $V_{DD}/2$ 로 충전된다. 첫 전하 공유가 끝나면 워드 라인은 $V_{DD}/2$ 로부터 V_{DD} 로 충전된다. 이때 CRWD에서 소모되는 전력은 다음과 같이 기존 워드 라인에서 소모되는 전력의 반이다.

$$P_{CRWD} = 1/2 \times f \times C_{word\ line} \times (V_{DD}/2)^2$$

<그림 4>의 CRWD는 입력 주소에 의하여 선택된 전하 공유 드라이버와 워드 라인 디코더이다. CRWD의 동작 과정은 다음과 같다. (1) 큰 커패시터의 전압은 $V_{DD}/2$ 이고 워드 라인의 전압은 V_{DD} 이다. (2) 큰 커패시터와 선택된 워드 라인은 연결되어 큰 커패시터의 전하가 워드 라인으로 전달된다. 큰 커패시터의 커패시턴스가 워드 라인에 비하여 상당히 크기 때문에, 워드 라인의 전압 변화는 큰 커패시터의 전압과 거의 같은 반면 큰 커패시터의 전압 변화는 매우 작다. (3) 워드 라인은 큰 커패시터에서 분리된 후, V_{DD} 에 연결되어 워드 라인의 전압은 V_{DD} 가 된다. (4) 큰 커패시터와의 두 번째 전하 공유를 위하여 워드 라인은 큰 커패시터에 다시 연결된다. 워드라인의 전압은 V_{DD} 이고 큰 커패시터의 전압은 $V_{DD}/2$ 로 워드라인의 전압이 큰 커패시터의 전압 보다 높기 때문에 워드 라인의 전하가 큰 커패시터로 전달된다. 이때 첫 전하 공유에서 큰 커패시터로부터 받은 전하와 같은 양의 전하를 다시 큰 커패시터에 공급한다. (5) 워드 라인은 접지 전압으로 방전되고 큰 커패시터는 워드 라인에서 분리된다.

초기의 큰 커패시터의 전압은 알 수 없지만, 많은 수의 전하 재활용 동작 이후의 큰 커패시터의 전압은 $V_{DD}/2$ 에 근접하게 된다. 그 이유는 매 전하 재활용 동작에서 큰 커패시터가 잃어 버리고 다시 얻는 전하의 양은 같도록 큰 커패시터의 전압이 변하기 때문이다. 만약 큰 커패시터가 워드 라인에 비하여 커패시턴스가 상당히 크다고 가정하면, 큰 커패시터의 스윙 전압은 거의 0V가 된다. $C_{word\ line}$ 와 $V_{large\ capacitor}$ 가 워드 라인의 커패시턴스와 큰 커패시터의 전압일 때, 큰 커패시터가 잃어 버리고 다시 얻는 전하의 크기는 다음 식과 같다.

$$Q_{lost} = C_{word\ line} \times V_{large\ capacitor}$$

$$Q_{obtained} = C_{word\ line} \times (V_{DD} - V_{large\ capacitor})$$

첫 전하 공유에서 워드 라인은 접지 전압에서 $V_{large\ capacitor}$ 가 되고 두 번째 전하 공유에서 워드 라인은 V_{DD} 로부터 $V_{DD} - V_{large\ capacitor}$ 가 된다. 잃어 버린 전하와 다시 얻는 전하의 양이 정확하게 같아지는 상태가 된다면 큰 커패시터의 전압은 $V_{DD}/2$ 가 된다. 워드 라인에 비하여 큰 커패시터의 커패시턴스의 크기가 증가하면 재활용되는 전하의 합계 양도 증가 한다. 그러나 큰 커패시터의 크기는 칩 크기를 증가시킨다. 워드 라인 보다 커패시턴스가 10배 큰 커패시터는 워드 라인에서의 소모 전력을 45% 감소 시킬 수 있다.

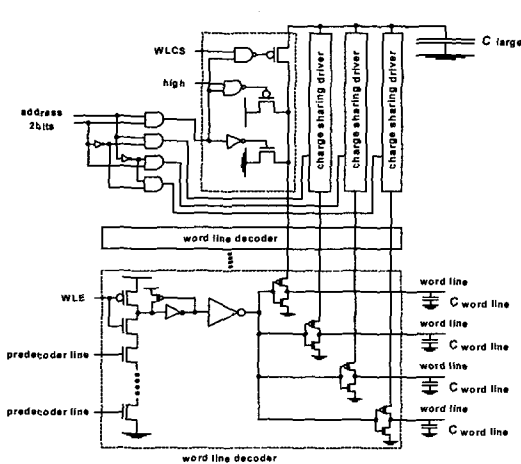


그림 5. 전하 재활용 워드 라인 디코더(CRWD)
Fig. 5. Charge recycling word line decoder(CRWD).

<그림 5>는 전하 재활용 워드 라인 디코더 (CRWD)의 구조이다. CRWD는 전하 재활용 동작을 위하여 큰 커패시터를 사용한다. 워드 라인 동작 신호 (word line enable signal, WLE)가 '1'이 될 때, 전하 공유 드라이버와 워드 라인 디코더가 각각 한 개씩 선택되어 워드 라인과 큰 커패시터를 연결 시킨다. $V_{DD}/2$ 전압인 큰 커패시터로부터 접지 전압인 워드 라인으로 전하가 전달되어 워드 라인의 전압이 큰 커패시터의 전압인 $V_{DD}/2$ 가 된다. 첫 전하 공유 이후에 워드 라인은 워드 라인 'high' 신호에 의하여 V_{DD} 로 충전된다. WLCs의 두 번째 '1'은 워드 라인과 큰 커패시터를 다시 연결시키고 워드 라인의 전하는 큰 커패시터로 전달된다. 이때 큰 커패시터가 첫 전하 공유에서 잃어 버렸던 전하

를 다시 얻는다. 따라서 큰 커패시터는 $V_{DD}/2$ 전압을 일정하게 유지한다. <그림 12(b)>는 CRWD의 컨트롤 신호와 워드 라인에서의 파형을 보여 준다.

3. 전하 공유 비트 라인

<그림 6>는 전하 공유 비트 라인(charge sharing bit line, CSBL)의 개념을 보여 주고 있다. CSBL은 세 개의 커패시터를 이용하여 비트 라인의 스윙 전압을 낮춘다. 이 커패시터들은 C_{column} , C_{S0} , 그리고 C_{S1} 이다. C_{column} 은 비트 라인 스윙 전압을 낮추기 위하여 사용되고 C_{S0} 와 C_{S1} 는 감지 증폭기의 참조 전압을 만들기 위하여 사용된다. <그림 6>에서와 같이 C_{column} 을 먼저 V_{DD} 로 충전 시킨 후 비트 라인과 전하 공유를 시킴으로써 비트 라인의 스윙 전압을 낮춘다. 선택된 비트 라인의 스윙 전압이 V_{CS} , 스위칭 주파수가 f , 그리고 비트 라인 커패시턴스가 $C_{bit\ line}$ 일 때, CSBL의 소모 전력과 스윙 전압은 다음과 같다. 스윙 전압 V_{CS} 는 C_{column} 와 C_{S0} 의 크기 바꿈으로써 조정할 수 있다.

$$P_{CSBL} = f \times C_{bit\ line} \times V_{CS} \times V_{DD}$$

$$V_{CS} = \{C_{column} \times V_{DD} + C_{S0} \times (V_{DD} - V_t)\} / (C_{bit\ line} + C_{column} + C_{S0})$$

<그림 6>은 선택된 비트 라인, C_{column} , C_{S0} , 그리고 C_{S1} 로 구성된 CSBL 구조를 보여주고 있다. 모든 스위치는 트랜지스터를 의미하고 스위치 위에 있는 숫자들은 스위치가 켜졌을 때의 시간 순서를 나타낸다. 스위치들 중 V_{DD} 에 연결된 스위치만이 PMOS 트랜지스터

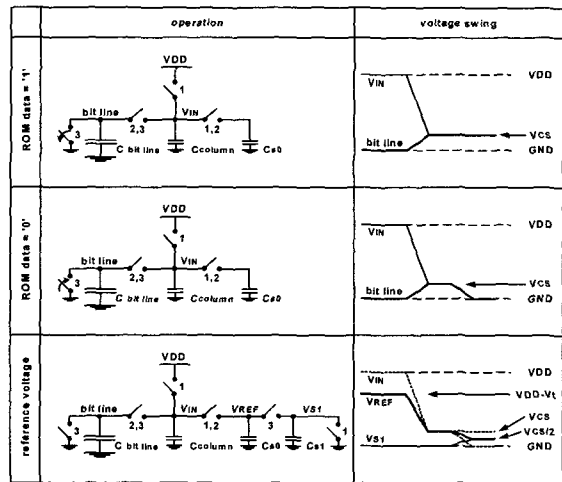


그림 6. 전하 공유 비트 라인의 개념
Fig. 6. Concept of charge sharing bit line.

이고 나머지 트랜지스터들은 모두 NMOS 트랜지스터들이다.

CSBL의 동작은 다음과 같다. (1) C_{column} 와 C_{S0} 은 V_{DD} 와 $V_{DD} - V_t$ 로 충전되고 C_{S0} 은 방전된다. C_{column} 와 C_{S1} 에 저장된 전하의 크기는 $C_{column} \times V_{DD}$ 와 $C_{S0} \times (V_{DD} - V_t)$ 이다. 만약 선택된 이전의 비트 라인이 '0' 값이었다면, 비트 라인의 전압은 접지 전압일 것이다. 만약 '1'이었다면, 비트 라인의 전압은 이전의 전하 공유 전압일 것이다. 비트라인의 전압이 접지 전압일 때, 새로 만들어지는 전하 공유 전압이 가장 낮다. 따라서 우리는 최악의 경우인 초기 비트 라인 전압이 접지 전압인 경우로 가정하였다. (2) 컬럼 선택 트랜지스터들 중 하나가 켜진다. 비트 라인, C_{column} , 그리고 C_{S0} 가 연결되어 전하가 공유되어 전압이 V_{CS} 가 된다. 전하 공유 전압 V_{CS} 은 $C_{bit\ line}$, C_{column} , 그리고 C_{S0} 의 전하 ($C_{column} (V_{DD} + C_{S0} (V_{DD} - V_t))$)를 커패시터 ($C_{bit\ line} + C_{column} + C_{S0}$)로 나눈 값이다. 따라서 V_{CS} 는 $\{C_{column} (V_{DD} + C_{S0} (V_{DD} - V_t)) / (C_{bit\ line} + C_{column} + C_{S0})\}$ 이 된다. (3) 만약 롬 데이터가 '1'이면 비트 라인의 전압은 V_{CS} 이고 롬 데이터가 '0'이면 그 전압은 접지 전압이 된다. C_{column} 의 전압도 롬 데이터에 따라 V_{CS} 혹은 접지 전압이 된다. 비트라인의 전압이 V_{CS} 인지 접지 전압인지를 구별하기 위하여 감지 증폭기가 사용된다. 그러나 감지 증폭기는 입력 전압과 비교할 참조 전압을 필요로 한다. 참조 전압 V_{REF} 은 두 작은 커패시터 C_{S0} 와 C_{S1} 에 의하여 만들어진다. V_{CS} 와 접지 전압인 C_{S0} 와 C_{S1} 가 연결되어 $V_{CS}/2$ 의 참조 전압을 만든다.

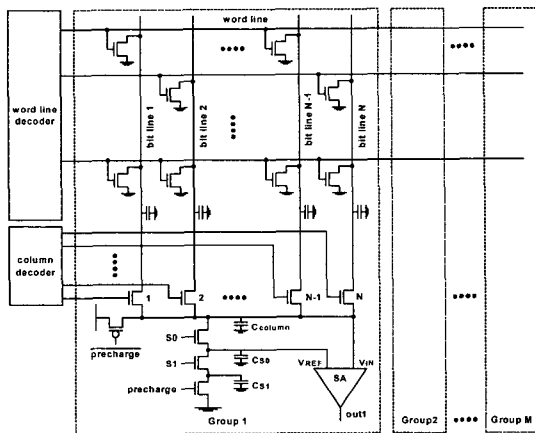


그림 7. 전하 공유 비트 라인을 사용한 롬
Fig. 7. A ROM using charge sharing bit line.

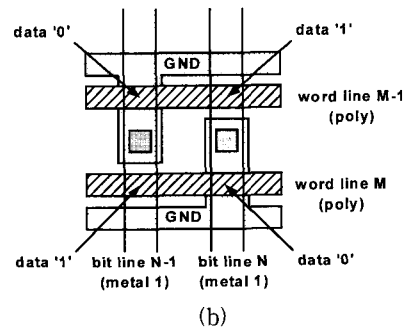
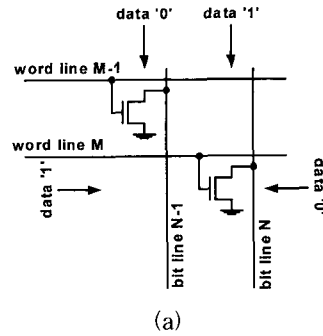


그림 8. 디퓨전 프로그래밍 롬 셀 (a) 스케메틱 (b) 레이아웃
Fig. 8. Diffusion programming ROM cell. (a) schematic (b) layout

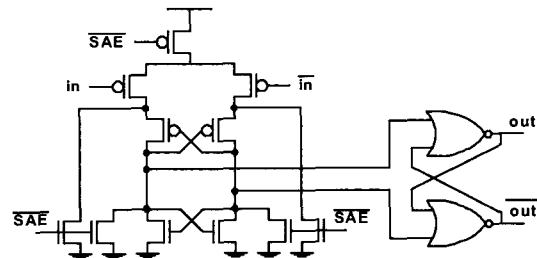


그림 9. 감지 증폭기
Fig. 9. Sense amplifier.

<그림 7>은 CSBL을 사용한 롬이다. 롬은 M개의 그룹으로 구성되고 각 그룹은 N개의 비트 라인으로 구성되어 있다. 각 그룹마다 한 개의 비트 라인이 선택된다. CSBL은 선택된 비트 라인의 스윙 전압을 줄여주어 롬의 소모 전력을 크게 줄여 준다. 우리는 C_{column} 의 크기를 조절함으로써 스윙 전압을 증가시킬 수 있다. C_{S0} 와 C_{S1} 는 감지 증폭기의 참조 전압을 만든다. 만약 롬 데이터가 '1'이면 비트 라인의 전압은 V_{CS} 로 남아있을 것이고 반대로 롬 데이터가 '0'이면 비트 라인의 전압은 접지 전압일 것이다. 감지 증폭기는 비트 라인의 전압과 참조 전압 $V_{CS}/2$ 을 비교하여 롬에 저장된 데이터

를 얻는다. <그림 12(c)>는 CSBL의 컨트롤 신호들, 비트 라인, C_{column} , C_{S0} , 그리고 C_{S1} 의 파형들을 보여준다. 다양한 롬 셀들에 CSBL을 사용할 수 있지만, 크기가 가장 작고 비트라인 커패시턴스가 거의 일정한 <그림 8>의 디퓨전 프로그래밍 롬 셀(diffusion programming ROM cell)이 가장 적합하다. 일정한 커패시턴스는 모든 비트 라인에의 스윙 전압이 거의 같도록 해주기 때문에, 감지 증폭기의 감도에 따른 스윙 전압을 쉽게 조절할 수 있다.

III. 성능 비교 및 칩 테스트 결과

1. 성능 비교

<표 1>은 기존의 롬과 제안된 롬의 성능 비교 결과이다. 각 롬들은 정확한 성능 비교를 위하여 레이아웃 레벨까지 구현되었다. 모든 회로 시뮬레이션은 0.35um CMOS 공정과 HSPICE 모델을 사용하여 수행되었다. 소모 전력은 3.3V의 100MHz의 클럭 주파수에서 측정되었다.

성능 비교를 위하여 기존의 두 개의 저전력 롬을 구현하였다. 하나는 기존의 여러 저전력 기법들을 이용한 롬(CV-ROM)^[1]이고 다른 하나는 전하 공유 기법을 이용한 롬(HCCS-ROM)^[3]이다.

CV-ROM은 기존의 다양한 저전력 기법들을 사용하여 구현한 롬이다. 사용된 기법들은 선택적 프리차지(precharge), NMOS 프리차지, 그리고 디퓨전 프로그래밍 롬 셀 등이다. NMOS 트랜지스터로 데이터를 얻을 비트라인만을 선택적으로 $V_{DD}-V_t$ 까지 프리차지 시킴으로써 비트라인에서의 전력 소모를 줄인 롬이다.

HCCS-ROM은 전하 공유 기법을 사용하여 비트 라인의 스윙 전압을 크게 줄인 롬이다. 비트 라인에 비하여 커패시턴스가 매우 작은 커패시터를 V_{DD} 로 충전시킨 후, 비트 라인에 연결하여 비트 라인의 스윙 전압을 크게 줄인다. HCCS-ROM의 방식은 CSBL과 유사한 방식이다. 그러나 CSBL과 달리 HCCS-ROM은 하나의 데이터를 얻기 위하여 세 개의 비트 라인을 사용한다. 이는 감지 증폭기의 참조 전압을 얻기 위하여 두 비트 라인과 두 커패시터가 사용하기 때문이다. 또한 모든 비트 라인들의 커패시턴스가 정확히 같아야 하기 때문에, HCCS-ROM은 셀 트랜지스터의 게이트를 위드 라인을 연결하거나 접지 전압을 연결하는 방식을 사용한다. 따라서 HCCS-ROM의 셀 크기는 디퓨전 프로그래

표 1. 성능 비교

Table 1. Performance Comparison.

		CV-ROM	HCCS-ROM	CRCS-ROM
Power [mW] at 100MHz	Predecoder	1.48	1.70	1.21
	Word Line Decoder (worst case programmed)	1.36	1.53	0.98
	Bit Line, MUX and SA	7.92	3.12	1.99
	Column Decoder	0.62	0.65	0.62
	Control Unit	2.23	3.78	3.83
	Total Power	13.61	10.78	8.63
Maximum Speed [ns]		3.6	4.8	8.4
ROM Area [mm ²]		0.47	0.84	0.51
ROM Organization [Kbit]		128	128	128
Bit Line Swing Voltage [V]		2.5V	0.3V	0.6V
Number of Bit Line used for a Data		1	3	1

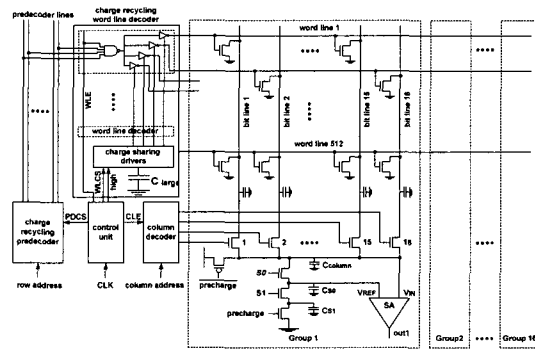


그림 10. 전하 재활용 전하 공유 롬

Fig. 10. Charge recycling and charge sharing ROM.

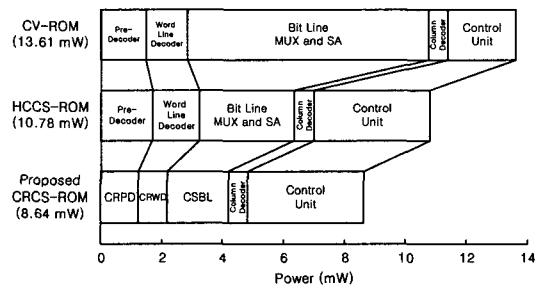


그림 11. 롬에서의 소모 전력 (8K x 16비트)

Fig. 11. Power consumptions in ROMs(8K x 16 bits)

밍 셀에 비하여 크다. 셀 크기의 증가는 결과적으로 소모 전력과 면적을 증가시킨다.

<그림 10>에서와 같이, CRPD, CRWD, 그리고 CSBL을 사용한 전하 재활용 전하 공유 롬(charge recycling and charge sharing ROM, CRCS-ROM)이 구현되었다.

감지 증폭기의 두 입력 전압의 최소 전압 차이를

300mV로 가정하고 시뮬레이션을 위한 비트 라인 스윙 전압을 조정하였다. 따라서 CV-ROM, HCCS-ROM, 그리고 CRCS-ROM의 비트 라인들에서의 전압 스윙은 각각 $V_{DD}-V_t$, 300mV, 그리고 600mV이다. CV-ROM은 NMOS 트랜지스터로 비트 라인 프리차지하기 때문에 비트 라인 스윙 전압이 $V_{DD}-V_t$ 가 된다. HCCS-ROM의 비트 라인 스윙 전압이 300mV인 이유는 감지 증폭기가 비트 라인의 스윙 전압을 바로 감지하기 때문이다. 마지막으로, CRCS-ROM의 비트 라인 스윙 전압이 600mV인 이유는 참조 전압이 비트 라인의 전압의 반이기 때문에 CRCS-ROM의 비트 라인 스윙 전압은 감지 증폭기의 최소 전압의 2배가 되어야 한다.

<표 1>과 <그림 11>은 저전력 롬들의 성능 비교 결과를 보여주고 있다. 각 롬은 512개의 워드라인과 256개의 비트라인을 가진 128K비트 롬이다. 롬 셀은 최소 크기로 설계 되었다. CRPD와 CRWD에서의 소모 전력은 기존 프리디코더와 워드 라인 디코더의 82%와 72%이고, 16개의 그룹을 가진 CSBL에서의 소모 전력은 CV-ROM과 HCCS-ROM의 25%와 64%이다. 결과적으로 CRCS-ROM의 소모 전력은 CV-ROM과 HCCS-ROM의 63%와 80%가 된다.

2. 칩 테스트 결과

<그림 12>는 CRPD, CRWD, 그리고 CSBL의 시뮬레이션 파형들을 보여준다. 이 파형들을 통하여 CRCS-

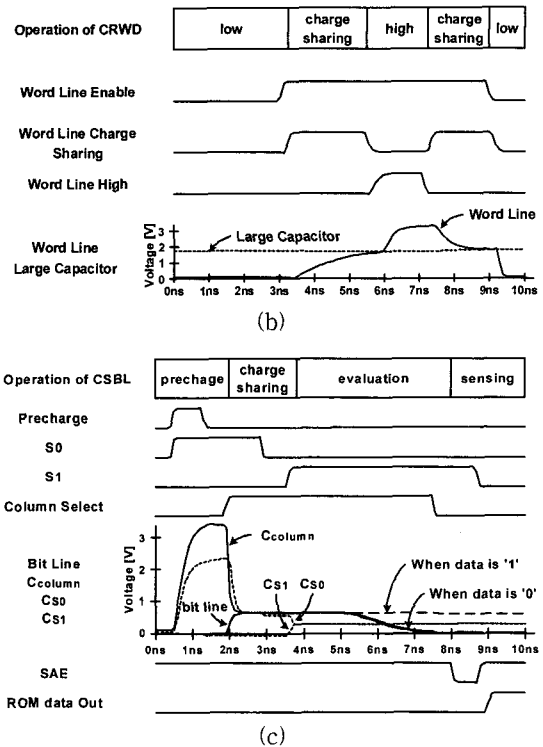


그림 12. 시뮬레이션 파형들 (a) 전하 재활용 프리디코더 (b) 전하 재활용 워드 라인 디코더 (c) 전하 공유 비트 라인
Fig. 12. Simulated waveforms in (a) charge recycling predecoder (b) charge recycling word line decoder (c) charge sharing bit line.

표 2. 테스트 칩의 특징들
Table 2. Features of the test chip.

Technology	0.35 CMOS
Supply Voltage	3.3 V
Maximum Clock Frequency	120MHz
Organization	8K × 16bits ROM (512 word lines × 256 bit lines)
Chip Core Area	0.51 mm ² (0.62mmX0.83mm)
Power (HSPICE simulation)	8.63 mW at 100MHz

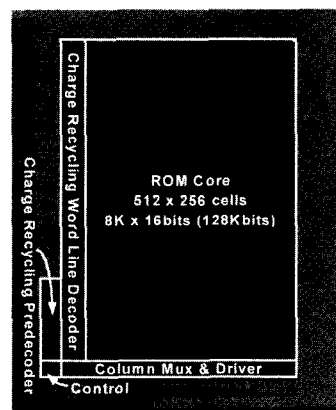
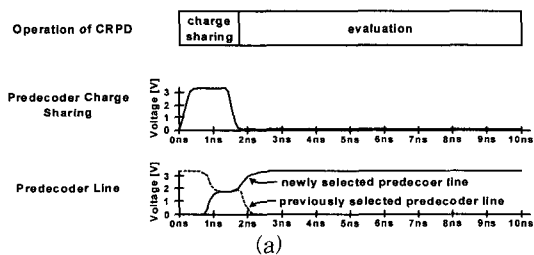


그림 13. 칩 사진
Fig. 13. Chip micrograph.

ROM에서 전하 재활용과 전하 공유 동작이 올바르게 수행되고 있음을 알 수 있다. <표 2>에는 테스트 칩의 특징이 요약되어 있다. 테스트 칩은 16비트의 출력을

가지는 128K비트 롬으로 3.3V전원의 0.35 μ m CMOS 공정을 사용하여 제작되었다. 테스트 칩의 측정된 최대 동작 클럭 속도는 120MHz이고 100MHz에서 8.63mW의 전력을 소모하였다. <그림 13>과 <그림 14>는 테스트 칩의 사진과 측정된 파형이다.

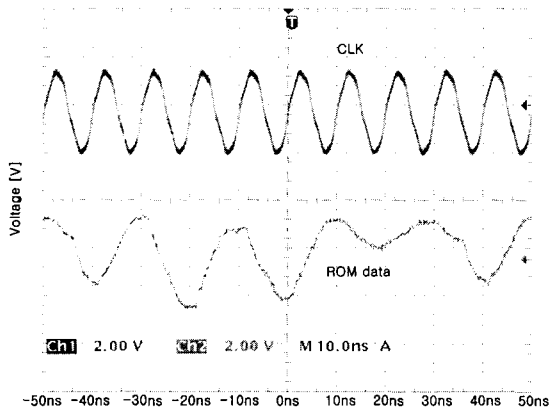


그림 14. 테스트 칩의 측정된 파형

Fig. 14. Measured waveforms of test chip.

IV. 결론

본 논문에서는 롬에서 전력 소모가 가장 큰 부분인 프리디코더 라인, 워드 라인, 그리고 비트 라인에서의 전력 소모를 줄이기 위하여, 전하 재활용과 전하 공유를 사용한 세 가지 기법들이 제안되었다. 제안된 전하 재활용 프리디코더와 전하 재활용 워드 라인 디코더는 전하를 재활용 함으로써 이론적으로는 전력 소모량을 반으로 줄일 수 있는 기법들이다. 또한 전하 재활용 프리디코더와 전하 재활용 워드 라인 디코더는 롬뿐만 아니라 다양한 메모리에 사용될 수 있는 기법들이다. 제안된 전하 공유 비트 라인은 전하 공유를 사용하여 스윙 전압을 크게 줄여 롬의 전력 소모를 크게 줄여준 기법이다. 제안된 세 가지 기법을 사용한 전하 재활용 전하 공유 롬은 0.35 μ m CMOS 공정을 사용하여 구현되었다. 제작된 롬은 3.3V 전원의 100MHz 동작에서 8.63mW의 전력을 소모하였다. 롬 코어의 크기는 0.51 mm²이고 최대 동작 주파수는 120MHz이다.

참 고 문 헌

[1] Edwin de Angel, Earl E. Swartzlander, Jr. "Survey of Low Power Techniques for ROMs,"

International Symposium on Low Power Electronics and Design, 1997, pages 7~11.

[2] R. Sasagawa, I. Fukushi, M. Hamaminato, S. Kawashima, "High-speed Cascode Sensing Scheme for 1.0V Contact-programming Mask ROM," Symposium on VLSI Circuits, 1999, pages 95~96.

[3] M. M. Khellah, M. I. Elmasry, "Low-Power Design of High-Capacitive CMOS Circuits Using a New Charge Sharing Scheme," IEEE International Solid-State Circuits Conference, 1999, pages 286~287.

[4] Byung-Do Yang and Lee-Sup Kim, "A Low Power Charge-Recycling ROM Architecture," IEEE International Symposium on Circuits and Systems, 2001, pages 510~513.

[5] Byung-Do Yang and Lee-Sup Kim, "A Low-Power ROM using Charge Recycling and Charge Sharing," IEEE International Solid-State Circuits Conference, 2002, pages 108~109.

[6] H. Yamauchi, H. Akamatsu, T. Fujita, "An Asymptotically Zero Power Charge-Recycling Bus Architecture for Battery-Operated Ultrahigh Data Rate ULSI's," IEEE Journal of Solid-State Circuits, Vol. 30, No. 4, April 1995, pages 423-431.

[7] M. Hiraki, et al, "Data-Dependent Logic Swing Internal Bus Architecture for Ultralow-Power LSI's," IEEE Journal of Solid-State Circuits Conference, Vol. 30, No. 4, April 1995, pages 397~402.

[8] K. W. Mai, T. Mori, B. S. Amrutur, R. Ho, B. Wilburn, M. A. Horowitz, I. Fukushi, T. Izawa, and S. Mitarai, "Low-power SRAM Design Using Half-Swing Pulse-Mode Techniques," IEEE Journal of Solid-State Circuits Conference, Vol. 33, No.11, November 1998, pages 1659~1671.

저 자 소 개



梁炳燾(正會員)

1999년 2월 : 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업(공학사). 2001년 2월 : 한국과학기술원 전자전산학과 전기및전자공학 전공 졸업(공학석사). 2001년 3월~현재 : 한국과학기술원 전자전산학과 전기및전자공학 전공 박사과정. <주관심분야 : 저전력/고성능 디지털 회로 설계, 저전력 메모리 설계>



金利燮(正會員)

1982년 : 서울대학교 전자공학과 학사. 1986년 : Stanford University 전자공학과 석사. 1990년 : Stanford University 전자공학과 박사. 1990년~1993년 : Toshiba Corporation 연구원. 1993년~현재 : 한국과학기술원 전자전산학과 전기및전자공학 전공 교수. <주관심분야 : 3D Graphics 프로세서 및 하드웨어 설계, 고성능/저전력 디지털 IC 설계>