

論文2003-40SC-4-6

가변 부정저항을 이용한 새로운 CMOS 뉴럴 오실레이터의 집적회로 설계 및 구현

(Integrated Circuit Design and Implementation of a Novel CMOS Neural Oscillator using Variable Negative Resistor)

宋 漢 廷 *

(Han Jung Song)

요 약

0.5 μm 2중 폴리 CMOS 공정을 이용하여 새로운 뉴럴 오실레이터를 설계, 제작하였다. 제안하는 뉴럴 오실레이터는 트랜스컨덕터 및 캐패시터와 비선형 가변 부정저항으로 이루어진다. 뉴럴 오실레이터의 입력 단으로 사용되는 비선형 가변 부정저항은 정귀환의 트랜스컨덕터와 가우시안 분포의 전류전압 특성을 지니는 범프 회로를 이용하여 구현하였다. 또한 SPICE 모의실험을 통하여 제안한 오실레이터의 특성분석 후 집적회로 설계를 실시하였다. 한편 흥분성 및 억제성 시냅스로 연결된 4개의 뉴럴 오실레이터로 간단한 신경회로망을 구성하여 그 특성을 확인하였다. 집적회로로 제작된 뉴럴 오실레이터에 대하여 $\pm 2.5\text{ V}$ 전원 조건하에서 측정된 결과를 분석하고 모의실험 결과와 비교한다.

Abstract

A new neural oscillator has been designed and fabricated in an 0.5 μm double poly CMOS technology. The proposed neural oscillator consists of a nonlinear variable resistor with negative resistance as well as simple transconductors and capacitors. The variable negative resistor which is used as a input stage of the oscillator consists of a positive feedback transconductors and a bump circuit with Gaussian-like I-V curve. The proposed neural oscillator has designed in integrated circuit with SPICE simulations. Simulations of a network of 4 oscillators which are connected with excitatory and inhibitory synapses demonstrate cooperative computation. Measurements of the fabricated oscillator chip with a $\pm 2.5\text{ V}$ power supply is shown and compared with the simulated results.

Keyword : Negative Resistor, Neural Oscillator, CMOS, OTA, Integrated Circuit

* 正會員, 忠淸大學校 電子工學科

(Dept. of Electronic Eng., Chungcheong College)

※ 이 논문은 한국과학재단의 해외 Post-doc. 연구지원 비에 의하여 연구되었음

接受日字:2003年3月19日, 수정완료일:2003年6月9日

I. 서 론

1943년 McCulloch와 Pitts가 처음으로 뉴런 모델을 제안한 이래, 생물학적 신경망을 모방하는 신경회로망에 대한 연구는 영상처리, 음성인식 등 각 분야에서 광범위하게 진행되어 왔다^{1, 2)}. 그 동안 역전파 신경망이

나 홉필드 모델 등 다양한 형태의 개선된 신경망 모델이^[1,2] 등장하였고 최근에는 고성능 신경망 칩이 선보이는 등 한층 더 기대와 관심을 불러 일으키고 있다. 그러나 이러한 관심과 연구에도 불구하고 대개의 신경회로망 모델은 여전히 그 본질적 한계를 지니고 있는 것이 사실이다. 이러한 원인의 하나로써 신경망의 기본 요소를 이루는 뉴런 자체의 단순 기능성, 즉 생물학적 뉴런의 극히 일부 기능만을 모델화 했다는 점을 지적하지 않을 수 없다^[1,2]. 때문에 좀더 효율적이고 향상된 성능의 신경회로망 구성을 위해서는 생물학적 뉴런의 복잡 다양한 동적 특성 등을 포함하는 뉴런 모델이 절실하다 할 것이다. 최근 연구에 의하면, 신경망 조직에 어떤 외부의 흥분성 자극이 주어질 경우 신경망 내의 뉴런들은 일정한 펄스 열을 나타내는 진동성 오실레이터의 특성을 지니며 이러한 진동성 뉴런들이 신경망의 연산기능을 수행하게 되는 것으로 밝혀진 바 있다^[3-5]. Freeman이나 Vitor의 후각 조직 모델^[3,6] 등이 대표적이며 이러한 오실레이터를 기본 요소로 하는 모델들은 복잡한 뇌의 연상기억 및 연산능력을 위한 국부 진동으로 이루어지는 신경망을 제안한다는 점을 공통된 특징으로 들 수 있다. 이와같은 일련의 모델들에 대한 신경망의 아날로그 집적회로 구현에 대한 다양한 시도가 있어 왔다. Barrenco의 히스테리시스(hysteresis) 현상을 이용한 회로라든지, Moon의 CMOS 인버터 체인을 응용한 회로 또는 Luo의 트랜스콘덕터와 연산증폭기로 구성하는 회로 등이 그 대표적인 예라 할 것이다^[4-7]. 그러나 아직까지는 초보적 차원으로 간단한 뉴럴 오실레이터 구성 정도에 머무르고 있는 것이 사실이어서 시스템 차원의 진동성 신경망 구현을 위하여는 여전히 많은 연구와 심도있는 모색이 있어야 할 것으로 사료된다. 본 논문에서는 진동성 신경회로망에 적용할 수 있는 새로운 뉴럴 오실레이터를 제안하여 0.5 μm 2중 폴리 CMOS 집적회로로 구현하고 그 특성을 분석한다. 먼저, II장에서는 제안하는 뉴럴 오실레이터 회로에서 입력단으로 사용되는 비선형 가변 부성저항 블록에 대한 CMOS 회로의 구현방법과 이에 대한 SPICE 해석 결과를 보인다. III장에서는 구현한 비선형 가변 부성저항을 이용하여 뉴럴 오실레이터를 CMOS 회로로 설계한다. 더 나아가 IV장에서는 제안하는 뉴럴 오실레이터 4개와 4개의 시냅스로 이루어지는 간단한 진동성 신경회로망을 구성하여 시냅스 형태에 따른 출력 응답 특성 변화를 구하고 신경망에서의 응용 가능성을 확인한

다. 한편 V장에서는 CMOS 집적회로로 구현된 뉴럴 오실레이터를 $\pm 2.5\text{V}$ 전원에서 측정하여 앞서 언급한 모의실험 결과와 비교, 분석하고 결론을 내린다.

II. Bump 회로를 이용한 비선형 가변 부성저항의 설계

능동 전하 공급 특성을 갖는 부성 저항은 터널 다이오드에서 잘 알려져 있다. 분기 특성을 나타내는 카오스 신호 생성기라든지 Ban der Pol 회로^[8]와 같은 각종 발진기, 또는 마이크로파 증폭기 등에 적용된다. 이러한 부성저항의 구현 방법으로는, 지금까지는 주로 연산 증폭기와 수동 저항 및 콘덴서 등의 혼성회로 형태로 이루어져 왔다. 최근에는 부성저항 소자를 아날로그 집적회로로 구현하는 일련의 시도들이 있어 왔는데 트랜스콘덕터(OTA)와 연산증폭기로 이루어진 Chua 회로, CMOS 인버터를 응용한 Kanoh 회로^[9] 등이 그 대표적 예라 할 수 있다. 그러나 아직까지 부성 저항의 제어용이성, 안정성 및 소형화 등 연구의 여지가 많으며 특히, 본 논문에서는 오실레이션을 일으키는 전하 공급 소자 기능 뿐 아니라 시냅스를 통하여 다른 뉴럴 오실레이터들과 연결되는 입력단 역할을 수행할 수 있는 조건이 요구된다. <그림 1>에 이러한 기능을 갖는 있는 비선형 부성 저항의 블록도를 나타낸다. 이 회로는 하나의 트랜스콘덕터를 정궤환 형태로 연결하며 범프(bump) 회로^[10]에서 나오는 전류에 의해 저항 값이 가변 되도록 한다.

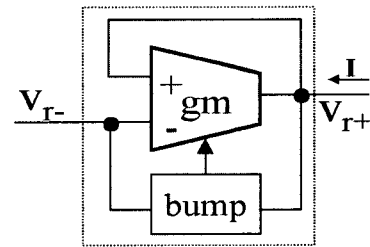
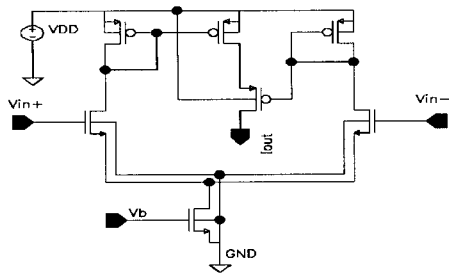


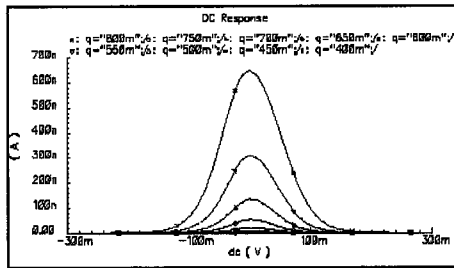
그림 1. 제안하는 비선형 부성저항의 블록도
Fig. 1. Block diagram of the proposed nonlinear negative resistor.

여기서 V_{r+} 와 V_{r-} 은 입력 두 단자에 나타나는 전압을 나타내며 저항 R 은 다음과 같이 표현될 수 있다.

$$R = \frac{V_{r+} - V_{r-}}{I} \quad (1)$$



(a) CMOS circuit



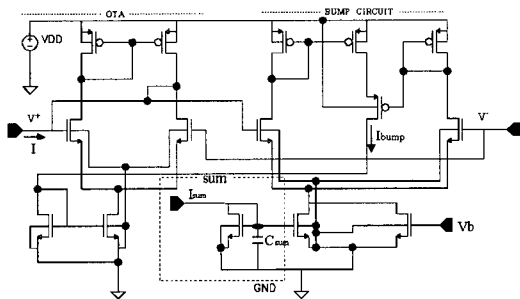
(b) SPICE simulated I-V curves

그림 2. Gaussian I-V 특성을 지닌 범프 회로
Fig. 2. Bump circuit with Gaussian I-V characteristic.

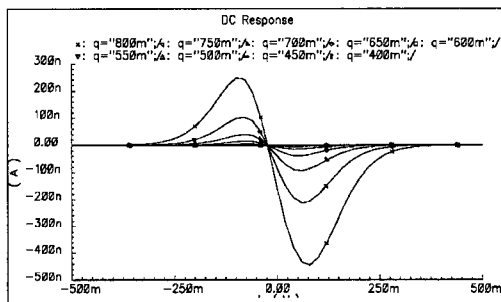
정규화된 트랜스컨덕터의 바이어스 전류 공급원인 범프회로의 CMOS 회로도와 그 SPICE 해석 결과를 <그림 2>에 보이고 있다. 전류 미러와 차동 증폭단을 응용한 이 회로는 모두 7개의 트랜지스터로 구성되어 있으며 바이어스 전압 V_b 에 의해 출력 전류의 피크 값과 폭을 조절할 수 있다. <그림 2(b)>에서 보듯이, 범프회로는 두 입력 전압 차이에 따라 출력 전류가 가우시안 (Gaussian) 함수 형태를 나타낸다. 두 입력 전압 차가 없을 때 최대의 출력 전류를 보이며 전압 차가 클수록 출력 전류는 0으로 수렴하게 된다.

<그림 3(a)>에 제안하는 가변 부성 저항의 CMOS 회로도를 보인다. 전류 I 는 외부 바이어스 전압 V_b 또는 바이어스 전류 I_{sum} 에 의해서 조절이 되며 결국은 저항을 가변시킬 수 있다. 바이어스 전류 I_{sum} 에는 캐패시터를 달아서 신경망의 summing unit 역할을 하는 입력단이 되도록 하였다.

<그림 3(a)>에 대한 SPICE 모의 실험결과가 <그림 3(b)> 나타나 있다. 원점 부근에서 바이어스 전압 V_b 에 따라 가변되는 부성저항 영역이 존재하는 S자형의 곡선으로 나타난다. 제안하는 가변 부성 저항의 I-V (전류-전압) 특성은 크게 3가지, 저항이 무한대인 즉, 전류가 0인 영역과 정의 저항을 지니는 영역, 그리고 두 개의 굴곡점 사이에 나타나는 부성저항을 지니는 영역으로 구분된다.



(a) CMOS circuit



(b) SPICE simulated I-V curves

그림 3. 제안하는 비선형 가변 부성저항의 회로도
Fig. 3. Circuit of the proposed nonlinear variable negative resistor.

III. 비선형 가변 부성저항을 이용한 뉴럴 오실레이터의 제안

본 논문의 뉴럴 오실레이터 구현을 위하여 <그림 4>와 같은 이상적인 커플드(coupled) 오실레이터를 기본 개념으로 설정하였다.

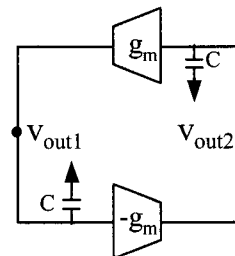
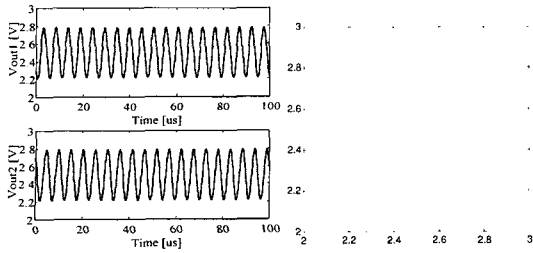
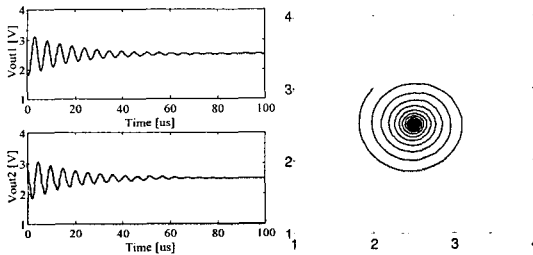


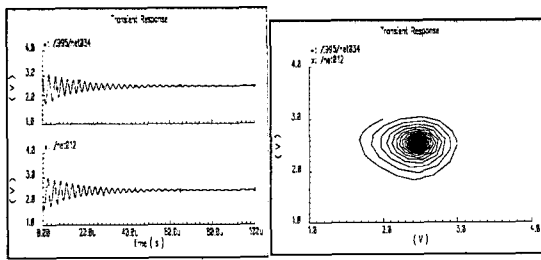
그림 4. 캐패시터와 트랜스 컨덕터로 이루어지는 이상적인 커플드 오실레이터
Fig. 4. Ideal coupled oscillator using transconductor (OTA)s and capacitors.



(a) MATLAB simulation of equation(2)



(b) MATLAB simulation of equation(3)



(c) SPICE circuit analysis

그림 5. <그림 4>에 대한 모의실험 결과(time responses and phase plots, 2.5V 기준전압)

Fig. 5. Simulation results of Fig. 4 circuit(time responses and phase plots, 2.5V reference).

이 회로는 다음과 같은 1차 미분 방정식으로 해석될 수 있다.

$$C \frac{dV_{out1}}{dt} = g_m \cdot V_{out2} \quad (2)$$

$$C \frac{dV_{out2}}{dt} = g_m \cdot V_{out1}$$

여기에서 g_m 은 OTA의 트랜스컨덕턴스, V_{out1} 및 V_{out2} 는 노드 전압을, C 는 콘덴서 용량을 의미한다. 전형적인 $C=1$ pF, $g_m=1$ uS를 사용했을 때, 식 (2)에 대한 MATLAB 모의실험 결과는 <그림 5(a)>에 나타나듯이 완전한 오실레이션을 보인다. 그러나 실제 트랜스컨덕터는 유한한 값의 출력 콘덕턴스 (g_o)를 갖기 때문에 이를 고려하면, 식 (2)는 다음 식 (3)과 같이 표현될 수

있다.

$$C \frac{dV_{out1}}{dt} = g_m \cdot V_{out2} - g_o \cdot V_{out1} \quad (3)$$

$$C \frac{dV_{out2}}{dt} = g_m \cdot V_{out1} - g_o \cdot V_{out2}$$

여기에서 $g_o = 50$ nS의 경우, MATLAB 모의실험 결과는 <그림 5(b)>에 나타나듯이 시간 과정이 수렴하여 궁극적으로 오실레이션이 일어나지 않고 수렴하게 된다. <그림 5(c)>는 <그림 4> 회로에 대한 SPICE 모의실험 결과로서, 실제로 발진이 일어나지 않고 수렴하고 있음을 보여준다.

그러므로 완전한 오실레이션을 이루도록 하기 위하여는 실제 트랜스컨덕터의 출력 콘덕턴스를 통하여 소모되는 전하를 보상하기 위한 방법이 필요하다. 본 논문에서는 앞 장에서 언급한 가변 부성 저항을 <그림 6>과 같이 연결한다. 여기에서 비선형 부성 저항은 출력 콘덕턴스를 통해 소모되는 전하를 보상해 주는 전하공급 소자 역할을 하는 동시에 신경망에서의 다른 오실레이터와 시냅스로 연결되는 입력단 역할을 한다. 제안하는 뉴럴 오실레이터의 구체적인 CMOS 회로가

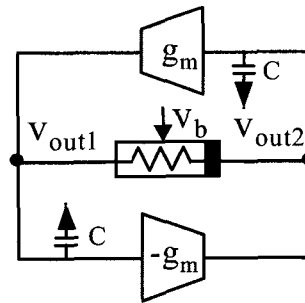


그림 6. 제안하는, 부성 저항을 지닌 뉴럴 오실레이터
Fig. 6. Proposed neural oscillator with negative resistor.

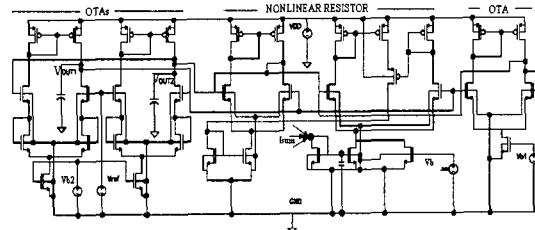


그림 7. 제안하는 뉴럴 오실레이터의 CMOS 회로도
Fig. 7. CMOS circuit of the proposed neural oscillator.

<그림 7>에 보인다. 2개의 트랜스컨덕터는 다이오드 연결 단순 OTA를 사용하였고 뉴럴 오실레이터의 빠른 수렴을 위하여 또 다른 부귀환 대미 트랜스컨덕터를 추가하였다.

제안하는 회로는 입력단의 I_{sum} 에 연결되는 외부 신호 또는 시냅스를 통해 나타나는 다른 뉴럴 오실레이터의 조건 여부에 따라 출력의 오실레이션 여부가 결정된다. 결국 입력단에 나타나는 신호의 총 합이 어떤 임계값을 기준으로 하여 큰 경우에만 펄스 열이 생성된다. <그림 8>에 제안하는 오실레이터의 SPICE 분석 결과가 나타나 있다. 입력 값의 유무에 따라 오실레이션 여부가 결정되는 것을 볼 수 있다.

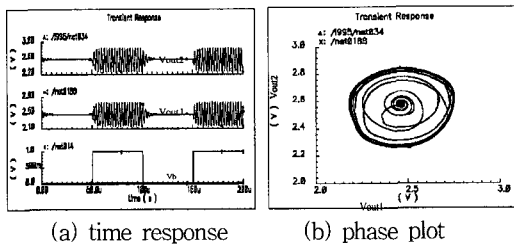


그림 8. 제안하는 neural oscillator의 SPICE 모의실험 결과
Fig. 8. SPICE simulation results of the proposed neural oscillator.

IV. 뉴럴 오실레이터의 간단한 네트워크 응용

제안하는 뉴럴 오실레이터는 진동성 신경망 회로의 기본 요소로 사용될 수 있다. 먼저 본 논문에 적합한 시냅스를 설계하였는데, 광역 트랜스컨덕터^[11]에 전류 source 또는 전류 sink를 연결하여 각각 흥분성 및 억제성 시냅스를 구성하였다. 이 시냅스는 오실레이터의 출력으로 나오는 전압 파형을 정류된 전류 파형으로 변환시켜 I_{sum} 에 연결된다. <그림 9>에 제안하는 뉴럴 오실레이터의 흥분성 및 억제성 시냅스 회로^[11]를 보여준다.

본 논문에서 제안한 뉴럴 오실레이터의 활용을 위하여 <그림 10>과 같이 오실레이터 사이에 흥분성 및 억제성 시냅스를 지닌 간단한 네트워크를 구성하였다. 외부 자극으로서 half-overlapped 10 khz (duty cycle 50%) 구형과 펄스가 V_{b1} 과 V_{b2} 각각에 인가되었다.

이에 대한 SPICE 모의실험 결과가 <그림 11>에 나

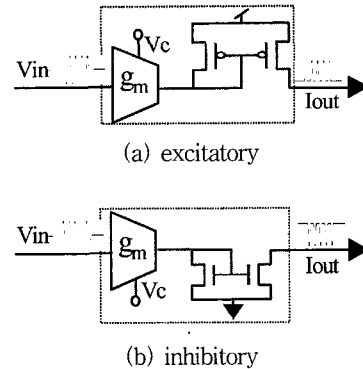


그림 9. 제안하는 뉴럴 오실레이터의 시냅스 회로
Fig. 9. Synapse circuits for the proposed neural oscillator.

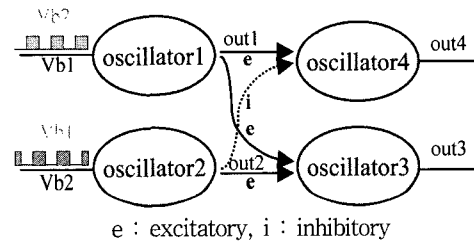


그림 10. 흥분성 및 억제성 시냅스를 지닌 단순 뉴럴 네트워크
Fig. 10. Simple neural network with excitatory and inhibitory synapse.

타나 있다. <그림 11>로부터 out1 과 out2 은 각각 오실레이터 1, 2의 출력을 나타내는데, 이는 입력 펄스 영역에서 진동함을 보여준다. 흥분성 시냅스로만 연결된 오실레이터 3은 입력으로 들어오는 out1 또는 out2 중 하나라도 진동모드 상태에 있을 경우 oscillatory 출력(out3)을 나타낸다.

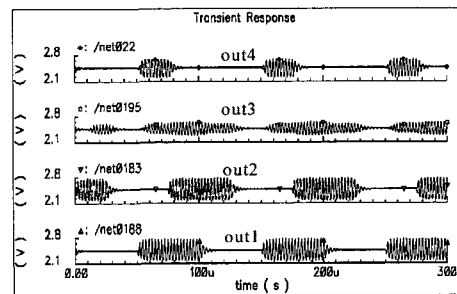


그림 11. <그림 10>의 네트워크 SPICE 모의실험결과
Fig. 11. SPICE simulation results of the network in Fig. 10.

그러나 흥분성 시냅스와 억제성 시냅스로 연결된 오실레이터 4는 오직 오실레이터 1의 진동과 오실레이터 2의 무진동 모드에만 oscillatory 출력 (out4)을 나타낸다.

V. 제안하는 뉴럴 오실레이터의 제작 및 측정

제안하는 뉴럴 오실레이터를 0.5 μm 2중 폴리 2중 메탈 CMOS AMI 공정으로 제작하였다. <그림 12>는 뉴럴 오실레이터 칩의 현미경 사진이다. 칩의 핀 구성은 공급전원 단자 Vdd 및 Vss, 출력 단자 Vout1 및 Vout2 그리고 부정 저항의 바이어스 단자 Vb 등으로 구성된다.

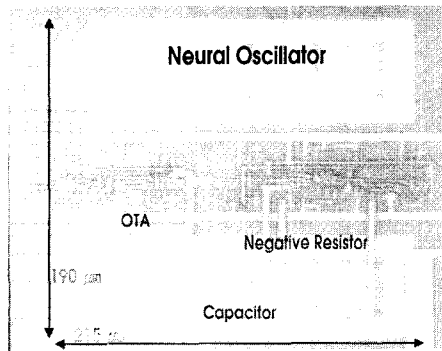


그림 12. 제작된 뉴럴 오실레이터 현미경 사진
Fig. 12. Microphotograph of the fabricated neural oscillator.

뉴럴 오실레이터의 손실전하 보상소자로 사용되는 하는 비선형 가변 부정 저항의 I-V 특성 측정결과가 <그림 13>에 나타나 있다.

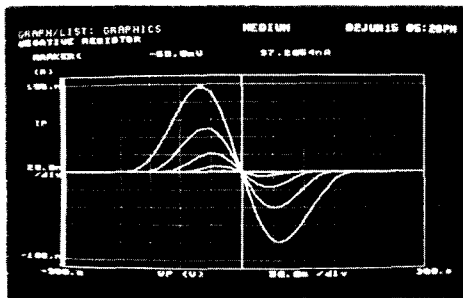
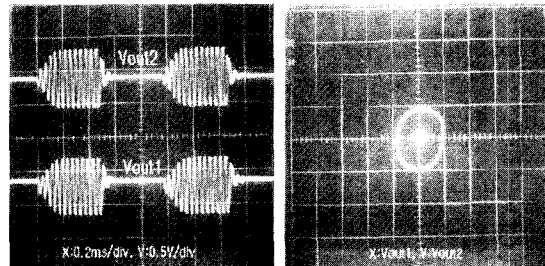
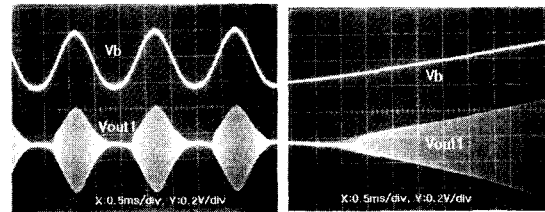


그림 13. 비선형 가변 부정 저항의 I-V 특성
Fig. 13. Measured I-V curves of the nonlinear variable negative resistor.

DC 공급전압 $\pm 2.5\text{ V}$ 조건에서 바이어스 전압 V_b ($-1.65 \sim -1.85\text{ V}$)에 따른 측정결과이다. $V_b = -1.85\text{ V}$ 의 경우 대략, 단자 전압이 $\pm 100\text{ mV}$ 범위 내에서 부정 저항이 존재함을 알 수 있다. <그림 14(a), (b)>는 각각 제작된 뉴럴 오실레이터의 외부 입력으로 주파수 1 kHz, 진폭 1 V의 펄스를 V_b (duty cycle=50%)에 인가했을 때의 시간파형 및 위상특성으로, 입력펄스 구간에서 진동성 출력을 나타내고 있음을 알 수 있다.



(a) time responses and phase plot in pulse input



(b) time responses in linear and sine wave input

그림 14. 제작된 뉴럴 오실레이터의 파형 측정 결과
Fig. 14. Measured waveforms of the fabricated neural oscillator.

VI. 결론

본 논문에서는 가우시안 분포를 갖는 범프 회로를 이용하여 비선형 가변 부정저항을 설계하였고, 이를 이용하여 진동성 신경망에 사용될 수 있는 뉴럴 오실레이터 셀을 제안하였다. 제안된 뉴럴 오실레이터 셀은 0.5 μm 2중 폴리 2중 CMOS 공정으로 구현되었다. 제안된 뉴럴 오실레이터의 특성을 모의실험을 통하여 분석하고 간단한 뉴럴 네트워크를 구성하여 시냅스의 억제성 또는 흥분성 여하에 따른 상호영향을 분석하여 보였다. 한편 구현된 뉴럴 오실레이터에 대하여 $\pm 2.5\text{ V}$ 전원으로 구동시켜 시간 및 위상 특성 등을 측정하여 뉴럴 네트워크에서의 응용가능성을 확인하였다. 본 논문에서 제안하는 회로는 진동성 신경회로망 구현을 위

한 기본 cell로서 유용하게 활용될 수 있을 것으로 생각되며 앞으로 좀더 구체적인 수학적 모델링 및 이를 이용한 시스템 레벨의 신경회로망에 대한 집적회로 설계 등의 연구가 진행되어야 할 것으로 사료된다.

참 고 문 헌

[1] J. M. Zurada, "Introduction to Artificial Neural Systems," PWS Publishing Company 1992.

[2] 이수영, "신경회로망의 VLSI 구현," 전자공학회지, 제 18 권 제 10호, pp. 750~756, 1991

[3] W. J. Freeman, Y. Yao, B. Burke, "Central pattern generating and recognizing in olfactory bulb: A correlation learning rule", Neural Networks, vol. 1, pp. 227~288, 1988.

[4] G. Moon, M. Zaghoul, and R. Newcomb, "CMOS Design of Pulse Coded Adaptive Neural Processing Element using Neural-Type Cells, IEEE International Symposium on Circuits and Systems, San Diego, CA, pp.2224 - 2227, May, 1992.

[5] B. Linares-Barranco, E. Sanchez-Sinencio, A. Rodriguez-Vaquez, J.L. Huertas, "CMOS Analog Neural Network Systems based on Oscillatory Neurons," IEEE International Symposium on Circuits and Systems, pp. 2236~2239, May, 1992.

[6] V. M. G. Tavares, J. C. Principe, J. G. Harris, "A silicon olfactory bulb oscillator", In IEEE International Symposium on Circuits and Systems, Geneva, Switzerland, May 2000.

[7] Q. Luo, J.G. Harris. A novel neural oscillator and its implementation in analog VLSI, IEEE International symposium on Circuits and Systems, pp. 245~248, Australia, May 2001.

[8] Hiroyuki Kanasugi, Seiichiro Moro, etc., "Vander Pol oscillators coupled by piecewise-linear negative resistor", IEICE Trans. Fundamentals, Vol. E79-A, No. 10, pp. 1551~1562, 1996.

[9] Shinichiro Kanoh, Hideki Kumagai, etc., "Basic characteristics of hardware neuron model based on CMOS negative resistance", In IEEE International Symposium on Circuits and Systems, pp. 579~584, 1999.

[10] T. Delbruck, "Bump Circuits for Computing Similarity and Dissimilarity of Analog Voltage" Proceedings of International Joint Conference on Neural Networks, July 8-12, 1991, Seattle WA, pp I-475-479.

[11] Carver Mead, Analog VLSI and neural systems, Addison-wesley publishing company, 1989.

저 자 소 개



宋 漢 廷(正會員)

1986년 : 한양대학교 전자공학과 학사. 1988년 : 동 대학원 석사. 2000년 : 동 대학원 전자공학과 공학박사. 1988년~1994년 : LG반도체(주) 선임연구원. 2001년~2002년 : Univ. of Florida 전기 및 컴퓨터

공학과 방문연구원. 1994년~현재 : 충청대학 전자공학과 부교수. <주관심분야 : 아날로그 집적회로 설계, 신경회로망, 반도체 소자 및 공정 등임.>