

위성통신 시스템용 위상 고정 루프 주파수 합성기의 위상 잡음 예측 모델

Phase Noise Prediction of Phase-Locked Loop Frequency Synthesizer for Satellite Communication System

김 영 완 · 박 동 철*

Young-Wan Kim · Dong-Chul Park*

요 약

본 논문에서는 위성통신에서 사용되는 주파수 합성형 발진기에 대한 위상 잡음원을 분석하고, 주파수 합성기 출력 신호의 위상 잡음 스펙트럼 분포를 보다 더 정확히 예측할 수 있는 위상 잡음 모델을 제안하였다. 기준 발진기 및 전압 제어 발진기 출력 주파수를 분주하는 분주기의 위상 잡음을 해석하고, 기준 발진기와 전압 제어 발진기 위상 잡음은 Leeson 모델을 이용하여 $1/f^2$ 이외에 다른 기울기 특성을 갖는 위상 잡음 성분들을 모델링하였다. PLL 발진기에서 각 구성 요소들에 의해 발생되거나 더해지는 잡음은 유용한 신호에 비하여 매우 작으므로 중첩의 원리를 적용하고, 선형 시스템 영역에서 주파수 합성기 회로를 해석하였다. 정립된 위상 예측 모델을 기반으로 주파수 합성기 구성 형태에 따라 각 구성 요소들의 위상 잡음 모델을 적용하여 위성통신용 주파수 합성기의 위상 잡음 스펙트럼 특성을 예측하고, 주파수 합성기를 제작하여 예측 모델과 비교 평가하였다.

Abstract

The phase noise characteristics of the phase-locked loop frequency synthesizer were predicted based on the analysis for phase noise contribution of noise sources. The proposed phase noise model in this paper more accurately predicts the phase noise spectrum of frequency synthesizer. To accurately model the phase noise contribution of noise sources in frequency synthesizer, the phase noise sources were analyzed via modeling of the frequency divider and phase noise components using Leeson model for reference signal source and VCO. The phase noise transfer functions to VCO from noise sources were analyzed by superposition theory and linear operation of phase-locked loop. To evaluate the phase noise prediction model, the frequency synthesizers were fabricated and were evaluated by measured data and prediction data.

Key words : Phase Noise, Phase Noise Prediction, Satellite Communication System, Frequency Synthesizer

I. 서 론

위성통신을 비롯한 통신 시스템의 주파수 발생 장치는 위상 잡음 발생원으로, 주파수 변환 또는 변 복조 단의 국부 발진 신호원으로 사용되며 통신 시

스템의 위상 잡음 스펙트럼 분포 특성을 결정한다. 단기간(short term) 주파수 불안정도 요소인 랜덤 위상 잡음은 발진기를 구성하는 소자들의 잡음에 의해 발생될 뿐만 아니라, 고주파 신호 발생을 위하여 체배 회로를 사용하는 신호원의 위상 잡음은 기준

한국전자통신연구원(ETRI)

*충남대학교 전파공학과(Dept. of Radio Science and Engineering, Chungnam National University)

· 논문 번호 : 20021119-159

· 수정완료일자 : 2003년 1월 6일

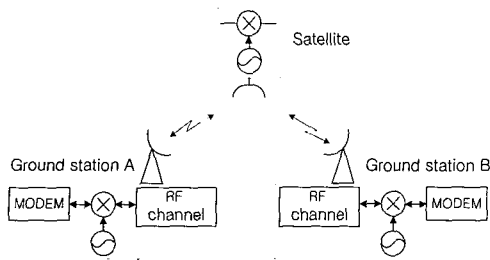


그림 1. 위성통신 시스템의 구성도
Fig. 1. Block diagram of satellite communication system.

발전기의 출력 주파수의 배수만큼 채배되어 나타난다. 이러한 위성통신 시스템에서 낮은 위상 잡음 특성을 구현하기 위하여 낮은 위상 잡음을 갖는 발전기에 대한 연구가 활발히 이루어지고 있다^{[1]-[3]}.

그림 1은 위성통신 시스템의 구성도를 보여준다. 그림의 위성통신 시스템의 위상 잡음 발생원인 위성체에 탑재되는 주파수 고정형 발전기는 위상 잡음이 낮은 수정 발전기를 기준 신호원으로 하는 PLDRO(Phase Locked Dielectric Resonator Oscillator) 방식을 사용한다. PLDRO는 PLL 대역폭내의 위상 잡음은 수정 발전기 위상 잡음에 동기되며, 대역폭 바깥의 위상 잡음은 수정 발전기 위상 잡음보다 우수한 DRO 위상 잡음 특성을 갖는다^[4]. 그리고, 위성통신 시스템 송수신기의 주파수 발생기는 고안정 주파수를 유지하면서 소형화, 경량화 그리고 주파수 선택이 용이한 주파수 합성형 발전기를 구성하여 주로 사용하고 있다.

주파수 합성형 발전기의 위상 잡음은 일반적으로 기준 신호 발전기의 위상 잡음과 전압 제어 발전기(VCO: Voltage Control Oscillator)의 위상 잡음에 의해 표현되고 있다^[5]. 그리고, 보다 정확한 위상 잡음을 예측하기 위하여 PLL 회로를 구성하는 저역 통과 필터의 구성 소자들에 대한 잡음과 기준 신호 발전기 및 전압 제어 발전기의 위상 잡음을 $1/f^2$ 성분으로 모델링하여 고려하고 있으나^{[6],[7]}, 기준 신호 발전기 및 전압 제어 발전기의 위상 잡음은 $1/f^2$ 이외에 다른 기율기 특성을 갖는 위상 잡음 성분들을 가지고 있다. 또한, PLL 회로를 구성하는 분주기의 잡음은 주파수 합성기 출력 주파수와 기준 신호 발전기 주파수의 비율이 증가할수록 PLL 위상 잡음

분포 특성에 중요한 영향을 미치고 있다. 더욱이, 분주기는 전송 신호 성능의 위상 에러 분산에 대한 주요 잡음으로 작용하고, DDS(Direct Digital frequency Synthesizer)를 기준 신호 발전기로 사용하는 주파수 합성기의 기본 구성 요소로 중요한 잡음원으로 작용하므로^[8], 분주기 잡음을 포함한 위상 잡음 예측 모델에 대한 해석이 필요하다.

본 논문에서는 위성통신에서 사용되는 주파수 합성형 발전기에 대한 위상 잡음원을 분석하고, 주파수 합성기 출력 신호의 위상 잡음 스펙트럼 분포를 예측할 수 있는 보다 더 정확하고 일반적인 위상 잡음 모델을 정립한다. 주파수 합성기의 위상 잡음 모델에는 저역 통과 필터의 구성 요소들의 잡음 이외에 기준 발전기와 전압 제어 발전기 출력 주파수를 분주하는 분주기의 위상 잡음을 포함한다. 또한, 기준 발전기와 전압 제어 발전기 위상 잡음은 Leeson 모델을 이용하여 $1/f^2$ 이외에 다른 기율기 특성을 갖는 위상 잡음 성분들을 모델링한다.

PLL 발전기에서 각 구성 요소들에 의해 발생되거나 더해지는 잡음은 유용한 신호에 비하여 매우 작으므로 중첩의 원리를 적용하고, 선형 시스템 영역에서 주파수 합성기 회로를 해석한다. 이러한, 주파수 합성기의 위상 잡음은 PLL 발전기를 구성하는 방법에 따라 여러 가지 형태로 결합되어 나타나지만, 근본적으로 각 구성 요소들의 잡음원을 고려하여 구성 형태에 따라 위상 잡음 모델을 이용하여 위상 잡음 스펙트럼 특성을 예측할 수 있다.

II. 주파수 합성기의 위상 잡음 특성

주파수 합성기는 PLL 발전기를 구성하는 형태에 따라 다양한 구조를 가질 수 있으나, 기본적으로 그림 2와 같이 기준 신호 발전기, 전압 제어 발전기, 위상 비교기, 루프 필터, 주파수 분주기 그리고 주파수 채배기 및 혼합기 등으로 구성된다^{[9]-[11]}.

기준 주파수 신호의 위상 잡음은 출력 신호의 주파수 안정도와 정확도를 결정하고 낮은 오프셋 주파수에서의 위상 잡음을 결정하므로 가장 중요한 구성 요소이며, 전압 제어 발전기의 위상 잡음은 기준 주파수 신호 발전기와 다르게 높은 오프셋 주파수의 위상 잡음에 영향을 미친다.

음이 분주비 $20 \log(N)$ 으로 증가함을 보여준다. 따라서, PLL 대역폭내에서 기준 주파수 신호의 체배수가 증가할수록 위상 잡음이 증가하므로 기준 주파수의 체배수가 크게되는 고주파 대역의 국부 발진기 위상 잡음은 증가하게 된다.

Ⅲ. 주파수 합성기의 위상 잡음 모델링

3-1 발진기 및 분주기

주파수 합성기의 기준 신호 발진기와 전압 제어 발진기의 위상 잡음을 모델링하기 위하여 발진기 위상 잡음 성분들을 용이하게 표현한 Leeson 모델을 사용한다^[12].

$$S_{\phi}(f) = 10 \log \left[\frac{FkT}{2P_s} \times \left\{ 1 + \frac{f_o^2}{(2fQ_L)^2} \right\} \times \left(1 + \frac{f_c}{f} \right) \right] \\ = 10 \log \left[\frac{FkT}{2P_s} \times \left(1 + \frac{f_c}{f} + \frac{f_o^2}{4f^2Q_L^2} + \frac{ff_o^2}{4f^3} Q_L^2 \right) \right] \quad (4)$$

여기서, F 는 실험적으로 구할 수 있는 잡음 지수이며, P_s 및 T 는 각각 발진기에서 이용할 수 있는 전력과 절대 온도를 말한다. 또한, f_c 와 f 는 플릭커 주파수와 오프셋 주파수이다.

식 (4)는 $1/f^3$, $1/f^2$, $1/f$, 그리고 배경 잡음 영역의 위상 잡음을 표현하고 있으므로, 기준 신호 발진기와 전압 제어 발진기의 위상 잡음을 오프셋 주파수 영역과 주파수 기울기 특성을 갖는 위상 잡음으로 표현할 수 있다.

신호 입력 분주기에 의해 입력 신호의 위상 잡음은 이상적으로 $20 \log(\text{분주비})$ 로 감소하지만, PLL 회로내에 위치한 전압 제어 발진기 분주기는 입력 주파수 위상 잡음을 $20 \log(\text{분주비})$ 로 증가시키는 역할을 한다. 또한, 주파수 분주기는 사용하는 소자에 따라 분주기에 의한 부가 잡음이 발생한다. 분주기로는 바랙터 다이오드형, 2 분주비의 재생형(regenerative) 그리고 디지털 논리형 분주기(logic divider)로 분류되고 있으며, 가격 및 설계의 유연성으로 논리형 분주기가 PLL 회로와 칩(IC)화 되어 많이 사용되고 있다. 분주기의 위상 잡음은 분주기의 플릭커 잡음과 배경 잡음에 의한 영향으로 나타나며, 점근법(asymptotic approximation)을 적용하여 디지털 분주기의 위상 잡음 특성을 다음과 같이 표

현한다.

$$S_{\phi, DR, DN}(f) \text{ (dBc/Hz)} \\ = 10 \log \left(\frac{10^{-14+1} + 10^{-27+1} f_o^2}{f} + 10^{-16+1} + 10^{-22+1} f_o \right) \quad (5)$$

$1/f$ 영역에서는 분주기 출력 주파수의 제곱(f_o^2)에 비례하여 증가하고, 배경 잡음 영역에서는 출력 주파수(f_o)에 비례하여 증가한다. 여기서, GaAs 계열인 경우, 식 (5)의 계수 $10^{-14\pm 1}$ 는 $10^{-10\pm 1}$ 으로 근사화(近似化)할 수 있다^[8].

3-2 위상 비교기

디지털 주파수 합성기에서 사용하는 위상·주파수 비교기의 위상 잡음은 출력 펄스들의 상승점(rising edge)과 하강점(falling edge)에서 타이밍 지터가 배경 잡음에 의해 증가되는 현상으로부터 해석할 수 있다. 위상 비교기 동작 주파수(f_s)를 갖는 비교기에서 발생하는 타이밍 지터는 이상적인 비교기의 Δt_{rms} 지터 입력으로 등가화할 수 있다^[13].

$$\Delta \phi_{in} = 2\pi f_s \Delta t \quad \text{rad rms} \quad (6)$$

위상·주파수 비교기는 낮은 충전 계수(duty cycle)로 이루어진 출력 펄스 열을 갖는 샘플링 소자로서, 샘플링 주파수 f_s 의 $1/2$ 주파수를 등가적인 잡음 대역폭으로 갖는 임펄스 샘플러로 등가화할 수 있으며, 비교기 위상 잡음의 전력 스펙트럴 세기는 분주기의 비(N)에 비례한다.

$$S_{\phi, in}(f) = \frac{(\Delta \phi_{in})^2}{f_s/2} = 8\pi^2 f_s \Delta t^2 \quad \text{rad}^2/\text{Hz} \\ S_{\phi, out}(f) = 8\pi^2 f_s \Delta t^2 N^2 = \frac{8\pi^2 \Delta t^2 f_o^2}{f_s} \quad \text{rad}^2/\text{Hz} \quad (7)$$

여기서, 출력 위상 잡음이 작다면 식 (7)의 반송파 신호 전력에 대한 단측파대 위상 잡음 세기는 다음과 같다.

$$S_{\phi, pd}(f) \text{ (dBc/Hz)} = \frac{2(\pi \Delta t f_o)^2}{f_s} \\ = FOM(\text{dBc/Hz}^2) + 20 \log_{10} f_o - 10 \log_{10} f_s \quad (8)$$

여기서, FOM 은 위상/주파수 비교기의 성능 지수 (figure of merit)이다.

식 (8)로부터 위상 잡음은 출력 주파수가 증가할 수록 20 dB/decade율로 증가하며, 비교기 동작주파수에 대해서는 10 dB/decade로 감소되는 것을 알 수 있다.

따라서, 위상·주파수 비교기에 의한 위상 잡음을 줄이기 위하여 높은 동작 주파수에서 비교기가 동작되도록 주파수 합성기를 설계하여야 한다.

3-3 저역 통과 필터(LPF)

저역 통과 필터는 위상·주파수 비교기에서 발생하는 전압 제어 발진기의 DC 제어 신호를 여과하는 것으로 수동 필터 또는 능동 필터 구조를 갖는다. 위상 잡음은 저역 통과 필터를 구성하는 수동 소자와 능동 소자에 의한 잡음으로 발생되며, 저항과 OP amp의 잡음 영향을 받는다. 저역 통과 필터에서 발생하는 잡음에 의한 영향은 그림 4에서 설명할 수 있다.

저항 R로부터 발생하는 잡음(V_R)은 식 (9)와 같이 표현할 수 있으며,

$$V_R(R) = \sqrt{4 \times k \times T \times R \times \text{Hz}} \quad (V_{RMS})$$

k : Boltzman's constant, T : Temperature in Kelvins (9)

그림 4는 입력 전압 V_A , V_R 에 의해 전압 제어 발진기 주파수가 변하므로, 잡음 신호에 의해 주파수 변조 신호가 발생하는 FM 신호 발생 장치로 해석할 수 있다.

위상 변조 지수를 구하기 위하여 최대 주파수 변위($\Delta f_{peak-peak}$)를 구하면, 식 (9)와 같은 입력 신호와 전압 제어 발진기 이득 계수 (K_{VCO})에 의해 주파수 변위가 발생한다.

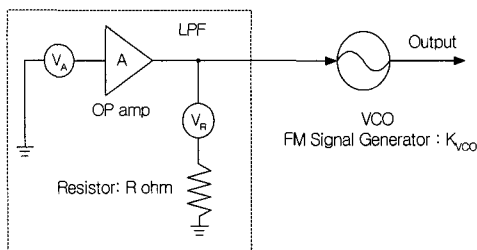


그림 4. LPF의 위상 잡음 분포 소자와 VCO의 관계
Fig. 4. Relation between VCO and components with phase noise contribution in LPF.

$$\Delta f_{peak-peak} = \sqrt{2} \times V_R(R) \times K_{VCO} \quad (Hz) \quad (10)$$

여기서, 진폭 이득 A를 갖는 능동 소자에 의한 입력 잡음과 저항에 의한 잡음에 대하여 중첩의 원리를 적용하여 위상 잡음을 구할 수 있다.

$$S_{\phi,LPF}(f) \quad (dBc/Hz)$$

$$= 20 \log \left\{ \frac{\sqrt{2} V_R(R) K_{VCO}}{2f} \right\}$$

$$+ 20 \log \left\{ \frac{\sqrt{2} V_A A K_{VCO}}{2f} \right\} \quad (11)$$

IV. 주파수 합성기의 위상 잡음 전달 함수 및 잡음 예측

4-1 주파수 합성기와 LPF 전달 함수

주파수 합성기를 설계, 제작하기 위하여 현재 널리 사용되고 있는 전하 펌프(charge pump) 위상·주파수 비교기를 갖는 PLL 회로를 사용한다. 이상적으로 위상·주파수 비교기와 전하 펌프는 PLL 회로의 저역 통과 필터를 수동형으로 구현하여도 무한한 DC 이득을 가질 수 있게 한다^{[14]-[16]}. 따라서, 수동형 저역 통과 필터로 구성하여도 2형 필터 응답(Type-II reponse)과 같은 특성을 갖는다. 일반적으로 2형 필터 특성은 영(零)의 정적(static) 위상 에러를 갖기 위하여 DC 이득이 큰 능동형 저역 통과 필터로 구성된다.

그림 3(b)와 같은 구조를 갖는 주파수 합성기는 그림 5와 같이 수동형 저역 통과 필터를 갖는 전하 펌프 PLL 구조로 구성될 수 있다.

위상·주파수 비교기에서 발생하는 위상 비교 디지털 신호는 전하 펌프에서 전압 제어 발진기 제어 신호인 아날로그 신호로 변환된다. 아날로그 신호에는 비교기 고차 모드 신호가 포함되어 있으므로 저역 통과 필터에 의해 제거되어야 하며, 비교기 동작 주파수에 위치하는 아날로그 신호에 의해 주파수 합성기 출력신호에 근접한 스퓨리어스 신호가 발생되므로, 제 2 차 저역 통과 필터(R_2, C_3)에 의해 해당 아날로그 신호를 제거할 수 있다. 이러한, 3차 필터 전달 함수를 갖는 루프 필터의 전달 함수는 식 (12)와 같다.

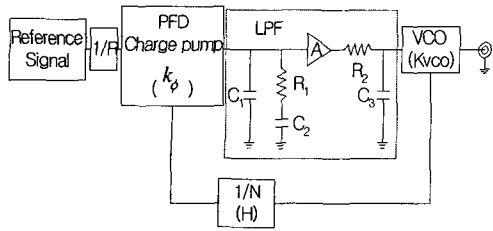


그림 5. 전하 펌프 PLL을 갖는 주파수 합성기 구조
Fig. 5. Configuration of frequency synthesizer with charge pump PLL.

$$Z_{3rd}(f) = \frac{Z_{2nd}(f) \times \frac{1}{j2\pi f C_3}}{Z_{2nd}(f) + R_2 + \frac{1}{j2\pi f C_3}}$$

$$Z_{2nd}(f) = \frac{1 + j2\pi f R_1 C_2}{j2\pi f \times (C_2 + C_1 + j2\pi f R_1 C_1 C_2)} \quad (12)$$

입력 주파수에 비해 작은 PLL 대역폭과 위상 에러가 작은 경우, 선형성과 연속 시간 점근법(continuous time approximation)을 이용하여 전하 펌프 PLL을 해석한다. 즉, PLL 회로의 개방 루프 이득과 정규화된(normalized) 폐 루프 이득 함수는 간단히 식 (13)과 같이 정의할 수 있다.

$$G_o(f) = G(f) \times H$$

$$G_c(f) = \frac{G(f)}{1 + G(f) \times H} \times H \quad (13)$$

여기서, 순방향 루프 이득($G(f)$)과 역방향 루프 이득(H)은, $G(f) = \frac{K_\phi Z_{3rd}(f) K_{VCO} A}{j2\pi f} \times G_{pd}(f)$, $H = \frac{1}{N}$ 이며, 위상·주파수 비교기 이득 함수는 비교기 동작 주파수($f_{pd,op}$)에 대하여

$$G_{pd}(f) = \frac{1 - \exp\left(\frac{-j2\pi f}{f_{pd,op}}\right)}{\frac{j2\pi f}{f_{pd,op}}} \text{이다.}$$

또한, 그림 5에서 저역 통과 필터의 잡음원인 저항 R_1 , R_2 에 의한 전달 함수를 구하기 위하여 다음과 같이 임피던스를 정의한다.

$$Z_{C_1}(f) = \frac{1}{j2\pi f C_1}, \quad Z_{R_1 C_1}(f) = R_1 + \frac{1}{j2\pi f C_2}$$

$$Z_{C_2}(f) = \frac{1}{j2\pi f C_3}, \quad Z_{R_2 C_2 C_3}(f) = \frac{Z_{C_2}(f) \times (R_3(f) + Z_{C_3}(f))}{Z_{C_2}(f) + (R_3(f) + Z_{C_3}(f))} \quad (14)$$

식 (9)와 (14)로부터 전압 제어 발진기 입력 단으로의 저항 R_2 잡음의 전달 함수는

$$V_{n,R_2}(f) = V_R(R_2) \times \frac{Z_{R_2 C_2 C_3}(f)}{Z_{R_2 C_2 C_3}(f) + Z_{R_2 C_2 C_3}(f)} \times \frac{Z_{C_2}(f)}{R_3 + Z_{C_2}(f)}$$

for no amp gain

$$V_{n,R_2}(f) = V_R(R_2) \times A \times \frac{Z_{C_2}(f)}{Z_{R_2 C_2 C_3}(f) + Z_{C_2}(f)} \times \frac{Z_{C_2}(f)}{R_3 + Z_{C_2}(f)}$$

for amp gain A

(15)

이며, 저항 R_3 에 의한 전달 함수는

$$V_{n,R_3}(f) = V_R(R_3) \times \frac{Z_{C_3}(f)}{Z_{R_1 R_2 C_2 C_3}(f) + Z_{C_3}(f)} \text{ with no amp}$$

$$V_{n,R_3}(f) = V_R(R_3) \times \frac{Z_{C_3}(f)}{R_3 + Z_{C_3}(f)} \text{ with amp} \quad (16)$$

이며, 여기서

$$Z_{R_1 R_2 C_2 C_3}(f) = \frac{\frac{1}{j2\pi f C_1} \times \left(R_1 + \frac{1}{j2\pi f C_2}\right)}{R_1 + \frac{1}{j2\pi f C_1} + \frac{1}{j2\pi f C_2}} + R_2$$

이다.

그림과 같은 능동형 저역 통과 필터를 구성할 경우, 능동 소자의 잡음 V_A 은 R_2 와 C_3 소자에 의해 식 (17)과 같이 정형화된다.

$$V_{n,amp}(f) = V_A \times A \times \frac{Z_{C_3}(f)}{R_2 + Z_{C_3}(f)} \quad (17)$$

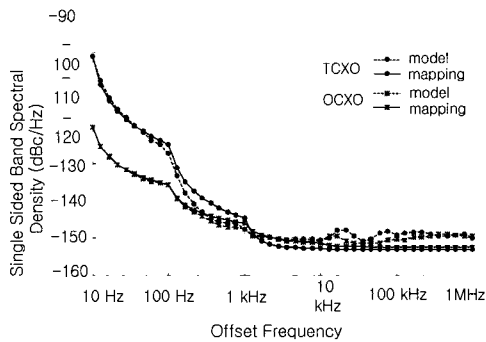
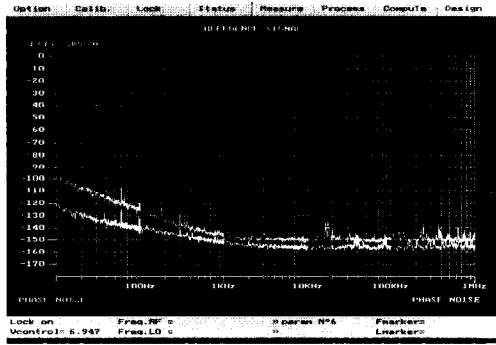
4-2 주파수 합성기 제작 및 위상 잡음 측정

주파수 합성기는 표 1과 같은 파라미터를 사용하여 설계 제작하였다. 200 kHz 주파수 선택과 S 대역 출력 주파수를 갖는 주파수 합성기는 10 MHz TCXO(Temperature Controlled Crystal Oscillator) 또는 OCXO(Oven Controlled Crystal Oscillator) 기준 주파수 신호 발진기를 사용한다.

기준 신호 발진기와 전압 제어 발진기의 위상 잡음 특성은 곡선 적합(curve fitting)을 사용하여 식 (4)의 주파수 기울기 특성을 갖는 위상 잡음 성분으로 모델링한다. 그림 6과 그림 7은 이와 같이 모델링된 기준 신호 발진기와 전압 제어 발진기 위상 잡음 성분과 위상 잡음 성분들의 계수를 나타내고 있다. 따라서, 위상 잡음 전압 성분은 그림 6과 그림 7의 $N_{ref}(f)$ 와 $N_{VCO}(f)$ 로 나타낼 수 있다.

표 1. 주파수 합성기의 설계 파라미터
Table 1. Design parameters of frequency synthesizer.

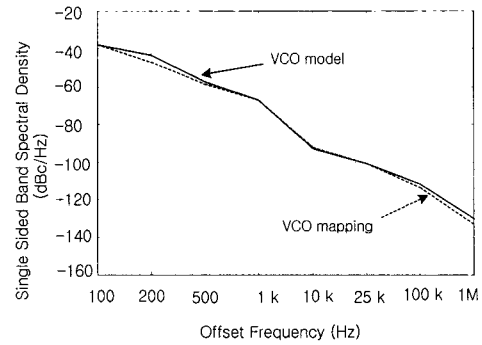
Parameter	Value
Output frequency	2.5 GHz
Comparator operating frequency	200 kHz
VCO gain	68.4 MHz/V
Phase · Frequency comparator gain	1 mA
Phase margin	55°
Reference frequency	10 MHz
TCXO / OCXO	Custom
VCO	Murata
Phase · Frequency comparator noise	-210 dBc/Hz
Loop bandwidth	5 kHz, 10 kHz



$$N_{ref}(f) = \left(\frac{k_3}{f^3} + \frac{k_2}{f^2} + \frac{k_1}{f} + k_0 \right)^{0.5}$$

그림 6. TCXO와 OCXO의 위상 잡음 모델
Fig. 6. Phase noise model for TCXO and OCXO.
($k_3=5.06138 \times 10^{-8}$, $k_2=2.88317 \times 10^{-9}$,
 $k_0=0.5 \times 10^{-15}$: for TCXO
 $k_2=7.85129 \times 10^{-11}$, $k_1=1.9156 \times 10^{-12}$,
 $k_0=5.62095 \times 10^{-16}$: for OCXO)

Offset frequency (Hz)	PSD of phase noise (dBc/Hz)
100	-38
200	-43
500	-57
1000	-67
10000	-93
25000	-101
100000	-112
1000000	-122



$$N_{VCO}(f) = \left(\frac{k_3}{f^3} + \frac{k_2}{f^2} + \frac{k_1}{f} + k_0 \right)^{0.5}$$

그림 7. VCO의 위상 잡음 모델
Fig. 7. Phase noise model for VCO.
($k_3=153.93$, $k_2=0.0455952$)

분주기의 위상 잡음 모델은 식 (5)와 사용하는 위상 · 주파수 PLL의 분주기 특성으로부터 적합한 계수를 사용하여 잡음 전압 크기를 모델링한다. 또한, 저역 통과 필터의 잡음 성분 잡음 $N_{R_1}(f)$, $N_{R_2}(f)$ 성분들은 저항 R_1 와 R_2 로부터 발생하는 잡음이 전압 제어 발진기로 전달되는 잡음 전달 특성 식 (15)와 (16)을 이용하여 발생하는 위상 잡음 크기를 구하는 식 (11)을 적용하여 모델링한다. 따라서, 주파수 합성기의 잡음을 포함한 주파수 합성기의 위상 잡음은 식 (2)를 이용하여 다음과 같이 표현할 수 있다.

$$S_{\phi, FS}(f) = 10 \log \left[\left| N_{ref}(f) \cdot G_c(f) \cdot \frac{N}{R} \right|^2 + \left| N_{VCO}(f) \cdot \frac{1}{1+G_o(f)} \right|^2 + |N_{R_1}(f)|^2 + |N_{R_2}(f)|^2 + |(N_{pd}(f) + N_{DN}(f) + N_{DR}(f)) \cdot G_c(f) \cdot M|^2 \right] \quad (18)$$

여기서, $N_{pd}(f)$ 는 식 (8)로부터 위상 비교기에서 발생하는 위상 잡음 크기를 나타낸 것으로, 설계하

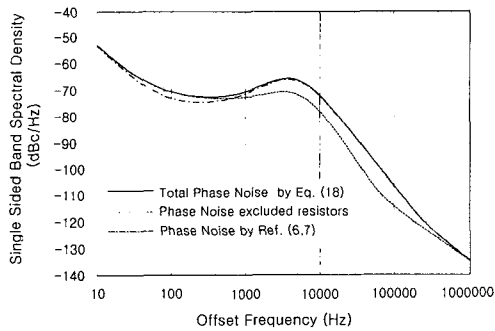


그림 8. 저항과 주파수 분주기를 포함하는 주파수 합성기의 위상 잡음 특성
 Fig. 8. Phase noise characteristics of frequency synthesizer including resistor and frequency divider effects(loop bandwidth: 5 kHz).

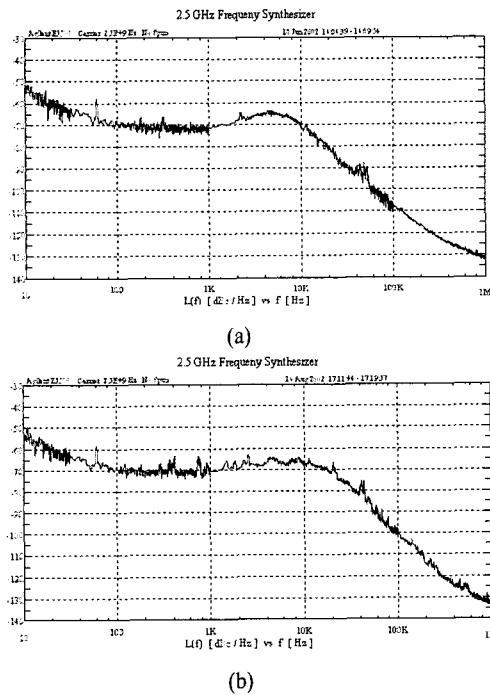


그림 9. (a) 5 kHz 대역폭과 (b) 10 kHz 대역폭에 대한 주파수 합성기의 측정된 위상 잡음 특성
 Fig. 9. Measured phase noise characteristics of frequency synthesizer for (a) bandwidth of 5 kHz and (b) bandwidth of 10 kHz.

는 표 1의 주파수 합성기 출력 주파수 신호와 비교기의 동작 주파수 그리고 비교기의 성능 지수 (FOM) 값을 사용한다.

그림 8은 저역 통과 필터(LPF)를 구성하는 저항

성분 영향을 고려하지 않을 경우와 분주기 잡음을 모델링하지 않았을 경우, 그리고, 식 (18)을 적용하여 위상 잡음을 예측한 경우의 위상 잡음 특성을 나타내고 있다. 그림으로부터 저역 통과 필터를 구성하는 저항의 잡음을 고려하지 않을 경우에는 오프셋 주파수가 높은 영역에서 차이가 발생하며, 주파수 분주기를 고려하지 않은 경우에는 중간 오프셋 주파수 영역에서 위상 잡음의 차이가 발생함을 알 수 있다. 따라서, 식 (18)을 적용하여 보다 더 정확하게 주파수 합성기의 위상 잡음스펙트럼 분포 특성을 예측할 수 있음을 알 수 있다.

그림 9는 설계 제작된 주파수 합성기의 위상 잡음을 측정된 결과이며, 그림 10은 측정된 주파수 합성기의 위상 잡음과 주파수 합성기 위상 잡음 예측 모델 식 (18)에 의한 결과를 비교한 것이다.

그림 10으로부터 측정된 위상 잡음과 식 (18)으로부터 예측한 데이터가 일치하고 있음을 알 수 있

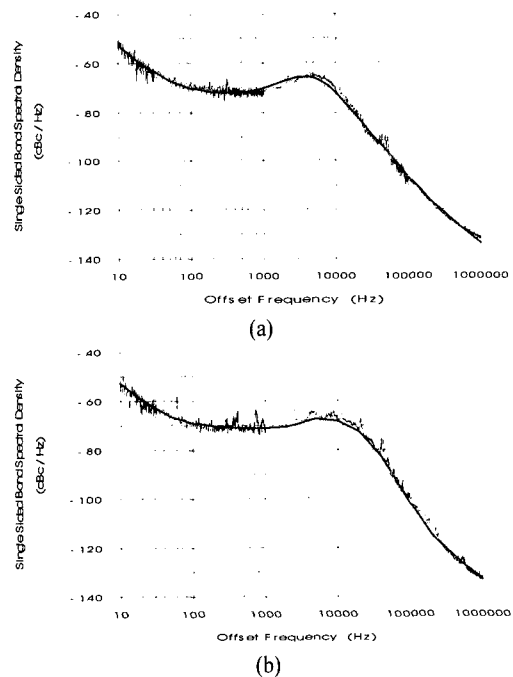


그림 10. (a) 5 kHz 대역폭과 (b) 10 kHz 대역폭에 대한 측정된 위상 잡음과 계산된 위상 잡음 특성

Fig. 10. Measured and calculated phase noise characteristics for (a) bandwidth of 5 kHz and (b) bandwidth of 10 kHz(solid line is calculated data by eq.(3~20)).

다. 루프 대역폭 5 kHz를 갖는 주파수 합성기의 측정 위상 잡음은 예측 데이터와 1 kHz~10 kHz 오프셋 주파수 영역에서 측정 범위 오차 2 dB 이내의 일치성을 보이며, 10 kHz 대역폭에 대한 합성기의 위상 잡음 특성 또한 1~2 dB 이내의 오차 범위내에서 계산한 결과와 일치하고 있다.

V. 결 론

본 논문에서는 위성통신 시스템에서 사용하는 주파수 합성기의 위상 잡음원을 분석하고 위상 잡음을 예측할 수 있는 모델을 제안하였다. 발진기의 위상 잡음 스펙트럼 분포 모델을 이용하여 기준 신호 발진기와 전압 제어 발진기 위상 잡음을 모델링하고, 저역 통과 필터와 분주기의 위상 잡음 성분을 포함하여 보다 정확히 주파수 합성기의 위상 잡음 스펙트럼 분포 특성을 예측할 수 있는 모델을 정립하였다. 저역 통과 필터의 위상 잡음 분포 특성을 고려하지 않은 모델과는 높은 오프셋 주파수 영역에서 10 dB 정도의 큰 차이를 보였으며, 분주기 위상 잡음을 고려하지 않은 모델과는 중간 오프셋 주파수 영역에서 약 4 dB 정도의 위상 잡음 차이를 나타내었다.

제안된 예측 모델은 주파수 합성기를 제작하여 평가하였으며, 측정된 결과와 1~2 dB 정도의 측정 오차 범위 이내의 정확도를 나타내었다. 따라서, 주파수 합성기 위상 잡음 예측 모델을 통하여 위성통신 시스템에서 사용하는 주파수 합성기의 위상 잡음 스펙트럼 분포 특성을 예측하고 평가할 수 있었다.

참 고 문 헌

- [1] Volker Gungerich, Franz Zinkler, Werner Anzill and Peter Russer, "Noise Calculations and Experimental Results of Varactor Tunable Oscillators with Significantly Reduced Phase Noise", *IEEE Trans. on Microwave theory and Techniques*, vol. 43, no. 2, pp. 278-285, Feb. 1995.
- [2] Chang-Li Chen, Xing-Nan Hong and Bao-Xin Gao, "A New and Efficient Approach to the Accurate Simulation of Phase Noise in Microwave MESFET Oscillators", *Microwave and Optoelectronics Conf.*, vol. 1, pp. 230-234, 1995.
- [3] E. N. Ivanov, M. E. Tobar and R. A. Woode, "Ultra-Low-Noise Microwave Oscillator with Advanced Phase Noise Suppression System", *IEEE Microwave and Guided Wave Letters*, vol. 6, no. 9, pp. 312-314, Sep. 1996.
- [4] Ben Hitch, Tom Holden, "Phase Locked DRO/CRO for Space Use", *International Frequency Control Symposium*, Issue 51, pp. 1015-1023, 1997.
- [5] William E. Rischpater, "Predict PLL Phase Noise from Oscillator Data", *Microwaves & RF*, vol. 26, no. 4, pp. 117-120, 1987.
- [6] Lance Lascari, "Accurate Phase Noise Prediction in PLL Synthesizers", *Applied Microwave & Wireless*, vol. 12, no. 4, pp. 30-41, 2000.
- [7] Andreas Lehner, Robert Weigel, Dieter Sewald and Ali Hajimiri, "Design of a Novel Low-Power 4th-Order 1.7 GHz CMOS Frequency Synthesizer for DCS-1800", *International Symposium on Circuits and Systems*, vol. 5, pp. 637-644, 2000.
- [8] Venceslav F. Kroupa, "Jitter and Phase Noise in Frequency Dividers", *IEEE Trans. on Instrumentation and Measurement*, vol. 50, no. 5, pp. 1241-1243, 2001.
- [9] W. C. Lindsey, M. K. Simon, *Telecommunication Systems Engineering*, Prentice-Hall, NJ, 1972.
- [10] J. J. Stiffler, *Theory of Synchronous Communications*, Prentice-Hall, 1971.
- [11] Venceslav F. Kroupa, "Noise Properties of PLL Systems", *IEEE Trans. on Communications*, vol. COM-30, no. 10, pp. 2244-2252, Oct. 1982.
- [12] D. B. Leeson, "Simple Model of Feedback Oscillator Noise Spectrum", *Proc. IEEE*, pp. 329, Feb. 1966.
- [13] P. V. Brennan, I. Thompson, "Phase/ Frequency Detector Phase Noise Contribution in PLL Frequency Synthesizer", *Electronics Letters*, vol. 37, no. 15, pp. 939-940, 2001.

[14] Floyd M. Gardner, "Charge-Pump Phase-Lock Loops", *IEEE Trans. on Communications*, vol. COM-28, no. 11, pp. 1849-1858, Nov. 1980.
[15] Jae-Shin Lee, Min-Sun Keel, Shin-Il Lim and Suki Kim, "Charge Pump with Perfect Current Matching Characteristics in Phase-Locked Loops",

Electronics Letters, vol. 36, no. 23, pp. 1907-1908, 2000.

[16] M. J. Burbidge, A. M. Richardson, "Simple Digital Test Approach for Embedded Charge-Pump Phase-Locked Loops", *Electronics Letters*, vol. 37, no. 22, pp. 1318-1319, 2001.

김 영 완



1983년 2월: 경북대학교 공과대학 전자공학과 (공학사)
1985년 2월: 경북대학교 대학원 전자공학과 (공학석사)
2003년 2월: 충남대학교 대학원 전자공학과 (공학박사)
1992년~현재: 한국전자통신연구원

초고속위성통신연구팀

[주 관심분야] 디지털 전송, 디지털 위성통신/방송시스템, Microwave devices 등

박 동 철



1974년 2월: 서울대학교 공과대학 전자공학과 (공학사)
1976년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
1984년 12월: University of California, Santa Barbara (공학박사)
1976년~현재: 충남대학교 공과대학 전파공학과 교수

1977년~1978년: Ruhr University, Bochum, Germany, 방문교수

1994년~1998년: IEEE MTT Korea Chapter Chairperson
1994년~2001년: IEEE EMC Korea Chapter Chairperson
2000년~2001년: 한국전자파학회 회장

[주 관심분야] Microwave and millimeter-wave passive devices, EMC/EMI topics, and Antennas