

論文2003-40SD-8-2

# 단거리전용통신을 위한 5.8GHz대역 LNA MMIC 설계 및 구현

## (The Design and implementation of a 5.8GHz band LNA MMIC for Dedicated Short Range Communication)

文泰廷\*, 黃成凡\*, 金勇圭\*\*, 宋政根\*\*\*, 洪昌憲\*\*\*

(Tae Jung Moon, Sung Bum Hwang, Yong Kyu Kim, Chung Kun Song, and Chang Hee Hong)

### 요약

본 논문에서 단거리전용통신을 위한 차량탑재장치내의 수신단 전반부의 구성부품인 5.8GHz대역 LNA를 MMIC로 설계 및 구현하였다. 설계된 LNA는 두개의 능동소자와 매칭회로, 두개의 드레인 바이어스 회로로 구성되며, 3V의 단일공급전압에서 18mA의 소비전류로 동작한다. 중심주파수 5.8GHz에서 이득 13.4dB, NF 1.94dB, Input IP3 -3dBm,  $S_{11}$  -18dB,  $S_{22}$  -13.3dB의 특성을 나타내며, 제작된 회로의 실제 크기는  $1.2 \times 0.7 \text{mm}^2$  이다.

### Abstract

In this paper, we have designed and implemented by a monolithic microwave integrated circuit(MMIC) of a 5.8GHz-band low noise amplifier (LNA) composed of receiver front-end(RFE) in a on-board equipment system for dedicated short range communication. The designed LNA is provided with two active devices, matching circuits, and two drain bias circuits. Operating at a single supply of 3V and a consumption current of 18mA, The gain at center frequency 5.8GHz is 13.4dB, NF is 1.94dB, Input IP3 is -3dBm,  $S_{11}$  is -18dB, and  $S_{22}$  is -13.3dB. The circuit size is  $1.2 \times 0.7 \text{mm}^2$ .

**Keyword** : DSRC, MMIC, LNA, OBE, RFE

\* 正會員, 慶南情報大學 電子情報通信系列  
(Dept. of Electrical Information Communication Control,  
Kyung-Nam Collage of Information & Technology)

\*\* 正會員, 거창機能大學 메카트로닉스과  
(Dept. of Mechatronics, Geo-Chang Polytechnic College)

\*\*\* 正會員, 동아大學校 電子工學科  
(Dept. of Electrical Electronics Computing Engineering,  
Dong-A University)

※ 본 연구는 한국과학재단지정 동아대학교 지능형통합 항만관리연구센터의 지원에 의하여 연구 수행되었습니다.

接受日字:2002年11月12日, 수정완료일:2003年8月8日

### I. 서론

90년대 이후 자동차의 급격한 대중화로 인하여 교통 혼잡, 인명 피해, 대기오염 등의 부작용이 사회문제로 대두되고 교통 혼잡으로 인한 경제적 손실과 물류비용의 증가는 기업의 국가 경쟁력을 약화시키는 주요 원인으로 작용하고 있으며, 보다 향상된 운송효과를 기대할 수 있는 지능형교통시스템(ITS)의 도입이 필요하게 되었다<sup>1,2)</sup>. 이러한 ITS를 성공적으로 추진하기 위해서는 지금까지 발전된 정보통신 기술을 이용한 단거리전

용통신(DSRC: Dedicate Short Range Communication) 기술이 그 대안으로 떠오르고 있다.

이 기술은 통신 반경이 수미터에서 수백 미터인 도로변 기지국 장치와 이 통신영역을 통과하는 차량 탑재 장치들 사이에 이루어지는 점대점(Point-to-Point) 또는 점대다점(Point-to-Multipoint) 양방향 고속통신 기술이다. DSRC 방식을 이용한 ITS 서비스가 조기에 정착되고, 시장에서 경쟁력을 확보하기 위해서는 차량 탑재장치(OBE: On-Board Equipment)의 저가격화, 소형화를 최우선적으로 해결 해야하며, 이를 위해서는 차량 탑재 장치 내부의 고주파 회로의 MMIC화가 요구되어 진다<sup>3,6)</sup>.

단거리전용 무선통신을 위한 차량탑재장치의 RFE (Receiver Front-end) 구성도를 <그림 1>에 나타냈다. RFE는 LNA, Filter(Image Rejection Filter) Mixer로 구성되며, LNA는 안테나에 의해 선택적으로 수신된 5.8GHz 대역의 미약한 신호를 잡음 없이 증폭하기 위해 사용된다. Filter는 수신된 이미지 성분을 제거하기 위해 사용되며, Mixer는 Filter에서 출력된 5.8GHz대역에 실린 신호를 LO의 5.84GHz와 혼합되어 40MHz대의 IF로 Down Conversion 시키기 위해 사용된다.

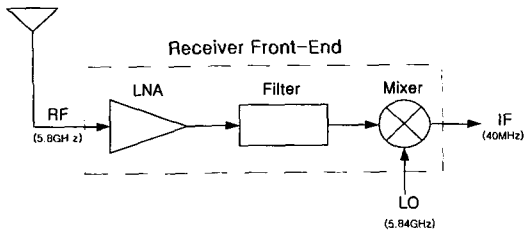


그림 1. RFE의 구성도  
Fig. 1. Block diagram of the RFE.

본 논문에서는 차량탑재장치의 구성요소이면서 전체수신단의 잡음특성을 결정할 수 있는 주요부품인 LNA를 설계하였으며, 특히 수신단의 중요파라미터인 NF특성이 좋도록 노력하였다. 회로설계는 ADS 툴을 이용하여 설계 및 시뮬레이션을 실시하고 Mento 툴을 이용하여 One-Chip으로 Layout 설계를 하였으며, Chip은 ETRI 0.5 $\mu$ m GaAs MESFET 공정을 통해서 제작하였다.

## II. 회로설계 및 제작

LNA는 NF 특성과  $IP3$ , 이득, 입출력 반사손실, 안

정도 등이 좋아야한다. 그러나 이들 파라미터간에는 Trade off 관계에 있으므로 이를 충분히 고려하여 설계 해야하며, 본 연구에서는 이들 특성을 만족하게 하기 위하여 GaAs MESFET를 이용하여 공통소스단 2단 LNA 구조로 설계하였으며, 두 단은 Self-biasing으로 동작하도록 설계하여 DC 3.0V 단일 전압만으로도 동작이 가능하도록 하였다. 설계에 사용된 GaAs MESFET의 특성을 <표 1>에 나타내며<sup>7)</sup>, 최종 설계된 회로도를 <그림 2>에 나타냈다.

표 1. GaAs MESFET의 주요 특성  
Table 1. Major characteristics of a GaAs MESFET.

| 항 목                                     | Min. | Max. |
|---|------|------|
| $V_{th}[V]$                             | -0.7 | -0.5 |
| $I_{dss}[mA]$                           | 8    | 12   |
| $g_m[mS]$<br>at $V_{gs}=0V$             | 30   | 38   |
| $NF_{min}[dB]$<br>at 2GHz, $0.5I_{dss}$ | 0.07 | -    |

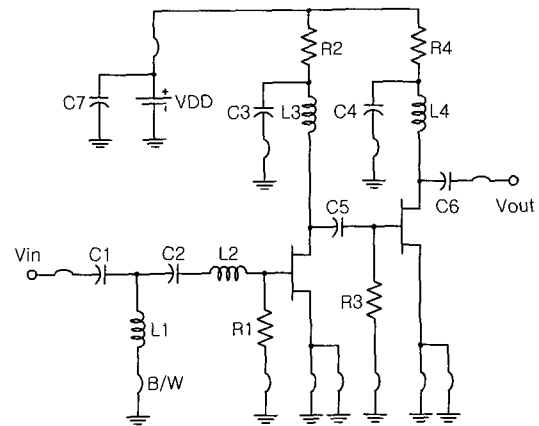


그림 2. 설계한 LNA 회로도  
Fig. 2. Circuit diagram of the designed LNA.

<그림 2>에서 LNA의 Noise 특성은 첫번째단에 의해서 거의 결정되므로 첫번째단 증폭기는 임피던스 정합과 잡음 정합을 동시에 시킬 수 있도록 C-L-C 구조에 L2를 추가하여 미세 조정을 통한 최적화로 설계하였고, 첫번째단과 둘째단의 드레인 단자에 연결된 L3과 L4는 출력단의 임피던스매칭과 RF Choke 필터로 작용하여 직류전원으로 유입되는 RF 성분을 제거하는 역할을 겸

하여 안정도를 향상하기 위하여 사용하였다. 각각의 소스단에는 Bonding Wire의 특성을 이용하여 Degeneration 소자 역할을 겸하도록 하여 선형성과 안정성을 개선하기 위한 방법으로 사용하였다. 각 단자에 부착된 wire는 시물레이션의 특성과 실제 칩제조시 (Package)의 동작 특성의 오차를 최소화하기 위하여 칩제조시의 Bonding wire의 특성을 고려하여 부착하였다. <그림 3>에 ETRI MMIC 공정의 Design Rule 맞도록 Layout한 내용을 나타냈다. 본 연구를 통해 제작되는 저잡음 증폭기의 Active 소자는 ETRI에서 제공하는 0.5 $\mu$ m GaAs MESFET을 선정하였으며, Passive 소자로는 니켈-크롬(NiCr) 박막저항, 이온주입(Ion Implanted) 저항, MIM(Metal-Insulator-Metal) 커패시터, 나선형(Spiral) 구조의 인덕터로 구성된다. Bonding wire의 연결을 위한 PAD 크기는 100 $\mu$ m $\times$ 100 $\mu$ m으로 설계하였으며, Signal PAD간의 Crosstalk 성분을 최소화할 수 있도록 하기 위하여 Ground PAD를 사용하여 Shielding 효과를 얻을 수 있도록 설계하였다.

<그림 4>에 공정을 통해 구현된 LNA MMIC 사진을 나타냈으며, LNA 회로의 Chip 크기는 1.2mm $\times$ 0.7mm이다.

본 연구를 통해 제작된 MMIC를 측정하기 위하여 지그(JIG)를 설계 및 제작하였다. 제작된 지그(JIG)의 재질은 동(Cu)을 사용하였고, 크기는 가로47mm $\times$ 세로42mm이다. <그림 5>에 완성된 제품의 형상을 나타냈으며, 제품의 구성은 측정을 위한 SMA 컨넥터 2개, 직

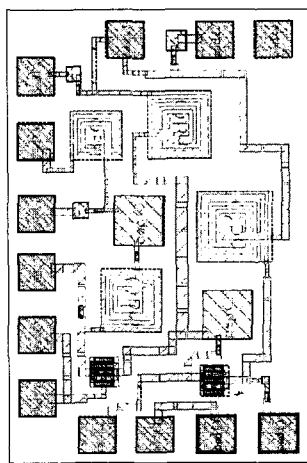


그림 4. 설계된 LNA의 Layout  
Fig. 3. Layout of the designed LNA.

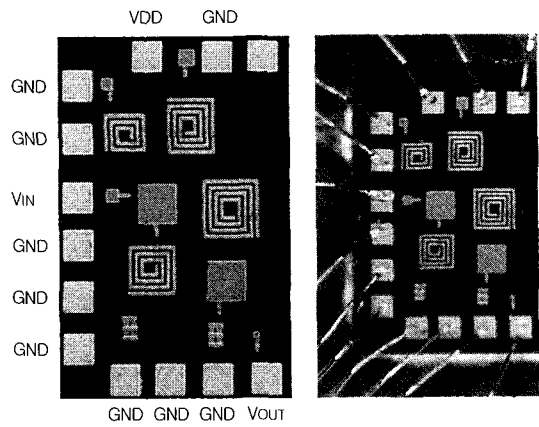


그림 4. 제작된 LNA MMIC의 사진(1.2mm $\times$ 0.7mm)  
Fig. 4. Photograph of the fabricated LNA MMIC (1.2mm $\times$ 0.7mm)

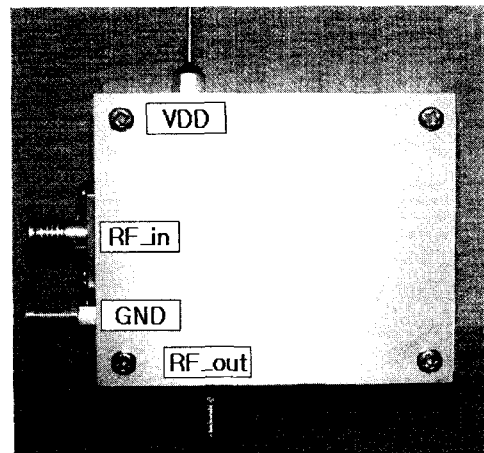


그림 5. 제작된 JIG 사진  
Fig. 5. Photograph of the fabricated JIG.

류 전원 공급 및 바이패스용 DC 필터 1개, 접지용 단자 1개로 되어있다.

### III. 측정 결과 및 고찰

<그림 6>과 <그림 7>은 LNA의 입력반사손실과 출력반사손실을 측정한 결과이며, 중심주파수가 5.8GHz에서 각각 -18dB와 -13dB로 나타났다. 전형적으로 입력반사손실이 -15dB이하임을 고려할 때<sup>[8]</sup>, 입력반사손실의 경우 목표값은 만족하였으나 출력반사손실의 경우 약간 낮게 나타났으며, 그 원인으로는 LNA를 구성하는 모든 수동소자를 One-chip 상태로 설계한 결과 상대적으로 소자값을 크게 가져가지 못했고, 회로 시물

레이션과정에서 Bonding wire의 특성을 고려하여 시물레이션을 하였으나 실제 Bonding시 wire 길이의 증가로 인한 기생적인 인덕턴스 성분이 출력단에서 발생되어 매칭에 일부 영향을 미친것으로 분석된다.

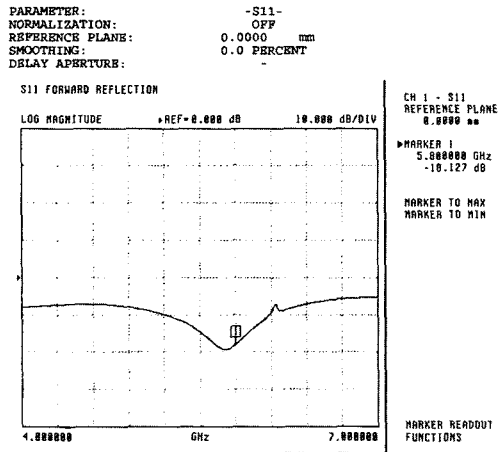


그림 6. 설계한 LNA의 입력반사손실(S<sub>11</sub>)  
Fig. 6. Input return loss(S<sub>11</sub>) of the designed LNA.

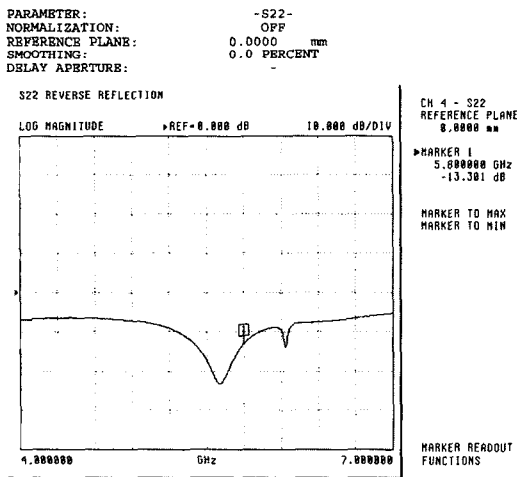


그림 7. 설계한 LNA의 출력반사손실(S<sub>22</sub>)  
Fig. 7. Output return loss(S<sub>22</sub>) of the designed LNA.

<그림 8>은 LNA의 Gain과 NF를 실험한 결과를 나타냈다. 실험 결과, 이득은 13.4dB이고, NF는 1.94dB로 나타났으며, 전형적으로 2단 LNA의 경우 Gain이 15dB 내외가 됨을 고려할 때 적당한 값이며, NF는 LNA에 요구되는 전형값인 2dB이하를 만족하는 양호한 특성을 보여주고 있다<sup>[8]</sup>.

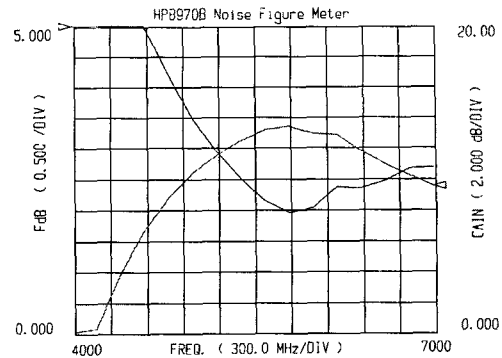


그림 8. 설계한 LNA의 잡음지수와 이득  
Fig. 8. NF and Gain of the designed LNA.

<그림 9>와 <그림 10>은 LNA의 선형특성을 보기 위해서 입력 Power가 -30dBm일 때 Two-tone Test한 결과 및 IIP3점을 각각 나타내고 있다. 측정결과 IMD가 -48.67dBc, IIP3가 -3dBm으로 나타났다.

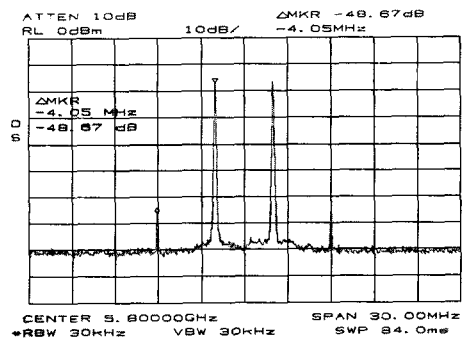


그림 9. 설계한 LNA의 IMD  
Fig. 9. IMD of the designed LNA.

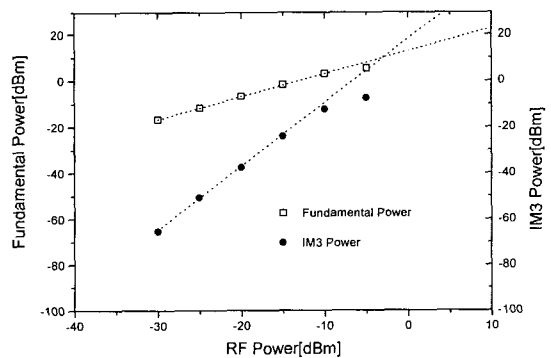


그림 10. 설계한 LNA의 IIP3  
Fig. 10. IIP3 of the designed LNA.

<표 2>는 본 연구에서 설계된 LNA와 전형적인

LNA 특성과 기존에 발표된 LNA 특성을 비교한 내용을 나타냈다. 사용하는 능동소자가 다르기 때문에 정확한 비교는 어렵지만 특성을 분석하는데는 참조가 될 수 있을 것으로 판단된다.

표 2. LNA의 주요 특성 비교표  
Table 2. Major characteristics of implemented and conventional LNAs.

| 파라미터<br>SMTL              | Freq<br>(GHz) | NF<br>(dB) | IIP3<br>(dBm) | Gain<br>(dB) | Supply<br>Voltage<br>(V) |
|---------------------------|---------------|------------|---------------|--------------|--------------------------|
| Typical <sup>[8]</sup>    | -             | 2↓         | -10↑          | 15↑          | -                        |
| Reference <sup>[9]</sup>  | 5             | 1.9        | 5             | 11           | 3                        |
| Reference <sup>[10]</sup> | 5.5           | 1.8        | -6            | 16.5         | 1                        |
| Reference <sup>[11]</sup> | 5.8           | 3.3        | -             | 6.9          | 3                        |
| Designed LNA              | 5.8           | 1.94       | -3            | 13.4         | 3                        |

#### IV. 결 론

본 연구를 통해 단거리전용통신을 위한 OBE 시스템의 RFE 구성요소중 하나인 5.8GHz 대역의 저잡음증폭기를 ETRI의 0.5 $\mu$ m GaAs MESFET을 사용하여 최적으로 설계하고 공정을 통하여 MMIC로 구현하였으며, LNA MMIC의 동작특성을 실험을 통하여 확인하였다. 제작된 LNA MMIC의 실험을 위해 지그(JIG)를 설계 및 제작하였으며, 실험결과 DSRC 시스템이 단거리임을 감안할 경우 잡음특성이 양호한 것으로 판단되며, 이는 회로 설계할 때부터 설계값과 실제 칩제조시의 동작 특성의 오차를 최소화하기 위하여 Bonding wire의 특성을 고려하였기 때문으로 분석되었다. 향후 MMIC의 설계시 공정 및 Package 파라미터를 최대한 고려한다면 GaAs MESFET 소자를 이용하여 5.8GHz 대역의 양질의 LNA MMIC의 제작이 가능할 것으로 사료된다.

향후 DSRC용 OBE 시스템의 수신단 전단부(Receiver Front-End) 전체를 RF 모듈화 하기 위한 연구를 수행중에 있다.

#### 참 고 문 헌

[1] "ITS 고속 무선패킷통신 시스템 개발에 관한 연구", 한국전자통신연구원, 12. 1999  
[2] "DSRC를 이용한 ETC 서비스 및 ITS 서비스

방안 정립" 한국전파진흥협회 ITS 및 소출력 주파수 분과위원회, 6. 2000

[3] Eng Chuan Low, Kelvin Yan, H.Nakamura, and Hiroki I. Fujishiro "A Plastic Package GaAs MESFET 5.8-GHz Receiver Front-End with On-Chip Matching for ETC," IEEE Transaction on Microwave Theory Techniques, Vol. 48, No. 2, February 2000.  
[4] M. Minagi, M. Toge, K. Ueda, N. Mohri, "The Nonstop Electronic Toll Collection System," MWE'97 Microwave Workshop Digest, pp. 194~199, 1997.  
[5] T.Kunihisa, S.Yamamoto, M.Nishijima, T. Yamamoto, M. Nishitsuji, K.Nishii, and O.Ishikawa, "A 5.8-GHz, 3.0-V single supply power MMIC for electronic toll collection system," IEEE GaAs IC Symp. Dig., pp. 169~172, 1998.  
[6] M.Minage, M. Toge, K. Ueda, M. Mohri, "The Nonstop Electronic Toll Collection System", MWE97 Microwave Workshop Digest, pp. 194~199, 1997.  
[7] "IDEC MPW 설계설명회 자료집", IDEC, pp. 4~5, 2000.  
[8] Behzad Razavi, "RF MICROELECTRONICS", PRENTICE HALL PTR, pp. 166~205, 1998.  
[9] S.Yoo, M.R.MURTI, D.HEO and J.LASKAR, "A C-BAND LOW POWER HIGH DYNAMIC RANGE GaAs MESFET LOW NOISE AMPLIFIER", MICROWAVE JOURNAL, pp. 90~106, February 2000.  
[10] J.J.Kucera and U.Lott, "A 1.8dB Noise Figure Low DC Power MMIC LNA for C-Band", GaAs IC Symposium Proceedings, pp.221-224, 1998.  
[11] M.ONO, N.SUEMATSU, S.KUBO, Y.IYAMA, T.TAKAGI and O.ISHIDA "1.9GHz/5.8GHz -Band On-Chip Matching Si-MMIC Low Noise Amplifiers Fabricated on High Resistive Si Substrate", IEEE MTT-S Digest, pp. 493~496, 1999.

## 저 자 소 개



文泰廷(正會員)

1989년 : 동아대학교 전자공학과 졸업(공학사). 1991년 : 동아대학교 대학원 전자공학과(공학석사). 2002년 : 동아대학교 대학원 졸업(공학박사). 1991년~1998년 : 만해기술연구소(선임연구원). 1998년~현재 : 경남정보대학 전자정보통신계열 조교수. <주관심분야 : RFIC 설계, PCB 설계 및 제작 관련, 무선데이터통신>



宋政根(正會員)

1980년 : 서울대학교 전자공학과 졸업(공학사). 1984년 : 서울대학교 대학원 전자공학과 졸업(공학석사). 1992년 : Univ. Cincinnati (공학박사). 1992년 3월~현재 : 동아대학교 전자공학과 부교수. <주관심분야 : 화합물 반도체, 유기전자소자, 테라급 메모리소자, RFIC 설계, DSRC 시스템>



黃成凡(正會員)

1986년 : 동아대학교 전자공학과 졸업(공학사). 1988년 : 동아대학교 대학원 전자공학과 졸업(공학석사). 1997년 : 동아대학교 대학원 전자공학과 졸업(공학박사). 1991년 3월~현재 : 경남정보대학 전자정보통신계열 부교수. <주관심분야 : 화합물반도체, Monte Carlo 해석, 무선데이터통신, RFIC 설계>



洪昌憲(正會員)

1964년 : 한양대학교 전기공학과 졸업(공학사). 1970년 : 한양대학교 대학원 전기공학과 졸업(공학석사). 1983년 : 한양대학교 대학원 전기공학과 졸업(공학박사). 1972년 3월~현재 : 동아대학교 전자공학과 교수. <주관심분야 : 수치전자파해석, RFIC 설계, DSRC 시스템>

## 金勇圭(正會員)

1986년 : 동아대학교 전자공학과 졸업(공학사). 1988년 : 동아대학교 대학원 전자공학과 졸업(공학석사). 1999년 : 동아대학교 대학원 전자공학과 졸업(공학박사). 1995년 3월~현재 : 거창기능대학 메카트로닉스과 부교수. <주관심분야 : 화합물반도체, Monte Carlo 해석, OEIC>