

論文2003-40SD-8-9

CMOS IF PLL 주파수합성기 설계

(Design of a CMOS IF PLL Frequency Synthesizer)

金裕桓*, 權德起**, 文燿燮**, 朴鍾泰**, 劉宗根**

(Yoo-Hwan Kim, Duck-Ki Kwon, Yo-Sup Moon, Jong-Tae Park,
and Chong-Gun Yu)

요약

본 논문에서는 CMOS IF PLL 주파수합성기를 설계하였다. 설계된 주파수합성기는 칩 외부에 LC 공진 회로를 원하는 값에 맞게 바꿈으로써 다양한 중간 주파수에서 동작 가능하다. VCO는 자동진폭조절 기능을 갖도록 설계하여 LC 공진회로의 Q-factor에 무관하게 일정한 진폭의 출력을 발생한다. 설계된 주파수분주기는 8/9 또는 16/17 dual-modulus prescaler를 포함하며, 다양한 응용분야에 적용 가능하도록 외부 직렬 데이터에 의해 동작 주파수를 프로그램할 수 있도록 하였다. 설계된 회로는 0.35 μ m n-well CMOS 공정을 사용하여 제작되었으며, 제작된 IC의 성능을 측정한 결과 260MHz의 동작주파수에서 위상잡음은 -114dBc/Hz@100kHz 이고 lock time은 300 μ s보다 작다. 설계된 회로는 3V의 전원전압에서 16mW의 전력을 소모하며, 칩 면적은 730 μ m \times 950 μ m이다.

Abstract

This paper describes a CMOS IF PLL frequency synthesizer. The designed frequency synthesizer can be programmed to operate at various intermediate frequencies using different external LC-tanks. The VCO with automatic amplitude control provides constant output power independent of the Q-factor of the external LC-tank. The designed frequency divider includes an 8/9 or 16/17 dual-modulus prescaler and can be programmed to operate at different frequencies by external serial data for various applications. The designed circuit is fabricated using a 0.35 μ m n-well CMOS process. Measurement results show that the phase noise is -114dBc/Hz@100kHz and the lock time is less than 300 μ s. It consumes 16mW from 3V supply. The die area is 730 μ m \times 950 μ m.

Keyword : 주파수합성기, IF PLL, VCO, CMOS, 주파수분주기, prescaler

* 正會員, 텔슨전자(주)

(Telson Electronic Co. Ltd.)

** 正會員, 仁川大學校 電子工學科

(University of Incheon Department of Electronics Engineering)

※ 본 연구는 인천대학교 멀티미디어 연구센터의 RRC 과제지원과 IDEC 지원에 의해 일부 수행되었음.

接受日字:2003年3月11日, 수정완료일:2003年8月7日

I. 서론

정보통신 분야의 기술적인 발달과 수요가 증가함에 따라 무선통신 시스템 시장은 매우 빠른 속도로 확대되고 있으며 가격과 전력소모, 부피가 작은 시스템에 대한 연구가 활발히 진행되고 있다. 이동통신 단말기도 다기능화, 고성능화, 소형/경량화 됨에 따라 그에 사용되는 부품 역시 필연적으로 고성능화, 소형/경량/박형화가 요구되고 있으며, 더 나아가서는 다기능 집적화가

절한다. I/Q Generator는 VCO의 출력 주파수가 반으로 분주된 quadrature 신호 I, Q를 발생시키는 역할을 한다.

III. 주파수분주기(Dblock) 설계

Prescaler를 포함한 주파수 분주기는 PLL 주파수 합성기의 동작 속도를 결정하는 중요한 회로로서, 휴대용 통신기에 사용되는 주파수 합성기를 비롯해 PLL을 사용한 비동기 데이터 전송 등 많은 분야에 사용되고 있다¹⁶⁾. 합성된 주파수의 위상 잡음을 최소화하기 위해서는 고속에서 동작하는 VCO의 출력 주파수를 낮은 주파수로 분주하여야 하며 이를 위해서는 prescaler의 사용이 필수적이다. 예전에는 고속 특성을 얻기 위해서 GaAs 또는 바이폴라 공정으로 prescaler를 구현하였지만^{13, 10)} 최근에는 CMOS 공정이 발달함에 따라 CMOS 공정을 사용하여 prescaler를 설계하고자하는 연구가 활발히 진행되고 있다^{11, 14)}. 또한 다양한 주파수를 처리하기 위해서는 프로그램 기능을 갖도록 주파수분주기를 설계해야 한다. 본 연구에서는 차동 D-F/F을 이용하여 8/9 또는 16/17의 dual-modulus prescaler를 설계하였으며, 주파수분주기를 외부의 직렬 데이터에 의해 프로그램할 수 있도록 설계하였다^{13, 4)}.

1. 기본구성 및 동작원리

설계된 주파수분주기는 PLL의 IF 주파수를 프로그램하기 위한 것으로서, 프로그램 데이터는 외부에서 직렬로 'DATA', 'CK' 신호에 의해 16-bit Shift Register에 저장된다. Shift Register의 LSB는 control bit로 값이 '0'이면 저장된 나머지 15-bit 데이터는 'LE' 신호에 의해 10-bit R-Latch, 3-bit CPCA, 2-bit FoLD로 loading 되며, control bit이 '1'이면 13-bit N-latch, 1-bit Psel, 1-bit PD_pol로 loading 된다. 'Default' 신호는 default 값을 setting 하기 위한 신호로, 'high'일 때는 R-Latch와 N-Latch 그리고 다른 Latch들의 값이 default 값으로 자동 설정된다.

10-bit R-Latch는 10-bit R-Counter의 값을 저장하며 R-Counter의 값이 모두 '0'일 때 R-Latch의 값이 R-Counter로 loading 된다. 3-bit CPCA는 PLL 블록의 Charge Pump의 전류 양을 조절하기 위한 데이터를 저장하며, FoLD는 Dblock에서 발생하는 신호를 monitoring하기 위한 control 데이터를 저장한다.

TCXO Buffer는 외부의 TCXO 발진기에서 입력되는 신호를 칩 내부에서 디지털 신호로 바꿔주기 위한 버퍼(buffer) 회로이다.

13-bit N-Latch는 N-Counter 블록의 4-bit B-Counter와 9-bit A-Counter의 값을 저장하며 Counter의 값이 모두 '0'일 때 R-Latch의 값이 대응되는 Counter로 loading 된다. 1-bit 'Psel'의 역할은 N-Counter의 dual-modulus prescaler의 modulus를 결정하는 것으로서 값이 '0'이면 8/9 그리고 값이 '1'이면 16/17이 선택된다. Modulus 16/17이 Default 값이다. VCO는 입력전압이 증가할 때 출력 주파수가 증가하면 positive type이고, 그 반대이면 negative type이다. 1-bit PD_pol은 VCO의 극성에 따라 결정되며, VCO가 positive type이면 '1'로 negative type이면 '0'으로 setting 된다. Default는 positive type이다.

N-Counter와 R-Counter의 동작 원리를 설명하기 위해서 일반적인 Integer-N type의 주파수합성기의 블록 다이어그램과 N-Counter의 블록 다이어그램을 <그림 3>과 <그림 4>에 각각 보였다. N-Counter의 Prescaler는 B 값에 해당하는 시간 동안은 'P+1'의 modulus로 동작하며, A-B 값에 해당하는 시간 동안은 'P'의 modulus로 동작한다. 따라서 N-Counter의 N 값은 다음 식으로 결정된다.

$$N = (P + 1)B + P(A - B) = PA + B \quad (1)$$

R-Counter의 출력 f_R 은 TCXO의 출력 f_{TCXO} 를 R-Counter의 값 R로 나눈 값이 된다. Integer-N 주파수 합성기는 VCO의 출력 f_{VCO} 가 f_R 의 N배가 되도록

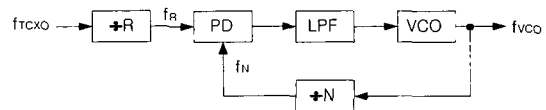


그림 3. Integer-N 주파수 합성기의 블록다이어그램
Fig. 3. Block diagram of an integer-N frequency synthesizer.

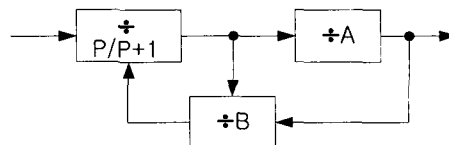


그림 4. N-Counter의 블록다이어그램
Fig. 4. Block diagram of N-Counter.

조절하는 역할을 한다.

f_{VCO} , f_{TCXO} , f_R , P 가 주워졌을 때, 각 Counter의 값은 다음 식으로 구할 수 있다.

$$\begin{aligned} N &= \frac{f_{VCO}}{f_R} \\ R &= \frac{f_{TCXO}}{f_R} \\ A &= \text{Integer}\left(\frac{N}{P}\right) \\ B &= N - PA \end{aligned} \quad (2)$$

예를 들어, $f_{VCO} = 260.76\text{MHz}$, $f_{TCXO} = 19.68\text{MHz}$, $f_R = 1.23\text{MHz}$, $P = 16$ 일 때, 각 Counter의 값은 $N=212$, $A=13$, $B=4$, $R=16$ 이 된다. 이 값들은 Default 값이 '1'일 때의 값들과 같다. 실제로 A-Counter에는 'A-1'의 값이 저장되며, B-Counter에는 'B' 그리고 R-Counter에는 'R-1'의 값이 저장된다. 따라서 Default 값이 '1'일 때의 각 Counter에 저장되는 데이터는 <표 1>과 같다.

표 1. Default 값이 '1'일 때 Counter 상태
Table 1. Counter state when Default is '1'.

Counter 또는 Latch	Binary Value	Description
A[8:0]	'000001100'	A=13
B[3:0]	'0100'	B=4
R[9:0]	'000001111'	R=16
CPCA[2:0]	'011'	CP Current = 100uA
FoLD[1:0]	'01'	FoLD Output = LD
Psel	'1'	P=16
PD_pol	'1'	Positive VCO

2. Dual-Modulus Prescaler

Prescaler의 회로도와 prescaler에 사용된 D-F/F의 회로도를 <그림 5>와 <그림 6>에 각각 보였다. Prescaler는 5개의 D-F/F과 여러 개의 논리 게이트로 구성되며, 고속의 VCO 출력 주파수로부터 주어진 modulus에 따라 분주된 주파수를 발생시킨다. 'Psel' 신호에 의해 prescaler의 'P' 값은 8 또는 16으로 결정되며, 'Mode' 신호에 의해 입력주파수는 'P' 또는 'P+1'로 분주된다. Prescaler의 출력은 A-Counter와 B-Counter에 입력되며, A-Counter의 출력이 f_N 신호가 된다.

Prescaler에 사용된 고속의 차동(differential) D-F/F

은 positive-edge triggered type으로 dynamic master latch와 static slave latch로 구성된다. Slave latch는 static RAM n-latch이며, master latch는 DCVS (Differential Cascode Voltage Switch) n-latch의 일종이다^[15].

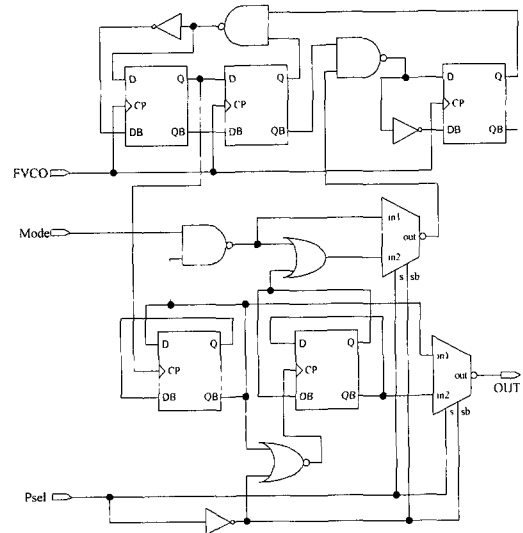


그림 5. 설계된 Prescaler의 회로도
Fig. 5. Schematic of the designed Prescaler.

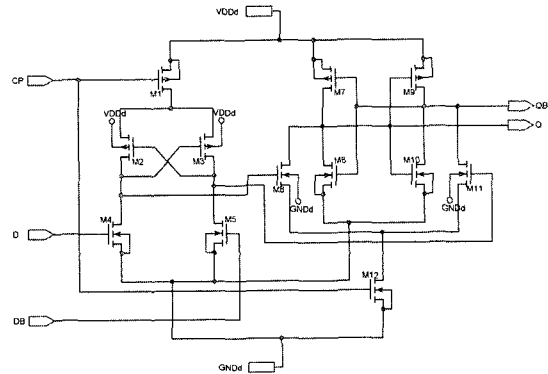


그림 6. 차동 D-F/F
Fig. 6. Differential D-F/F.

3. 시뮬레이션 결과

설계된 주파수 분주기를 0.35 μm n-well CMOS 공정 변수를 사용하여 HSPICE 시뮬레이션하였다. <그림 7>은 입력 주파수가 1.25GHz일 때 prescaler의 동작특성을 보여주고 있다. 'Psel' 신호가 'high'일 때 prescaler는 16/17 모드로 동작하고 'low'일 때 8/9 모드로 동작하는 것을 확인할 수 있다. 또한 'Mode' 신호에 의해 각각의

경우 dual modulus 동작이 정상적으로 진행되고 있는 것을 확인할 수 있다.

설계된 전체 주파수분주기에 대한 시뮬레이션 결과를 <그림 8>와 <그림 9>에 보였다. <그림 8>의 시뮬레이션은 외부에서 입력되는 직렬 데이터에 의해 설계된 주파수분주기가 제대로 동작하는지를 알아보기 위한 것이다. $f_{VCO} = 100\text{MHz}$, $f_{TCXO} = 10\text{MHz}$ 이고 $N=60$, $A=7$, $B=4$, $R=6$ 에 해당하는 'DATA' 신호를 50MHz의 외부 클럭 'CK'에 의해 직렬로 입력시켰다. 입력된 데이터는 'LE' 신호에 의해 대응되는 Latch로 loading되어 R-Counter와 N-Counter가 동작하고 각각의 출력 f_R 과 f_N 이 제대로 발생하는 것을 그림에서 확인할 수 있다.

<그림 9>는 Default 신호가 '1'인 경우의 시뮬레이션 결과로, 입력 주파수가 $f_{VCO} = 260.76\text{MHz}$, $f_{TCXO} = 19.68\text{MHz}$ 일

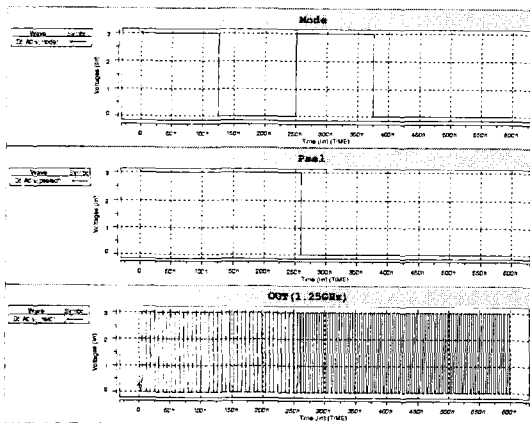


그림 7. Prescaler의 시뮬레이션 결과
Fig. 7. Simulation results of the prescaler.

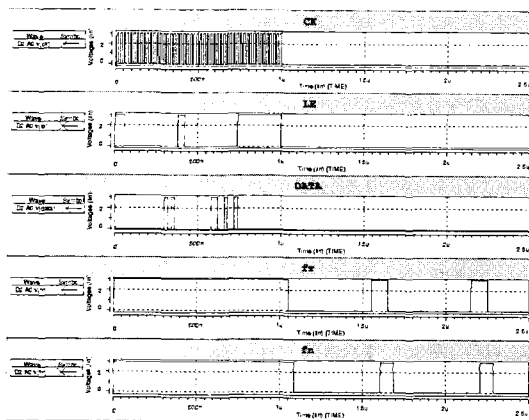


그림 8. 주파수 분주기의 시뮬레이션 결과
Fig. 8. Simulation results of the frequency divider.

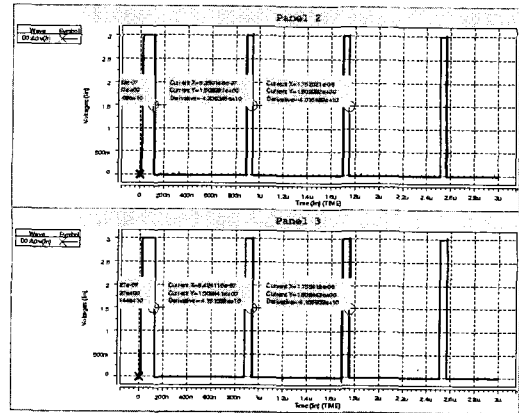


그림 9. Default일 때 Dblock의 시뮬레이션 결과 (위: f_R , 아래: f_N)
Fig. 9. Dblock simulation results when Default is '1' (upper: f_R , lower: f_N).

때, R-Counter의 출력 f_R (위 파형)의 주파수가 1.23MHz로 f_{TCXO}/R 과 같음을 확인할 수 있다. 또한, N-Counter의 출력 f_N (아래 파형)도 f_{VCO}/N 과 같음을 확인할 수 있다. 이 때 Dblock은 3V의 전원전압으로부터 2.9mW의 전력을 소모한다.

IV. PLL 설계

1. Bias 회로

설계된 Bias 회로의 핵심(core) 부분을 <그림 10>에 보였다. 여기서 BJT는 CMOS 공정에서 기생(parasitic) vertical pnp 트랜지스터이다. Q1과 Q1a는 Q2와 Q2a보다 이미터(emitter) 면적이 n배 크다. 이 4개의 BJT에 흐르는 전류가 같다면 그 전류는 PTAT (Proportional To Absolute Temperature) 전류이며, 다음 식과 같다.

$$I = \frac{2 \cdot \ln(n) \cdot V_t}{R_1} \quad (3)$$

여기서 $V_t = kT/q$ 이다. 만약 $n = 8$ 이고 $R_1 = 3k\Omega$ 이면, $I = 36\mu\text{A}$ 이 된다.

같은 전류가 M3와 M6을 통해 Q3에 전달되므로, 출력전압 V_{ref} 는 bandgap reference 전압이 되며 다음 식으로 주어진다.

$$V_{ref} = V_{EB3} + \frac{R_2}{R_1} \cdot \ln(n) \cdot V_t \quad (4)$$

BJT들에 같은 전류를 공급하기 위해 간단한 증폭기를 사용하였다. M7~M9는 증폭기의 차동 입력단을 구성하며, 증폭기의 부하로는 M11, M12, M14, M15, R3, R4로 구성된 self-biased cascode 전류복사회로^[16]를 사용하였다. M13, M16, M10들로 구성된 회로를 사용하여, 증폭기의 bias 전류를 PTAT 전류와 함께 합으로써 증폭기의 systematic offset을 제거할 수 있다. 이 구조는 self-biased 구조이므로 zero-current state가 발생할 수 있기 때문에 시동(startup) 회로가 필요하다^[17]. M17이 이러한 역할을 하며, M17a와 M18은 power-down mode를 위해 사용된다.

설계된 Bias회로를 HSPICE 시뮬레이션한 결과, -30°C~130°C의 온도범위에서 기준전압의 변화는 1.18mV이고, 2.5V~3.5V의 전원전압 범위에서 기준전압 변화는 0.14mV로, 설계된 Bias회로는 온도와 전원전압 변화에 대해 상당히 안정된 특성을 보였다. 전력소모는 3V 전원에서 약 1mW이다.

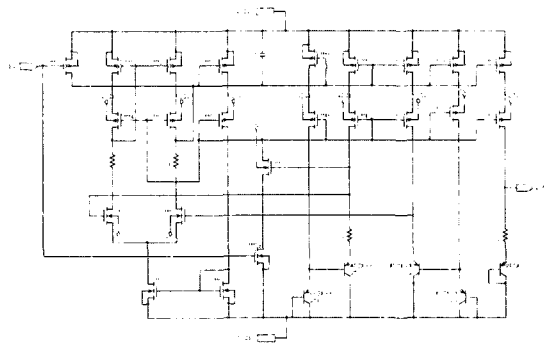


그림 10. 설계된 Bias 회로의 핵심부분
Fig. 10. Schematic of the designed Bias circuit.

2. VCO

VCO는 칩 외부의 LC-tank와 함께 동작하며, 목표 주파수 범위는 200MHz에서 550MHz이다. 설계된 VCO 핵심 회로를 <그림 11>에 보였다. Cross-coupled된 PMOS M1, M2와 bias 전류원으로 동작하는 M3, M4가 negative-Gm 발진기를 구성하며, 나머지 회로는 발진 신호의 진폭을 일정하게 조절하기 위한 자동진폭조절(AAC: Automatic Amplitude Control)회로이다^[18].

VCO의 위상잡음에 주된 원인으로 작용하는 1/f noise를 줄이기 위해, negative-Gm oscillator의 핵심 소자인 M1과 M2를 PMOS 소자로 설계하였다. 외부의 LC 공진회로는 단자 VCO_T1과 VCO_T2 사이, 즉 M1

과 M2의 드레인 단자에 연결되기 때문에 드레인 단자에 존재하는 기생 커패시턴스가 발진 주파수에 영향을 줄 수 있다. 기생 커패시턴스를 줄이기 위해서는 M1과 M2의 채널 길이를 작게할 필요가 있다. 본 설계에서는 M1과 M2의 크기로 W/L=100μm/0.5μm를 사용하였다.

설계된 자동진폭조절 회로는 고주파정류기(M5-M7, R6), 저역통과필터(R6, C6, R5, C4), 증폭기(M8-M12), 기준전압 발생회로(M13-M15) 등으로 구성된다. 기준전압 발생회로의 구조는 정류기 단의 구조와 기본적으로 동일하며, 단지 초기에 발진 가능성을 증가시키기 위해 정류기 단의 R6에 해당하는 저항이 빠져있다. 따라서 발진 초기에는 M9의 게이트 전압이 기준전압(M10의 게이트 전압)보다 낮기 때문에, 증폭기의 출력(M3와 M4의 게이트 전압)은 증가하게 된다. 이는 bias 전류를 증가시키게 되고 M1과 M2의 gm 값을 증가시켜서 발진 확률이 증가하게 된다.

발진이 시작되면 발진 신호는 정류기와 저역통과필터를 거치게 되고, 발진신호의 진폭에 비례하는 dc 전압이 M9의 게이트에 인가된다. 증폭기의 negative feedback 동작에 의해 M9의 게이트 전압은 기준전압과 같아지게 되고, 이 때 일정한 발진진폭을 갖는 정상상태로 진입하게 된다. 발진진폭은 기준전압이나 R6의 값으로 조절할 수 있다. 설계된 VCO는 자동진폭조절 기능을 갖기 때문에, 시동 조건에 무관하게 위상잡음을 최적화할 수 있으며, LC-tank의 quality factor에 무관하게 항상 일정한 진폭의 발진 동작이 가능하다^[19].

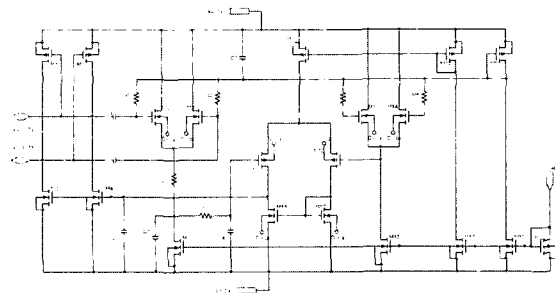


그림 11. 자동진폭조절 기능을 갖는 VCO 핵심부분
Fig. 11. Schematic of the VCO core with AAC.

3. Phase Detector

Phase Detector(PD)는 R-Counter의 출력 f_R 과 N-Counter의 출력 f_N 을 비교하여 두 신호의 위상차에 해당하는 'UpB' 신호와 'DnB' 신호를 발생시킨다. 가장

간단한 PD로는 XOR 게이트를 이용하는데, 이 경우는 두 입력신호의 위상차가 180° 이상이 되면 위상 차이를 판별하지 못하는 단점이 있다. 이러한 단점을 보완하기 위해 <그림 12>와 같은 리셋(reset) 기능을 가진 두 개의 D-F/F과 지연 셀(delay cell)을 이용하여 위상뿐만 아니라 주파수 차이도 판별할 수 있는 PFD(Phase Frequency Detector) 구조를 사용하였다. 여기서 지연 셀의 역할은 “dead zone” 현상을 방지하기 위함이다. PFD는 acquisition 범위가 넓고 locking 속도도 빠르다는 장점을 갖는다^[1].

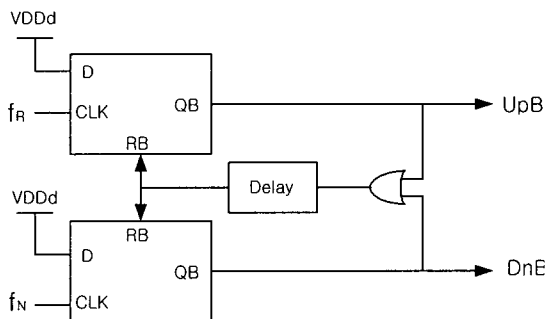


그림 12. 위상 및 주파수 검출기
Fig. 12. Phase Frequency Detector.

4. Lock Detector

Lock Detector는 f_R 과 f_N 이 locking이 되었는지를 판별하는 회로이다. 내부에 4-bit Lock Counter를 사용하여 15개의 연속되는 비교 cycle 동안 위상차가 14ns보다 작으면, locking 상태로 판단해서 Lock Detector의 출력은 '1'이 된다. 1개의 비교 cycle 동안 위상차가 29ns보다 크게 되면 lock이 풀린 것으로 간주하여 Lock Detector의 출력이 '0'이 되도록 설계하였다^[3]. 이처럼 locking될 때와 lock이 풀릴 때의 판별 기준을 달리하여 히스테리시스(hysteresis) 기능을 갖도록 한 이유는 원하지 않는 잡음에 의해 lock이 풀리는 것을 방지하기 위해서 이다^[20].

5. Charge Pump

Charge Pump는 Phase Detector에서 입력되는 'UpB' 신호와 'DnB' 신호에 의해 전류를 칩 외부의 Loop Filter에 공급한다. 공급되는 전류량은 CPCA[2:0]의 값에 결정되며, Default 값은 100uA("011")이다. Lock Detector에서 locking 신호가 발생하면 Charge Pump의 pumping 전류는 25uA("000")로 setting 된다. Loop

Filter로 공급된 또는 빠져나간 전류에 의해 VCO의 control 전압이 결정되며, 이 control 전압에 의해 VCO의 출력 주파수가 결정된다^[3].

6. I/Q Generator

I/Q Generator는 두 개의 D-F/F과 서너 개의 게이트로 구성되며, VCO의 출력 신호 f_{VCO} 로부터 주파수가 반으로 분주된 quadrature 신호 I, Q를 발생시킨다. 이 신호들은 기저대역 신호를 IF 신호로 상향변환 하는데 필요한 혼합기(mixer)에 사용된다^[3].

7. 시뮬레이션 결과

VCO에 대한 시뮬레이션 결과를 <그림 13~15>에 보였다. <그림 13>과 <그림 14>는 VCO의 과도상태(transient) 특성을 나타낸다. <그림 13>의 첫 번째 파형은 발진 파형(VCO_T1 단자 전압)으로, 시동 때의 발진진폭은 약 2.5V이고 정상 상태에서는 약 1.1V로 감소하는 것을 알 수 있다. 두 번째 파형은 정류기를 통과한 파형(M5 또는 M6의 소오스 전압)으로 dc level이 shift되고 발진 파형이 정류되는 것을 확인할 수 있다. 세 번째 파형은 정류된 신호가 저역통과필터를 통과해서 dc 신호로 바뀐 뒤, 증폭기의 한 쪽 입력단자(M9의 게이트)에 인가된 파형과, 기준전압 발생회로에서 출력된 기준전압 신호(M10의 게이트 전압)를 비교해서 보여주고 있다. 예상대로 발진 초기에는 M9의 게이트 전압이 기준전압보다 작으나, 과도상태가 지나고 나면 기준전압과 같아지는 것을 알 수 있다.

<그림 13>의 마지막 네 번째 파형은 증폭기의 출력

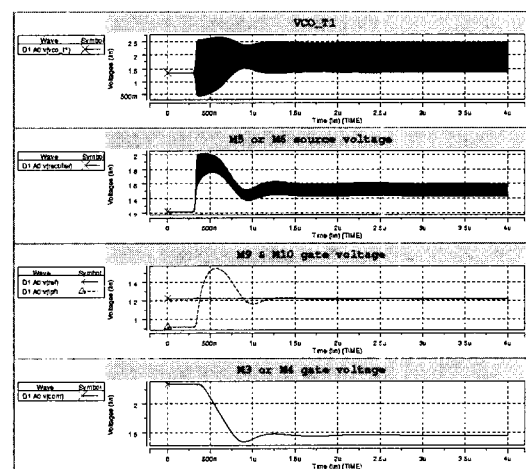


그림 13. VCO의 과도상태 응답
Fig. 13. Transient responses of the VCO.

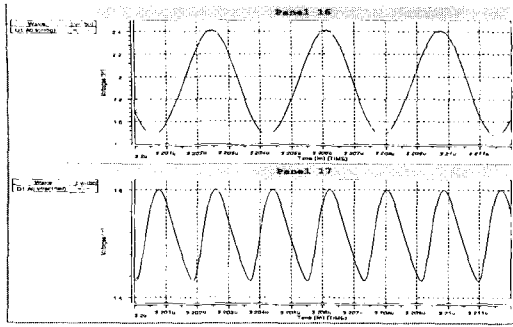


그림 14. 발진 파형과 정류된 파형
Fig. 14. Oscillation and rectified waveforms.

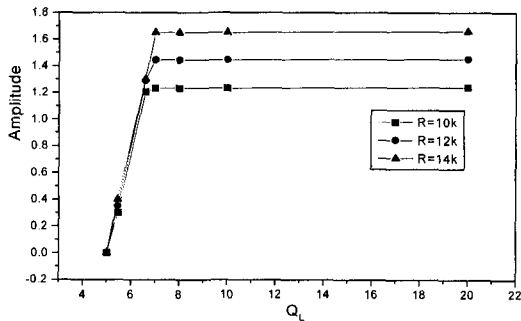


그림 15. LC 공진기의 Q-factor에 따른 발진 특성
Fig. 15. Oscillation characteristics versus Q_L .

(M3 또는 M4의 게이트 전압)파형으로 발진 초기에는 어느 정도 발진을 보장하기 위해 큰 값을 보이지만, 발진이 진행되고 정상상태로 진입하게 되면 값이 작아지는 것을 알 수 있다. <그림 14>는 발진파형과 정류된 파형을 확대한 그림이다. 발진 주파수는 약 260MHz이다.

<그림 15>는 LC 공진기를 구성하는 인덕터의 quality factor Q_L 의 변화에 따른 발진특성으로, Q_L 이 6이상인 값에서는 항상 일정한 진폭의 발진 동작을 하는 것을 알 수 있다. 또한, R6 값에 따라 발진진폭이 변하는 것을 볼 수 있다.

<그림 16>은 Default 신호가 'high'일 때, 전체회로 (<그림 2>)의 시뮬레이션 결과이다. Enable 신호 'EN'은 $t=100\text{ns}$ 일 때 'high'로 인가하였다. 'EN' 신호가 인가된 후 약 2.5us가 경과하면 VCO의 발진이 시작되며, 약 260MHz의 f_{VCO} (맨 아래 파형)가 발생된다. TCXO의 입력($f_{TCXO}=19.68\text{MHz}$)과 f_{VCO} 로부터, f_R ($\approx 1.23\text{MHz}$)과 f_N ($\approx 1.23\text{MHz}$)이 발생하는 것을 맨 위의 파형에서 확인할 수 있다. 두 신호의 위상차에 의한

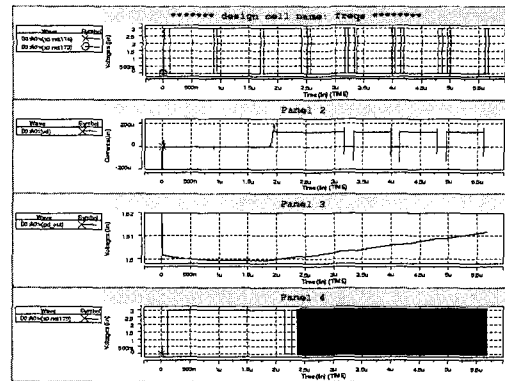


그림 16. 전체회로 시뮬레이션 결과
Fig. 16. Simulation results of the entire circuit.

Charge Pump에서 공급되는 전류 파형과 대응되는 VCO의 control 전압 파형의 상승을 두 번째와 세 번째 파형에서 각각 확인할 수 있다.

V. 측정 결과

설계된 회로는 $0.35\mu\text{m}$ n-well 2-poly, 4-metal CMOS 공정을 이용하여 IC로 제작되었다. <그림 17>은 설계된 회로 레이아웃(layout) 도면이다. 그림에서 왼쪽 부분이 주파수분주기(Dblock)이고 오른쪽이 PLL 블록이다. Bias 회로, VCO 그리고 CP 회로는 소자들의 정합(matching)을 고려하여 common-centroid 기법을 사용하여 레이아웃하였다. 설계된 회로는 3V의 전원에서 16mW 의 전력을 소모하며, 칩 면적은 $730\mu\text{m} \times 950\mu\text{m}$ 이다.

<그림 18>과 같이 측정용 보드를 구현하여 제작된 IC의 성능 측정 결과를 <그림 19~23>에 보였다. 측정에 사용된 TCXO의 주파수가 $f_{TCXO}=19.66\text{MHz}$ 이기 때문에, <표 1>의 Default 조건으로 프로그램 했을 때 VCO와 I(Q) 신호의 주파수는 각각, $f_{VCO}=260.495\text{MHz}$, $f_I=f_Q=130.2475\text{MHz}$ 이 되어야 한다. <그림 19>는 I와 Q 단자의 출력신호 파형으로 약 90° 의 위상차가 발생하는 것을 확인할 수 있다. <그림 20>은 lock time을 측정한 결과로, 'EN' 신호(맨 위 파형)가 'high'가 되면 초기에 'LOCK_DET' 신호(중간 파형)는 'low' 상태에 있다가 PLL이 locking이 되면 'high'로 변하게 된다. Loop filter의 출력 전압 VLP(맨 아래 파형)은 초기에 0V에 있다가 locking이 되면 1V 근처로 settling 된다. 대략 lock time은 $300\mu\text{s}$ 보다 작은

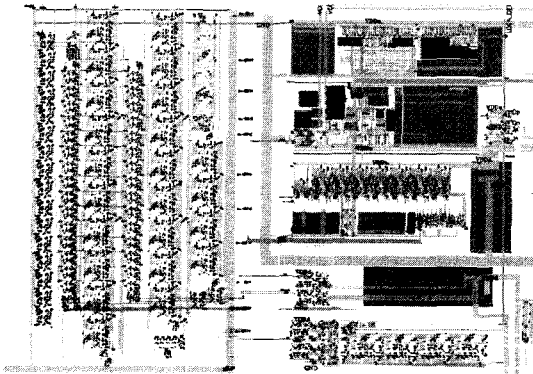


그림 17. 설계된 회로의 레이아웃
Fig. 17. Layout of the designed circuit.

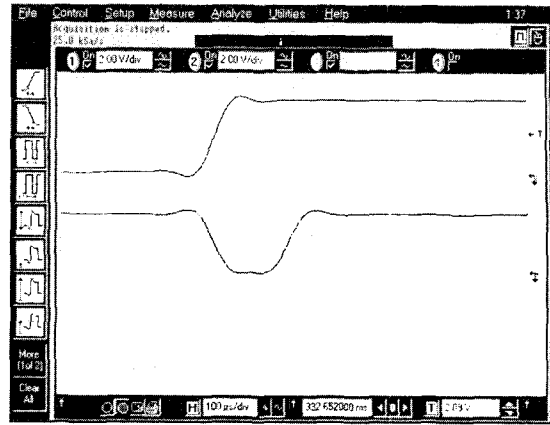


그림 20. EN, LOCK_DET, VLP 신호
Fig. 20. EN, LOCK_DET, VLP signals.

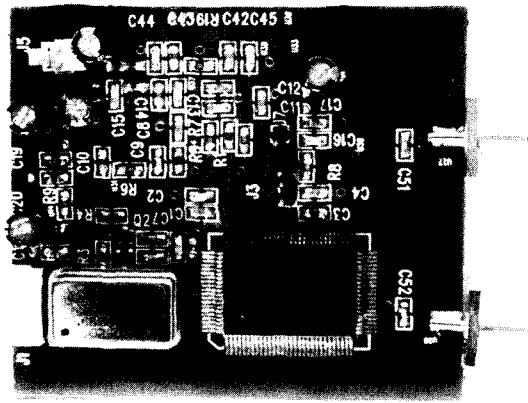


그림 18. 측정용 보드 사진
Fig. 18. Photograph of the test board.

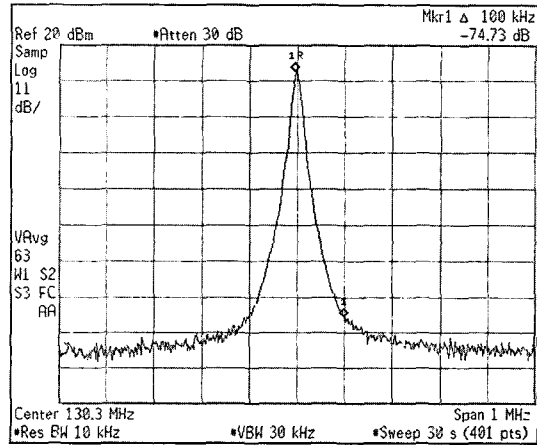


그림 21. I(Q) 신호의 스펙트럼
Fig. 21. Spectrum of the I(Q) signal.

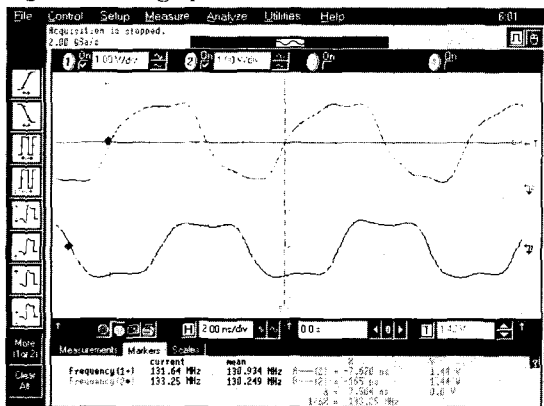


그림 19. I와 Q의 측정 파형
Fig. 19. Measured I and Q waveforms.

것을 확인할 수 있다.

<그림 21>은 I(Q) 신호의 스펙트럼 파형이다. 100kHz의 offset에서 신호레벨과 노이즈 레벨의 차이가 74dB이고 RBW가 10kHz이므로 위상잡음은 -114dBc/

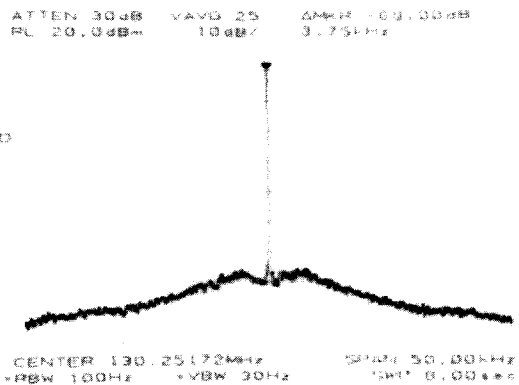


그림 22. In-band 잡음 특성
Fig. 22. In-band noise

Hz가 된다. <그림 22>와 <그림 23>은 각각 in-band 위상잡음 특성과 기준불요파 특성을 나타낸다. 설계된

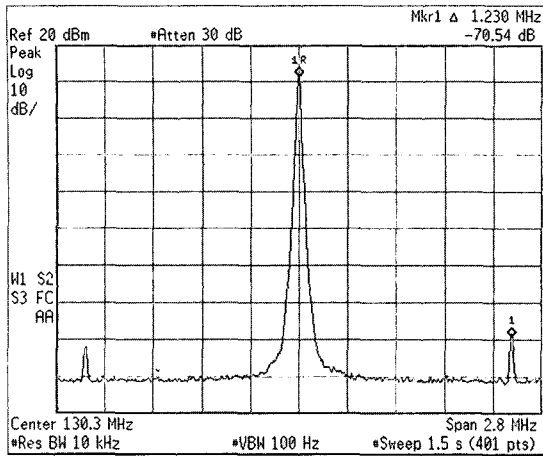


그림 23. 기준 불요파 특성
Fig. 23. Reference spur.

표 2. 성능 요약 및 비교
Table 2. Performance summary and comparison.

Parameters	본 논문	참고문헌[21]
Supply voltage	3V	3V
Test VCO frequency	260.5MHz	274MHz
Phase noise	114dBc/Hz@100kHz	-118dBc/Hz@100kHz
In band phase noise	89dBc/Hz	N/A
Reference spur	< 70dBc@1.23MHz	N/A
Lock time	< 300μs	3.4ms
VCO gain	10MHz/V	3.5MHz/V
Loop bandwidth	3.5KHz	N/A
Phase margin	50 degree	N/A
Power dissipation	16mW@3V	3mW@3V
Chip area	730μm×950μm	N/A
Process	0.35μm n well CMOS	CMOS
비교	On chip VCO	Off-chip discrete VCO

회로의 in-band 위상잡음은 -89dBc/Hz이며, 기준불요파는 -70dBc보다 작다.

설계된 회로의 성능을 <표 2>에 요약하였다. 또한, 성능 비교를 위해 Fujitsu Semiconductor에서 개발한 IF 대역 PLL 주파수합성기 칩, MB15C101^[21]의 성능도 표에 포함시켰다. 이 칩에는 VCO와 I/Q Generator가 내장되어 있지 않기 때문에, 칩 외부에서 VCO를 연결하여 측정할 결과이다. 이 칩에 비해 본 논문에서 설계한 주파수합성기는 위상잡음 특성은 약간 떨어지지만, lock time 특성이 상당히 우수한 것을 알 수 있다.

VI. 결론

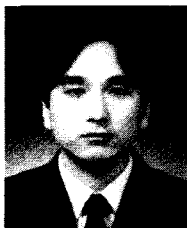
본 논문에서는 중간주파수 범위에서 프로그램 가능한 CMOS PLL 주파수합성기를 설계하였다. VCO를 자동진폭조정 기능을 갖도록 설계하여, 시동 조건에 무관하게 위상잡음을 최적화할 수 있도록 하였으며, LC-tank의 quality factor에 무관하게 항상 일정한 진폭의 발진을 하도록 하였다. 0.35μm CMOS 공정으로 제작된 IC를 측정한 결과 설계된 회로는 260MHz의 동작 주파수에서 -114dBc/Hz@100kHz의 위상잡음 특성을 보이며, lock time은 300μs보다 작다. 설계된 회로는 260MHz로 동작시 3V 전원에서 16mW의 전력을 소모하며, 전체 칩 면적은 730μm×950μm이다. 설계된 CMOS 주파수합성기는 슈퍼헤테로다인 방식을 사용하는 다양한 모드의 휴대전화 단말기의 IF PLL로 사용될 수 있으며, CMOS 공정을 사용하는 RF부나 베이스밴드 부와 one-chip화가 가능하다.

참고 문헌

- [1] B. Razavi, RF Microelectronics, Prentice Hall, 1998.
- [2] W. S. T. Yan and H. C. Luong, "A 2-V 900MHz Monolithic CMOS Dual-Loop Frequency Synthesizer for GSM Receivers", IEEE J. Solid-State Circuit, vol.36, no.2, pp. 204~216, Feb. 2001.
- [3] 김유환, 이동통신 단말기용 CMOS IF PLL 주파수 합성기의 설계 및 구현, 석사학위논문, 인천대학교 대학원 전자공학과, Dec. 2002
- [4] 권덕기, 김유환, 문요섭, 이종렬, 박종태, 유종근, "프로그래머블 IF PLL용 주파수 분주기 설계," 제3회 전자 정보통신 학술대회 논문집, pp. 341~344, 2001
- [5] 김유환, 권덕기, 김거성, 이종렬, 박종태, 유종근, "프로그래머블 CMOS Tx IF PLL 설계," 제3회 전자 정보통신 학술대회 논문집, pp. 349~352, 2001
- [6] D. H. Wolaver, Phase-Locked Loop Circuit Design, Prentice Hall, 1991.
- [7] R. E. Best, Phase-Locked Loops: Theory,

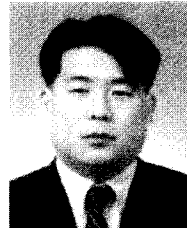
- Design, and Applications, 2nd-edition, McGraw Hill, 1993.
- [8] William F. Egan, Frequency Synthesis by Phase Lock, 2nd Edition, Wiley Interscience, 1999.
- [9] H. Singh, et al., "GaAs prescalers and counters for Fast-settling frequency synthesizer," IEEE J. Solid-State Circuit, vol.25, no.2, pp. 239~245, Feb. 1990.
- [10] Y. Yamauchi, et al., "A 15GHz monolithic two-modulus prescaler," IEEE J. Solid-State Circuit, vol.26, no.11, pp. 1632~1636, Nov. 1991.
- [11] J. Yuan and C. Svensson, "High-Speed CMOS Circuit Technique," IEEE J. Solid-State Circuit, vol.24, no.2, pp. 62~70, Feb. 1989.
- [12] B. Chang, J. Park, and W. Kim, "A 1.2GHz CMOS Dual-Modulus Prescaler Using New Dynamic D-Type Flip-Flops," IEEE J. Solid-State Circuit, vol.31, no.5, pp. 749~752, May. 1996.
- [13] Q. Huang and R. Rogenmoser, "Speed Optimization of Edge-Triggered CMOS Circuit for Gigahertz Single-Phase Clock," IEEE J. Solid-State Circuit, vol.31, no.3, pp. 456~465 Mar. 1996.
- [14] C. Yang et al., "New Dynamic Flip-Flops for High-Speed Dual-Modulus Prescaler," IEEE J. Solid-State Circuit, vol.33, no.10, pp. 1568~1571, Oct. 1998.
- [15] Kerry Bernstein, et al., High Speed CMOS Design Styles, Kluwer Academic Publishers, pp. 194~196.
- [16] T. Brooks and A. L. Westwick, "Low-power differential CMOS bandgap reference," ISSCC Digest of Tech. Papers, pp. 248~249, Feb. 1994.
- [17] 김유환, 권덕기, 이종렬, 유종근, "저전력 CMOS 기준전류 발생회로," 대한전자공학회 하계종합학술대회 논문집 II, 제24권, 제1호, pp. 89~92, 2001
- [18] 김유환, 문요섭, 이종렬, 박종태, 유종근, "자동진폭조절 기능을 갖는 CMOS IF VCO 설계," 대한전자공학회 하계종합학술대회 논문집 II, 제25권, 제1호, pp. 145~148, 2002.
- [19] M. A. Margarit, J. L. Tham, R. G. Meyer, and M. J. Deen, "A Low-Noise, Low-Power VCO with Automatic Amplitude Control for Wireless Applications," IEEE JSSC, vol.34, no.6, pp. 761~771, June 1999.
- [20] Data sheet, "LMX1600: PLLatinum Low Cost Dual Frequency Synthesizer," National Semiconductor, August 2000.
- [21] Data sheet, "MB15C101: IF Band PLL Frequency Synthesizer," Fujitsu Semiconductor.

저 자 소 개



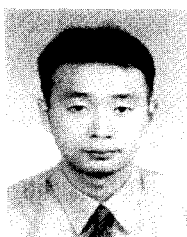
金 裕 桓(正會員)

2001년 2월 : 인천대학교 전자공학과 학사. 2003년 2월 : 인천대학교 대학원 전자공학과 석사. 2003년 3월~현재 : 텔스전자(주) 연구원. <주관심분야 : CMOS 아날로그/혼성모드 집적회로 설계, RF IC 설계>



權 德 起(正會員)

1988년 2월 : 인천대학교 전자공학과 학사. 2000년 2월 : 인천대학교 대학원 전자공학과 석사. 2001년 3월~현재 : 인천대학교 대학원 전자공학과 박사과정. <주관심분야 : CMOS 아날로그/혼성모드 집적회로 설계, RF IC 설계>



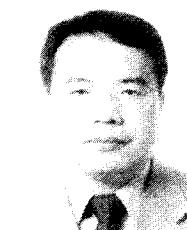
文 燿 燮(正會員)

2001년 2월 : 인천대학교 전자공학과 학사. 2003년 8월 : 인천대학교 대학원 전자공학과 석사. <주관심 분야 : CMOS 아날로그/혼성모드 집적회로 설계, RF IC 설계>



劉 宗 根(正會員)

1985년 2월 : 연세대학교 전자공학과 학사. 1987년 2월 : 연세대학교 대학원 전자공학과 석사. 1993년 12월 : Iowa State University 전기 및 컴퓨터공학과 Ph.D. 1989년 9월~1991년 8월 : Texas A&M University 전기공학과 연구조교. 1994년 3월~현재 : 인천대학교 전자공학과 부교수. <주관심분야 : CMOS Analog/Mixed-mode IC 설계, RF IC 설계>



朴 鍾 泰(正會員)

1981년 2월 : 경북대학교 전자공학과 학사. 1983년 8월 : 연세대학교 대학원 전자공학과 석사. 1987년 2월 : 연세대학교 대학원 전자공학과 박사. 1983년 8월~1985년 8월 : 금성반도체(주) 연구소 연구원. 1991년 1월~1991년 12월 : MIT Post Doc. 2000년 7월~2001년 8월 : UC Davis 방문교수. 1987년 3월~현재 : 인천대학교 전자공학과 교수. <주관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS>