

## 비선형 부하에 적용이 가능한 IED에 관한 연구

朴鍾讚<sup>\*\*</sup>, 金炳鎭<sup>\*\*\*</sup>, 金秀坤<sup>\*</sup>, 田喜鐘<sup>\*\*\*\*</sup>

## A Study on the Intelligent Electronic Device for Non-Linear Loads

J.C. Park, B.J. Kim, S.G. Kim, and H.J. Jeon

## 요 약

본 논문에서는 IED(Intelligent Electronic Devices)에서의 고조파 문제를 연구하였다. 최근 전력전자 기술의 급격한 발전으로 비선형부하에 의한 전력 품질의 왜곡이 심각해지고 있다. 연속적인 고조파 전류는 전력기기의 수명을 단축시키고 발열 문제가 발생하며 비정상적인 동작을 유발한다. 이러한 문제를 해결하기 위한 디지털 보호계전 시스템에서 전통적인 방법으로 전력을 계측하면 고조파의 영향을 고려할 수 없다. 이러한 문제를 해결하기 위하여 본 연구에서는 TMS320C32 DSP와 CPLD를 이용한 IED prototype을 구현하여 실험을 통해 성능을 확인하였다.

## ABSTRACT

In this paper, the IED(Intelligent Electronic Devices) with the consideration of harmonic problems is discussed. With significant development of power electronics technology, the proliferation of a nonlinear load has more deteriorated power quality. As continuous harmonic current makes for a shortening lifetime, overheat and abnormal operation, it should be considered to improve these problems. However, the conventional digital protective relay which eliminates harmonic elements with orthogonal filter has a defect on actually implementation. The prototype IED is constructed with Digital Signal Processor(TMS320C32) and Complex Programmable Logic Device. According to the experiment and simulation results, it is proved that the proposed system has good performance of measuring harmonic factors and protecting electrical equipment.

**Key Words** : IED(Intelligent Electronic Device), 계전기, 고조파 분석, 실시간 OS

## 1. 서 론

사회가 산업화 시대에서 고도의 정보화 시대로 이행 되어감에 따라 전력 에너지가 차지하는 비중은 점차 증가하고 있으며 경제적 성장 및 생활수준의 향상으로

인한 최근의 전력수요 증대는 날로 가속화되고 있다. 최근에 이러한 전력수요의 증대는 더욱 복잡하고 대규모적인 전력계통으로 발전되고 있으며 이에 따른 양질의 전력서비스 및 전력품질의 질적 향상은 지속적으로 요구되고 있다<sup>[1]</sup>.

이렇게 대용량·대규모화된 전력계통은 더욱 복잡 다양화되면서 전력품질의 질적 향상 요구 및 계통운용의 고신뢰성 확보 등 전력 수요자의 다양한 요구가 반영되어야만 한다. 이러한 요구는 전력계통 사고검출의 다양화, 신속화, 감시제어 항목의 증대, 보수점검의 합리화, 자동화 및 전력설비의 고 신뢰성 확보 등의 요구를 포함하고 있지만 이러한 사항들은 기존의 계통 운용설비들로는 충족하기 어려운 요구사항이 대부분이

\*정회원, 숭실대학교 전기공학과 대학원 박사과정

E-mail : amoon@chol.com

\*\*정회원, 오산대학 전기시스템제어과 부교수

\*\*\*정회원, 현대중공업 기전연구소 선임연구원

\*\*\*\*정회원, 숭실대학교 전기공학과 교수

접수일자 : 2003. 6.11

1차심사 : 2003. 7.31

심사완료일 : 2003. 8.11

며 이에 대한 필요성은 점점 증대되는 실정이다<sup>[2]</sup>.

따라서 더욱 복잡해지고 다양해지는 전력계통의 고신뢰성 운용을 위하여 근래에는 고속·고기능이 첨가된 지능형 전력감시·운용 장치인 IED(Intelligent Electronic Devices)의 운용이 확산되고 있다. 즉 IED는 지능형 전력감시·운용장치로서 전기설비의 보호, 감시, 제어, 계측 등의 정보를 종합적으로 제공하며 상위 시스템과 다양한 인터페이스를 통해 계통 운용에 있어서 고신뢰성의 확보 및 전력품질의 향상에 대한 기여 등 계통운용의 정보화를 가능케 하는 전자장비 시스템이다<sup>[3]</sup>.

이러한 계통운용의 정보화를 실현하는 IED는 전기설비의 보호, 감시, 제어, 계측 등의 정보를 종합적으로 처리하기 위하여 전력계측 기능, 보호계전 기능, 정보저장 기능, 원격감시·제어를 위한 통신 네트워크 구성 기능 등이 있어야 한다. 현재 전력계통에서 발생하는 사고의 형태와 종류가 매우 다양하기 때문에 보호계전 기술과 정보저장기술, 원격감시·제어기능 등의 중요성이 갈수록 높아지고 있다. 이와 같이 계통운용의 정보화를 실현하기 위하여 IED는 매우 중요한 전자 장비라고 할 수 있다<sup>[4]</sup>.

그러므로 본 연구에서는 전력계통의 고신뢰성 운용을 지능형 전력감시·운용 장치의 설계와 제작에 관한 연구를 수행하였다. 이는 비선형부하에 의한 전력품질저하의 문제에서 나타나는 여러 가지 악영향요소를 다양하게 고려하여 이에 대한 해결책을 모색하였다. 고조파에 영향을 받는 다양한 종류의 계전기에 대한 동작 특성과 상호 협조의 불가능성, 부하의 수명 단축과 열 발생의 문제점을 해결하기 위해 기존의 직교필터와 병렬로 위치한 고조파 분석기를 설계하였다. 또한 직교필터를 거쳐 입력된 데이터를 중심으로 계산된 전력과 실효율을 계산하는 과정에서 고조파 왜곡율을 반영하였고 실시간성과 정밀성을 고려하여 고신뢰성의 보호기능을 수행하도록 하였다.

## 2. 고조파를 영향을 포함한 IED

### 2.1 고조파를 포함한 전력계산

기존 디지털 전력량계와 보호 계전기에서는 기본과 중심의 계측이 이루어졌다. 그러나 실제 부하에서 사용되는 전력은 기본과 이외에 고조파 성분이 많이 포함된 전압과 전류를 사용한다. 따라서 정확한 전력과 전력량을 구하기 위해서 고조파에 대한 해석이 필수적이다.

또한 기존에 많이 사용되어온 2전력계 방식은 3상의 전압과 전류 고조파에 대한 영향을 각각 적용하기 힘들다. 따라서 3상 전압과 전류를 고려한 전력계산식으로 바뀌어야 한다. 먼저 DFT(Discrete Fourier Transform)나 FFT(Fast Fourier Transform)를 통해 얻어진 각 고조파의 실효값에 직류 성분이 모두 제거되었다는 가정에서 전압과 전류는 다음 식 (1)과 (2)와 같이 표현 가능하며 실효값은 식 (3)과 (4)와 같다. 여기서 N 샘플링 수이며 이론상으로 샘플링수의 절반에 해당되는 주파수를 취득하여 처리한다.

$$V_n = A_n + jB_n \quad (1)$$

$$I_n = C_n + jD_n \quad (2)$$

$$V_{rms} = \sqrt{\sum_{n=1}^{N/2} |V_n|^2} \quad (3)$$

$$I_{rms} = \sqrt{\sum_{n=1}^{N/2} |I_n|^2} \quad (4)$$

전압과 전류를 이용하여 식 (5)은 유효전력이며 식 (6)은 무효전력이다. 피상전력은 식 (7)과 같이 구할 수 있으며 위상전력(phase power)과 왜곡전력(distortion power)은 각각 식 (8)과 (9)와 같다.

$$P_{sum} = \sum_{n=1}^{N/2} A_n * C_n + B_n * D_n \quad (5)$$

$$Q_{sum} = \sum_{n=1}^{N/2} B_n * C_n + A_n * D_n \quad (6)$$

$$U = V_{rms} * I_{rms} \quad (7)$$

$$S = \sqrt{P_{sum}^2 + Q_{sum}^2} \quad (8)$$

$$D = \sqrt{U^2 - S^2} \quad (9)$$

FFT 결과로 얻어진 전압과 전류 값을 이용하여 THD계산은 다음과 같다<sup>[1],[5]</sup>.

$$THD_V = \frac{\sqrt{\sum_{n=2}^{N/2} V_n^2}}{\sqrt{\sum_{n=1}^{N/2} V_n^2}} \quad (10)$$

$$THD_I = \frac{\sqrt{\sum_{n=2}^{N/2} I_n^2}}{\sqrt{\sum_{n=1}^{N/2} I_n^2}} \quad (11)$$

### 2.2 신호 지연시간에 대한 고려사항

정확한 전력과 전력량 계산을 위해서는 고조파에 대한 영향이외에 배전반에서 유입되는 전압과 전류신호

의 지연을 고려해야 한다. 현장에서 배전반의 고압전압과 전류를 계측하기 위해서는 1차 전압, 전류 변류기(transducer)를 사용한 또한 계전기 내부에서 2차 변류기를 사용한다. 이러한 변류기는 작업공정, 노화상태 또는 결선상태에 따라 다양한 시정수를 갖는다.

또한 정확한 계측을 위해서 변류기 출력단에 아날로그 필터나 임피던스 매칭회로를 거치게 된다. 주로 op-amp로 구성되는 아날로그 회로 역시 구성에 따라서 많은 지연성분을 갖는다. 이러한 지연성분은 전압과 전류신호의 제로크로싱(zero-crossing) 지점을 오실로스코프를 통해 보면 확연히 알 수 있다.

아날로그 회로를 거친 전압 전류 신호를 디지털 프로세서가 처리하기 위해서 A/D 컨버터가 사용된다. 정확한 계측을 위해서 분해능이 높고 고속변환이 가능한 고가의 A/D 컨버터가 사용된다. 그러나 4상의 전압과 전류를 측정하기 위해서 다수의 A/D 컨버터가 필요하나 이러한 고성능 A/D 컨버터는 가격이 매우 비싸므로 주로 아날로그 멀티플렉서를 사용한다. 그러나 이러한 멀티플렉서의 사용은 가격적인 문제는 해결할 수 있으나 순차적으로 각 채널의 전압과 전류를 계측해야 한다는 문제점을 갖는다.

앞서 언급된 신호의 지연에 따라서 보호계전기 내부에서 계측된 전압과 전류신호를 기반으로 벡터도를 그려보면 신호지연에 대한 영향을 확실히 알 수 있다. 아날로그 회로에서 발생하는 지연과 멀티플렉서에서 발생하는 지연은 예상이 가능하나 변류기에서 발생하는 지연은 예상할 수 없다. 따라서 전압에 대한 전류지연을 보상하는 보정값(calibration factor)을 임의 조정할 수 있게 하여 현장에서 보상이 가능하게 하였다.

### 3. IED의 구성

#### 3.1 IED 하드웨어의 구성

본 논문에서 제안한 IED의 하드웨어구조는 그림 1과 같다. IED의 하드웨어구조는 아날로그 변환부와 연산처리부로 구성하였으며 그 각각은 아날로그 디지털 변환기와 인터페이스(interface), 메모리, CPU, 디지털 입·출력부, 실시간 클럭 그리고 통신부로 세분화된다. 그 각각의 세부 기능은 다음과 같다.

각종 센서로부터 아날로그 신호의 안정적인 계측을 위해 적절한 입력회로가 필요하다. 연산 증폭기로 구성되는 입력회로를 통해 입력 임피던스를 높일 수 있으며 A/D로 변환에 적절한 크기로 조절 가능하다. 이를 위해서 사용자가 프로그램을 통해서 이득을 조절할

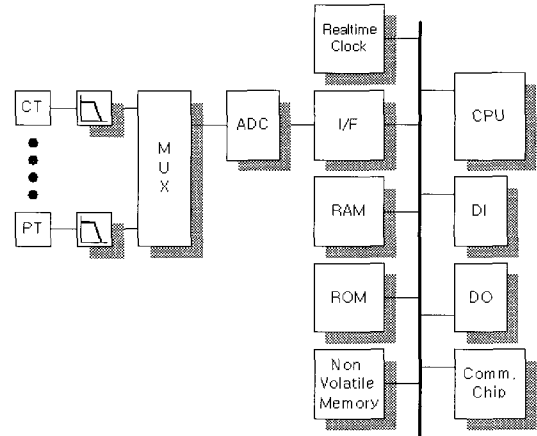


그림 1 IED의 하드웨어 구성  
Fig. 1 Hardware configuration of IED

수 있는 PGA(Programmable Gain op-Amp)를 이용하기도 한다. 예를 들어 입력 값이 작으면 PGA의 이득을 증가시키고 반면에 입력 값이 크면 이득을 감소시켜 A/D변환을 수행한다. 따라서 넓은 전압과 전류 계측이 가능하다<sup>[6][7]</sup>.

또한 저역필터(low-pass filter)로 구성된 anti-alias filter를 설계하여 센서로 들어오는 전력계통의 다양한 고조파를 제거하기도 한다. 일반적인 계전기는 기본파 전압과 전류 파형을 중심으로 계전동작을 수행하므로 크기 감쇄와 위상지연을 고려하여 기본파 주파수의 2배 또는 3배 정도의 cut-off 주파수를 갖는다. 그러나 고조파의 영향을 고려한 계전동작의 수행을 위해서는 anti-alias filter의 cut-off 주파수를 해석하고자하는 신호를 통과시키게 구성해야한다. 따라서 본 연구에서는 소프트웨어적인 필터만을 이용하여 계측을 수행할 수 있도록 구성하였으며 필요에 따라 FFT를 통해 주파수 분석이 가능하도록 하였다.

#### 3.2 IED 소프트웨어의 구성

IED는 계전, 계측, 통신과 다양한 부가 기능을 수행하므로 제안된 시간내에 많은 양의 데이터 처리가 필요하다. 또한 잘못된 계전 동작은 커다란 경제적인 손실과 인명피해를 유발하므로 안정적인 작동이 필요하다. 이와 같은 이유로 다수의 마이크로 프로세서를 이용한 IED 설계가 이루어지고 있는 실정이다. 이러한 다수의 마이크로 프로세서를 이용한 IED는 충분한 자원을 확보할 수 있다는 큰 장점을 가지나 마이크로 프로세서간의 통신에 많은 어려움이 있고 소프트웨어의 개발이 복잡하다는 단점을 갖는다. 따라서 본 연구에

서는 마이크로 프로세서의 이용율을 최대한으로 높일 수 있으면서도 실시간성을 보장할 수 있는 실시간 오퍼레이팅 시스템을 이용하여 단일 프로세서로 계전기를 구성하였다.

태스크의 설계는 전체 시스템의 효율을 좌우할 정도로 매우 중요한 일이다. 여러개의 태스크가 하나의 CPU를 공유하므로 태스크가 전환될 때에 많은 오버헤드(overhead)가 발생한다. 이러한 오버헤드는 시스템의 성능을 저하시킬 수 있으므로 가능한 태스크의 전환이 적게 이루어질 수 있도록 같은 성격의 일을 하나의 태스크로 설정해야한다.

IED는 크게 계측 인터럽트, 계전 태스크, 통신 태스크 그리고 디스플레이 태스크로 나눌 수 있다. 계전 태스크가 가장 상위의 우선 순위를 가지며 통신 태스크가 중간 그리고 디스플레이 태스크가 가장 낮은 순위로 부여하였다. 이러한 우선 순위 정의를 통해 계전 태스크는 필요하다면 우선 순위가 낮은 태스크의 CPU 점유를 정지(suspend)시키고 CPU를 점유할 수 있어 실시간성을 보장할 수 있게 설계하였다<sup>8, 10)</sup>.

계측 인터럽트를 통해 일정한 샘플링 주기마다 전압과 전류량을 A/D변환 한 후에 이 값을 버퍼에 저장해야 한다. 또한 A/D 결과 값을 기반으로 직류 옵셋 필터와 직교필터를 거치게 된다. 이러한 일련의 과정은 샘플링 주기마다 정확히 이루어져야 하므로 스케줄러와 상관없이 언제나 CPU를 점유할 수 있는 타이머 인터럽트를 사용한다. 타이머 인터럽트 주기는 채널수, 샘플링 주파수 그리고 시스템 주파수로 결정된다. 시스템 주파수는 전력계통에서 사용되는 기본파 주파수를 의미하는 것으로 50[Hz]와 60[Hz]중에 하나를 갖는다. 새롭게 정보가 발생했음을 알려 계전 태스크가 동작하게 하기 위해서 바이너리 세마포어(Binary Semaphore)를 사용하였다. 계전 태스크는 계측 인터럽트를 통해 얻어진 전압, 전류, 주파수 그리고 위상 등을 기반으로 하여 계전동작을 수행하는 함수들로 구성되었다. 전력계통의 응용에 따라 다양한 계전기가 사용될 수 있으므로 각 계전기는 독립적으로 구성되어야 하고 각기 다른 독립적인 타이머를 가져야 한다.

통신 태스크는 IED에 다양한 시스템 파라미터를 상위 시스템에 전송하기도하고 상위 시스템의 지령에 따라서 동작하기도 한다. 통신 제어칩셋과 프로토콜에 따라서 상위 시스템에 의존하는 폴링(polling)방식과 더불어 각 IED마다 발생된 이벤트를 상위 시스템의 요구 없이도 자치적(autonomy)으로 전송할 수 있다. 자치적인 통신은 시급한(urgent) 데이터의 빠른 처리

를 위해 필요하나 전송된 데이터가 충돌이 발생할 가능성이 있다. 따라서 이러한 서비스를 위해 통신 칩셋 내부에 충돌검사(collision detection) 기능과 대책이 수립되어야한다. 단순히 폴링방식을 이용한 데이터전송은 상위 시스템으로부터 발생하는 데이터요구와 이에 대한 IED의 응답으로 구성되어있다. 따라서 통신 태스크는 통신칩셋으로부터 수신 인터럽트(receive interrupt)가 발생될 때까지 정지(suspend)상태에 있게 된다. 수신 인터럽트가 발생되면 수신 데이터를 각 프로토콜 스택마다 분석하게 되고 이에 대한 응답을 송신 인터럽트(transmit interrupt)를 통하여 상위 시스템에 전송된다. 상위 시스템의 데이터 처리 task와 통신 칩셋 사이의 task 제어정보 교환은 두 개의 세마포어를 이용한다.

디스플레이 태스크에서는 다양한 정보를 사용자에게 알려주는 기능과 함께 사용자의 정정치 설정이 가능할 수 있게 한다. 다양한 메뉴에서 사용자의 설정이 이루어질 수 있으며 이러한 값을 다양한 태스크들이 공유하므로 바이너리(binary) 세마포어를 이용하여 공유자원의 상호 배제(mutual exclusive)를 이루었다.

#### 4. 실험장치의 구성 및 실험결과

##### 4.1 디지털 제어부의 구성

IED의 계측부는 크게 멀티플렉서와 A/D변환기로 구성되는데 동작은 다음과 같다. 먼저 멀티플렉서의 스위칭을 통해서 A/D변환하고자 하는 채널의 입력을 받는다. 멀티플렉서의 안정화 시간을 기다린 후에 A/D변환기에 변환명령을 발생시킨다. A/D변환과정에 소요되는 시간을 기다린 후에 A/D변환 결과 값을 읽어 들인다. 멀티플렉서의 안정화 시간이 짧으면 채널 간 간섭이 발생되므로 충분한 시간이 필요하며 A/D변환과정의 끝났음을 알리는 신호(end of conversion)를 감지하여 정확한 A/D변환이 이루어질 수 있게 한다. 본 연구에서는 사용자의 설계에 따라 회로를 구성할 수 있는 CPLD(Complex Programmable Logic Device)를 이용하여 A/D변환 기능을 하드웨어적으로 수행하는 샘플링 회로를 설계하여 A/D변환에 소요되는 메인 프로세서의 부담을 줄였다. 예를 들어 시스템 주파수  $f_{system}$ 가 60[Hz]이고 이-날로그 채널  $N_{channel}$ 이 10개이며 샘플링 주파수  $f_{sample}$ 가 32이라면 식과 같은 제어 주기마다 멀티플렉서, A/D변환기 그리고 메모리 관리가 필요하다. 만약 메인 프로세서에 인터럽트를 이용하여 A/D변환 기능을 수행하면 프로세서에 많은 부담

을 주게 된다.

$$T_{ad} = \frac{1}{f_{sample}} \cdot \frac{1}{f_{system}} \cdot \frac{1}{N_{channel}} = 52[\mu s] \quad (12)$$

CPLD는 정해진 양의 게이트를 이용하여 사용자의 설계에 따라 회로를 구성할 수 있는 소자로 본 연구에서는 멀티플렉서 제어기, 램 제어기, 인터럽트 제어기, 동기 관리기 및 A/D변환 제어기 등을 통해 샘플링 회로를 구성하였다. 개발된 샘플링 회로를 이용한 IED의 계측부는 그림 2와 같이 구성되었다.

그림 3은 CPLD로 구성된 샘플링 회로의 컴퓨터를 이용한 시뮬레이션이다. 샘플링 회로는 먼저 각 블록 시뮬레이션을 통하여 로직 수행을 검증한 후에 전체 블록을 합쳐서 다시 시뮬레이션을 수행하였다. 설계자가 정의한 대로 회로가 동작됨을 확인한 후에 설계된 로직을 CPLD 칩셋에 프로그램 하였다.

그림 4는 IED의 디지털 제어부의 전체구성을 나타내고 있다. 그림과 같이 메인 마이크로 프로세서로 TMS320C32(50MHz)를 사용한다.

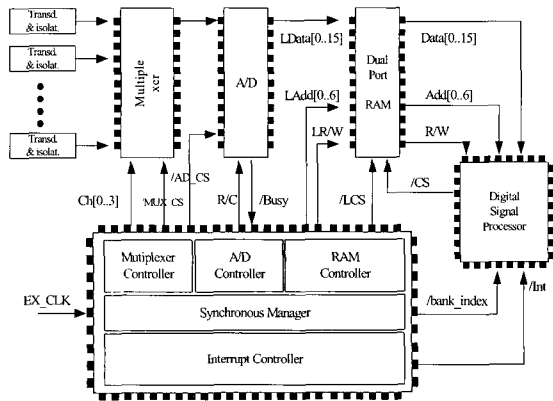


그림 2 샘플링 회로의 블록도  
Fig. 2 Block diagram of sampling circuit

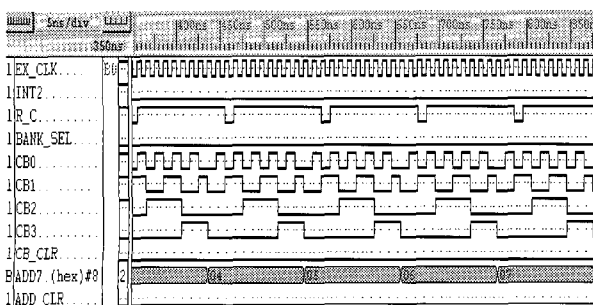


그림 3 CPLD 샘플링 회로의 시뮬레이션  
Fig. 3 Simulation of CPLD sampling circuit

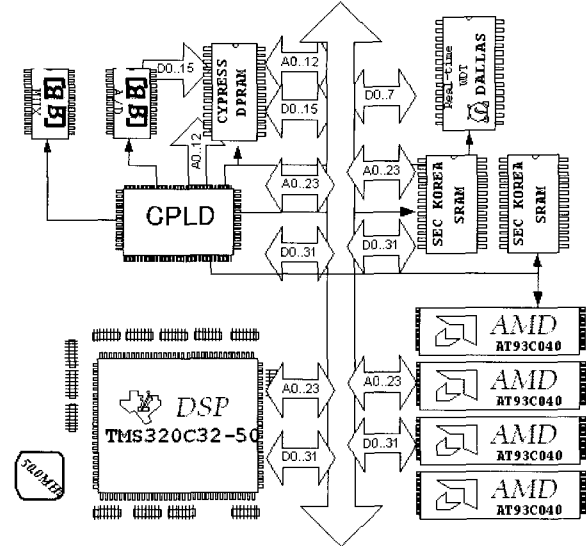


그림 4 디지털 제어부의 구성  
Fig. 4 Configuration of digital controller

TMS320C32는 부동 소수점 연산이 가능한 DSP (Digital Signal Processor)로 반복적인 곱셈과 덧셈을 빠르게 처리할 수 있어 많은 양의 디지털 신호처리가 필요한 IED에 적합하다. 16비트 고성능 A/D변환기를 채용하여 계측 정밀도를 높였고 CAN(Controller Area Network) 통신을 이용하여 원격감시나 제어를 가능하게 하였다.

프로그램의 개발은 퍼스널 컴퓨터에 의해서 이루어졌으며 개발의 편리성을 위하여 모니터링 프로그램을 이용하여 개발된 제어 프로그램을 시리얼 통신을 이용하여 제어통신보드에 탑재하였다.

#### 4.2 시간지연 보상 및 CPLD 실험

본 연구에서는 약 2.5[usec]의 충분한 안정화 시간을 확보하여 간섭현상을 막았다. 2.5[usec]라는 시간은 마이크로 프로세서인 DSP 입장에서는 매우 긴 시간이다. 이전 채널의 데이터를 입력받은 후에 그 데이터의 처리를 하기 전에 멀티플렉서의 채널을 변환하는 명령을 주고 안정화 시간동안 DSP는 데이터의 처리를 수행하는 방법을 사용하여 효율적으로 DSP를 사용하였다.

그림 5는 계전기 CT와 PT에서 입력받은 전압과 전류 파형이다. 정확한 시점에서 제로 크로싱이 이루어지는 것 같이 보이나 제로 크로싱 시점을 확대해 보면 그림 6과 같이 전압파형에 대해 전류 파형이 약 150[usec] 정도의 지연이 생기는 것을 알 수 있다.

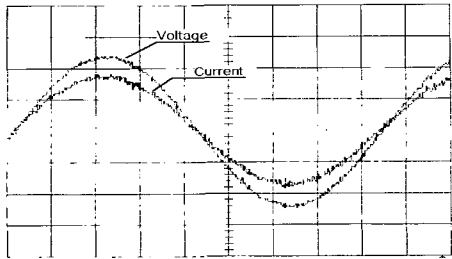


그림 5 전압, 전류 파형  
Fig. 5 Waveforms of voltage and current (100[V/div], 3[A/div] 2[ms/div])

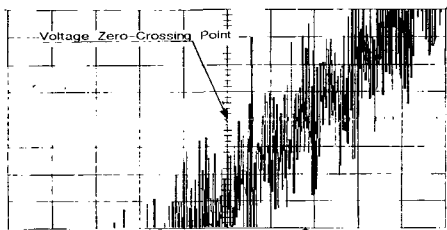


그림 6 전류 제로크로싱  
Fig. 6 Current zero-crossing (10[mV/div], 100[us/div])

이러한 신호의 지연에 따라서 보호계전기 내부에서 계측된 전압과 전류신호를 기반으로 벡터도를 그려보면 신호지연에 대한 영향을 확실히 알 수 있다. 아날로그 회로에서 발생하는 지연과 멀티플렉서에서 발생하는 지연은 예상이 가능하나 변류기에서 발생하는 지연은 예상할 수 없다. 따라서 전압에 대한 전류지연을 보상하는 보정값(calibration factor)을 임의 조정할 수 있게 하여 현장에서 보상이 가능하게 하였다.

그림 7은 DSP를 이용한 A/D 변환기와 멀티플렉서 제어의 실험 결과를 나타내고 있다. 먼저 그림 7(a)에서는 멀티플렉서가 원하는 채널로 스위칭이 이루어짐을 볼 수 있다. 멀티플렉서가 새로운 채널의 입력을 안정적으로 받기 위해서 안정화 시간이 필요하며 이 시간을 확보하지 못하면 이웃 채널 신호와의 간섭이 일어난다. 본 연구에서는 약 2.5[us]의 충분한 안정화 시간을 확보하여 간섭현상을 막았다. 2.5[us]라는 시간은 마이크로 프로세서인 DSP 입장에서는 매우 긴 시간이다. 이전 채널의 데이터를 입력받은 후에 그 데이터의 처리를 하기 전에 멀티플렉서의 채널을 변환하는 명령을 주고 안정화 시간동안 DSP는 데이터의 처리를 수행하는 방법을 사용하여 효율적으로 DSP를 사용하였다.

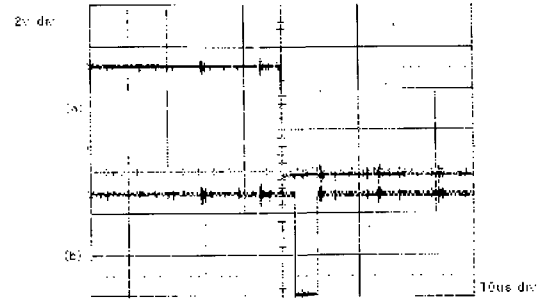


그림 7 DSP를 이용한 A/D 변환 타이밍도  
Fig. 7 A/D Conversion timing-chart using DSP

A/D 변환기 명령이 인가되면 A/D 변환기 내부에서 입력신호를 A/D 변환하는데 소요되는 시간까지  $\overline{BUSY}$  신호를 그림 7(b)와 같이 발생한다. A/D 변환의 종류에 따라 소요되는 시간이 다르며  $\overline{BUSY}$ 가 RESET되면 A/D 결과 값을 읽으면 된다. 경우에 따라서  $\overline{BUSY}$  신호를 처리하지 않고 충분한 시간이 지난 후에 A/D 결과 값을 읽는 방식도 있다.

#### 4.3 주파수 보상기 및 IED 계전 실험

그림 8은 주파수 변동에 따른 IED 내에 구성된 주파수 보상기의 특성을 나타낸다. 정밀한 계전기 테스트(CMC256-6)를 이용하여 입력 전압의 주파수를 45[Hz]에서 75[Hz]까지 변동시켰다. 이러한 경우에 직교필터를 사용하는 일반 IED는 입력 주파수가 공칭 주파수에서 멀어질수록 측정값이 떨어지는 문제점을 갖는다. 특히, 인버터를 사용하는 전동기 보호나 발전기 보호를 위해서는 주파수 보상에 대한 대책은 필수적으로 구려해야 한다. 본 연구에서는 주파수 보상기로 직교필터의 출력값을 보상하는 기법을 사용하여 그림 8과 같이 주파수 변동에 무관하게 값을 측정할 수 있게 구성하였다.

그림 9는 3상 중 한 상의 전류가 증가되어 과전류 보호계전기가 작동된 사고의 전압과 전류, 트립상태를 나타낸 것이다. 계전기 테스트를 이용하여 과전류 사고를 모의하여 약 -32[msec](그림 9(a)) 시점에서 사고 전류를 인가하였다. 과전류 계전기는 사고를 인식하고 사용자가 설정한 과전류 계전기 세팅에 맞추어 2주기 후에(그림 9(c)) 트립 신호를 발생하였다.

사고파형 저장 기능을 수행하기 위해 먼저 사고 전후의 데이터를 비휘발성 메모리로 옮기고 사고가 발생됨을 통신과 알람(alarm)기능을 통해 사용자에게 알린다. 사용자가 확인을 원하는 경우에 사고파형 요청을

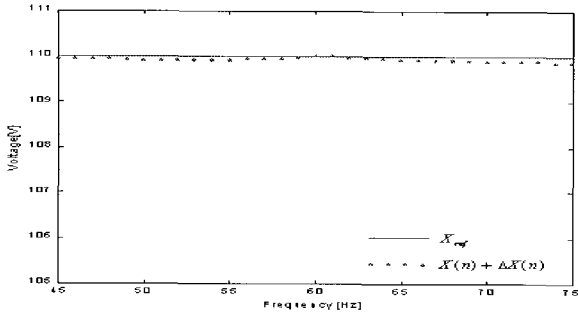


그림 8 주파수 변동에 따른 보상기 특성  
 Fig. 8 Compensator characteristic for frequency variation

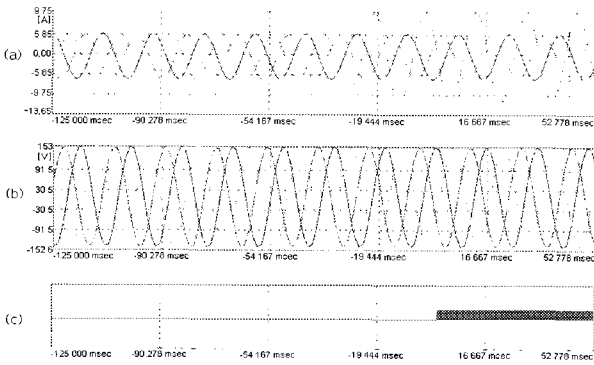


그림 9 과전류 사고 파형  
 Fig. 9 Waveforms of over-current fault

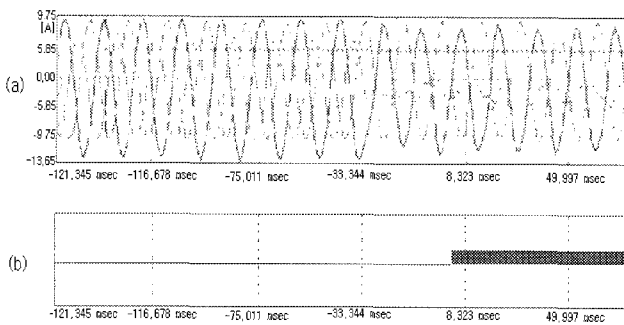


그림 10 지락전류 사고 파형  
 Fig. 10 Waveforms of ground fault current

통신을 통해서 IED에 전송하고 IED는 저장된 사고파형을 상단 사용자 HMI(Human Machine Interface) 서버에 전송하게 된다.

그림 10은 현장에서 발생한 지락사고의 전류변화를 IED가 계측한 것이다. 그림 10(a)의 c상의 전류가 사고로 인하여 감소되고 일정 시간 후에 지락 계전기가

동작하여 계전기 트립이 발생하였다. 계전기의 동작 시간이 사용자가 정의한대로 정확히 동작함을 확인하였다.

### 5. 결 론

본 연구에서는 전력계통의 고신뢰성 운용과 배전자동화를 위한 지능형 전력감시·운용 장치(IED)의 설계와 제작에 관한 연구를 수행하였다. 이는 비선형 부하에 의한 전력 품질저하의 문제에서 나타나는 여러 가지 악영향 요소를 다양하게 고려하면서 그 해결책을 모색한 IED 시스템 설계기법에 관한 연구이다.

배전 자동화를 위한 IED의 여러 기능 중에서 중요한 기능인 보호계전기의 문제점을 기술하였다. 또한 계전 동작에 국한하지 않고 배전 자동화를 이룰 수 있도록 계전 기능뿐만 아니라 원격감시, 사고파형 저장 등이 가능하도록 IED를 설계하였다.

제안된 IED를 실제 구현하기 위하여 고성능 마이크로 프로세서와 CPLD로 구성된 디지털 회로부와 다양한 필터 그리고 통신 모듈을 구성하였다. 실시간 OS를 기반으로 프로그램을 제작하여 프로세서의 활용율을 최대한 높였다.

향후 FPGA를 이용한 고조파 분석 회로를 구성하여 실시간 고조파 분석 기능을 수행할 수 있는 IED에 대한 연구가 필요할 것으로 생각된다.

본 연구는 한국과학재단 목적기초연구 (R01-2002-000-00497-0) 지원으로 수행되었음

### 참 고 문 헌

- [1] R.C. Patterson, "A Quantum leap into the IED age", *The 39th Rural Electric Power Annual Conference*, pp. (B1)-1-5, 1996.
- [2] W.A. Elmore, C.A. Kramer, and S.E. Zocholl, "Effect of Waveform Distortion On Protective Relays", *Industry Applications Society Annual Meeting, 1991, Conference Record of the 1991 IEEE*, Vol. 2, pp. 1802~1811, 1991.
- [3] Douglas Proudfoot, "Innovative Substation Design - The Bay Controller Concept", *Thirty Fourth IAS Annual Meeting, Conference Record of the 1999 IEEE*, Vol. 2, pp. 953~959, 1999.

- [4] L.G. Durnte and P.K. Ghosh, "Active Power Measurement in Nonsinsoidal Environments", *Power Systems, IEEE Transactions on*, Vol. 15, Issue 3, pp. 1142 ~1147, Aug. 2000.
- [5] P. Carbone and D. Petri, "Average Power estimation Under Nonsinusoidal Conditions", *Instrumentation and Measurement, IEEE Transactions on*, Vol. 49, Issue 2, pp. 333~336, April 2000.
- [6] Shen-Fu Hsiao and wei-Ren Shiue, "Design of Low-Cost and High-throughput Linear Arrays for DFT Computation Algorithms, and Implementations", *IEEE Transactions on Circuits and Systems-II Analog and Digital Signal Processing*, Vol. 47, No. 11, Nov. 2000.
- [7] Chung-Ping Young and J. Devaney, "Digital Power Metering Manifold", *Instrumentation and Measurement, IEEE Transactions on*, Vol. 47, Issue 1, pp. 224~228, Feb. 1998.
- [8] A.P.S. Meliopoulos, B. Fardanesh, S. Zelingher, and G. J. Cokkinides, "Harmonic Measurement System via Sync Measuretent", *Power Engineering Society Summer Meeting, 2000. IEEE*, Vol. 2, pp. 1094~1100, 2000.
- [9] P. Petrovic, S. Marjanovic, and M.R. Stevanovic, "New Algorithm for Measuring 50/60Hz AC Values Based on the Usage of Slow AD Converters", *Instrumentation and Measurement, IEEE Transactions on*, Vol. 49, Issue 1, pp. 166~171, Feb. 2000.



**김수곤(金秀坤)**

1970년 3월 4일생. 1995년 송실대 전기공학과 졸업. 1997년 동 대학원 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사과정.



**전희종(田喜鐘)**

1953년 1월 6일생. 1975년 송실대 전기공학과 졸업. 1977년 서울대학교 대학원 전기공학과 졸업(석사). 1977년~1981년 공군사관학교 전자공학과 교수부. 1987년 중앙대학교 대학원 전기공학과 졸업(공학박). 1995년 9월~1996년 4월 미국 Univ. of Victoria 객원교수. 1983년~현재 송실대 전기공학과 교수.

**저 자 소 개**



**박종찬(朴鍾讚)**

1955년 12월 19일생. 1982년 송실대 전기공학과 졸업. 1988년 동 대학원 전기공학과 졸업(석사). 2002년 동 대학원 전기공학과 졸업(공학박). 1992년~현재 오산대학 전기시스템제어과 부교수.



**김병진(金炳鎭)**

1970년 6월 26일생. 1994년 송실대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 2001년 동 대학원 전기공학과 졸업(박사). 현재 현대중공업 기전연구소 선임연구원.