

## PQR 순시전력이론에 의한 동적전압보상기의 기준파 발생기

金孝城\*, 李尙俊\*\*, 薛承基\*\*\*

## The Reference Wave Generator for Dynamic Voltage Restorers by use of PQR Instantaneous Power Theory

H.S. Kim, S.J. Lee, and S.K. Sul

## 요 약

순시전압강화보상기(DVR)는 순시전압강하 및 상승을 보상하기 위한 가장 효과적이고 경제적인 수단으로 알려져 있다<sup>1) 11)</sup>. 본 논문은 계통의 전압이 사고에 의해서 심하게 왜곡되는 경우에서도 계통과 동기된 정현적인 기준파를 생성하는 방법을 제시한다. 제안된 기준파발생기(RWG)는 사고로 왜곡된 전압으로부터 원래의 정현적인 파형을 추출하고 정상 성분만의 전압을 합성하여 DVR의 제어에 사용하도록 한다. 전원 전압의 사고 순간에도 RWG는 과도적인 문제가 없는 안정된 정현 파형을 출력한다.

## ABSTRACT

Dynamic Voltage Restorers (DVR)s are known as the best effective and economic means to compensate for voltage sags and swells<sup>1) 11)</sup>. This paper proposes a novel method to generate reference voltages synchronized with the grid whether the line voltages are distorted by a fault or not. The proposed reference wave generator (RWG) looks for the original wave forms from the corrupted line voltages and synthesizes the expected positive sequence reference waves for DVRs. There is no transient problem on the generated reference waves when the line voltages are distorted by the fault.

**Key words** : Power Quality, Dynamic Voltage Restorer (DVR), PLL, Reference Wave Generator (RWG)

## 1. 서 론

최근 반세기동안 전력의 품질은 그 중요성이 점점 더 부각되어 왔다. 송·배전 계통에서 전원전압의 품

질을 저하시키는 주요한 원인으로는 순시전압 저하(voltage sag), 또는 순시전압 상승(voltage swell)을 들 수 있다<sup>1) 8)</sup>. 전압 품질의 저하로 인하여 생산중단이 미치는 경제적인 손실은 대규모 공장의 경우 10만 달러에 달하는 것으로 추산된다<sup>9)</sup>. DVR은 전압 sag나 전압 swell에 대하여 아주 경제적인 대처방법으로 평가되고 있다<sup>9) 11)</sup>.

전압 sag 및 swell의 발생 원인은 송배전망의 구조 및 지역적인 특징에 따라 다양하게 나타나지만, 특징적으로 전압의 불평형, 고조파에 의한 심한 왜곡, 위상의 천이 및 과도상태를 동반하며 심지어 하나 이상의 상전압이 소실되기도 한다. 이러한 극한의 전압 상황

\*정회원, 천안공업대학 제어계측과 교수

E-mail : hyoskim@cntc.ac.kr

\*\*정회원, (주)로템 중앙연구소 선임연구원

\*\*\*정회원, 서울대학교 전기·컴퓨터공학부 교수

접수일자 : 2003. 7. 1

1차심사 : 2003. 7. 13

심사완료일 : 2003. 7. 31

에서도 송배전망에 공급되고 있는 원래의 정상적인 전압과 동기된 기준파를 생성하여 제어기에 공급하여 주어야만 DVR은 소기의 목적에 맞는 동작을 할 수 있다<sup>[12]</sup>.

기준파를 만들어 주는 실제적인 방법 중의 하나로는 Phase Locked Loop (PLL)을 사용하는 방법이 있다. 그림 1에 PLL의 출력을 고장전압검출에 의해 고정시키는 개념을 보인다. 전원단의 전압고장이 발생하면 PLL의 출력이 고장이 발생하기 직전의 상태로 고정되어서 DVR의 제어기에 공급되는 것이다<sup>[12][13]</sup>. 이 경우 전원전압의 고장을 검출하여 PLL의 출력을 신속하게 고정시키는 것이 아주 중요하다. 그러나 고장검출 회로의 시간 지연에 따른 한계가 존재한다. 또 한가지의 문제는 전원전압이 복구되었을 때 PLL의 출력을 전원단 전압과 재 동기 하여야 하는 점이다. 송 배전망의 주파수는 고장기간 중에 작은 값이지만 변화할 수 있다. 예를 들어, PLL의 출력이 60Hz로 고정되어 있는 고장 기간동안 송 배전망의 전원 주파수가 60.1Hz로 바뀐다면 2.5초 후에는 두 전압의 위상차가 90°에 이르게 되는 것이다.

본 논문에서는 심하게 뒤틀린 전원전압의 고장 조건에서도 과도현상이 없이 안정되게 평형된 3상 정현파를 발생시켜주는 기준파 발생회로 (RWG)를 제안하였다. 그림 2에 제안된 기준파 발생기를 사용하는 개념을 보인다. 제안된 기준파 발생회로는 전원전압의 불평형, 고조파에 의한 왜곡, 위상 천이, 상전압의 소실 및 급격한 과도상태 등에 대하여서 송배전망에서 공급이 예상되는 정상적인 전압과 항상 동기 되는 안정된 기준파를 제공하여 줌으로써 DVR이 정확한 전압보상을 할 수 있도록 하여준다. 제안된 기준전압 발생회로는 DVR 뿐만 아니라, 능동전력필터(APF), 통합전력품질제어기(UPQC) 등의 전력 품질 보상기기의 설계에 널리 사용될 수 있다. 제안된 이론을 시뮬레이션 및 실험을 통하여 검증하였다.

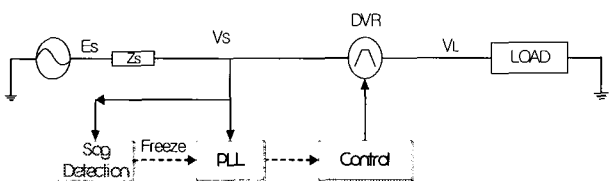


그림 1 고장전압 검출로 PLL 출력을 고정시키는 방법  
Fig. 1 Freezing PLL output by voltage fault detector

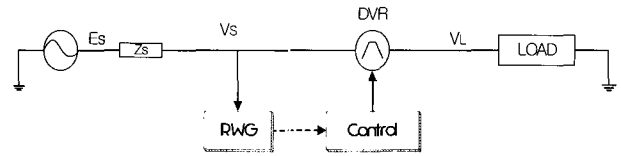


그림 2 제안된 기준파 발생기를 사용하는 개념  
Fig. 2 Proposed algorithm using RWG

## 2. PQR 변환과 기준파

### 2.1 PQR 변환

a-b-c 좌표계에서의 3상 전압은 식 (1)과 같이 α-β-0 좌표계로 변환된다.

$$\begin{bmatrix} v_a \\ v_\beta \\ v_0 \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (1)$$

a-b-c 좌표계에서의 기준파  $v_{aREF}$ ,  $v_{bREF}$ , 그리고  $v_{cREF}$ 가 평형된 정현파라면 α-β-0 좌표계에서의 기준파의 공간벡터는 식 (2)와 같이 표현된다. 이 때 영상 성분은 존재하지 않으며,  $v_{aREF}$ 는  $v_{aREF}$ 와 동상이 되는 정현파가 되고  $v_{bREF}$ 는  $v_{aREF}$ 와 크기가 같으며 위상이 90° 뒤지는 정현파가 된다.

$$\mathbf{V}^{REF} = \begin{bmatrix} v_{aREF} \\ v_{bREF} \\ 0 \end{bmatrix} \quad (2)$$

PQR 전력이론에서는 기준파  $v_{aREF}$ ,  $v_{bREF}$ 을 맵핑 매트릭스로 취하여 α-β-0 좌표계의 검출전압을 식 (3)과 같이 p-q-r 좌표계로 변환시킨다<sup>[14]</sup>.

$$\begin{bmatrix} v_p \\ v_q \\ v_r \end{bmatrix} = \begin{bmatrix} \frac{e_{aREF}}{e_{a\beta REF}} & \frac{e_{bREF}}{e_{a\beta REF}} & 0 \\ -\frac{e_{\beta REF}}{e_{a\beta REF}} & \frac{e_{aREF}}{e_{a\beta REF}} & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_\beta \\ v_0 \end{bmatrix} \quad (3)$$

단,  $v_{a\beta REF} = \sqrt{v_{aREF}^2 + v_{\beta REF}^2}$ .

여기에서 PQR 변환을 위하여는 α-β-0 좌표계의 기준전압  $v_{aREF}$ ,  $v_{bREF}$ 을 안정되게 확보하는 것이 중요하다. 이러한 기준파  $v_{aREF}$ ,  $v_{bREF}$ 은 전원단 또는 부하단의 전압을 검출하여 얻을 수 밖에 없는데, 전원단

전압에 고장이 발생하여 전원단 전압이 심하게 뒤틀린 경우 기준전압도 따라서 뒤틀리는 문제가 발생한다. 따라서 전원단 전압의 고장에도 불구하고 송배전 망에서 공급되는 정상적인 전압과 동기 되는 기준전압을 발생시키기 위한 회로의 개발이 요구된다.

2.2 기준파 발생기 (RWG)

그림 3에 기준파 발생기(RWG)의 블록도를 보인다. a-b-c 좌표계에서의 3상 전압은 abc-αβ 변환에 의하여  $v_\alpha$  및  $v_\beta$ 로 변환된다. a-b-c 좌표계의 3상 전압이 평형·정현적인 파형이라면  $v_\alpha$  및  $v_\beta$ 는 직교·정현적인 파형이 된다. 여기서 “직교적”이라 함은 두 파형이 서로 90°의 위상차를 갖는다는 것이다. 그러나 검출된 3상 전압이 전압 sag나 고조파 등에 의해서 뒤틀려 있다면  $v_\alpha$  및  $v_\beta$ 는 더 이상 직교·정현적인 파형이 되지 못한다.

어떠한 전압 조건에서도 직교·정현적인  $v_{\alpha REF}$ ,  $v_{\beta REF}$ 을 얻기 위하여  $v_\alpha$  및  $v_\beta$ 는 그림 3의 두 번째 블록인 “Normalizing & Wave shaping” 모듈의 처리 과정을 거친다. 그림 4는 “Normalizing & Wave shaping” 모듈의 내부 회로 개념을 보인다.

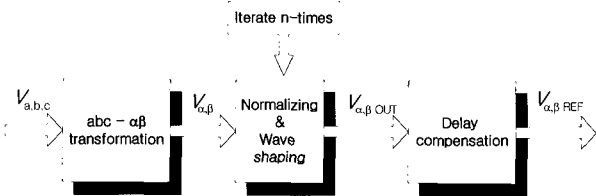


그림 3 기준전압 발생기의 블록도.  
Fig. 3 Block diagram for Reference Wave Generator(RWG)

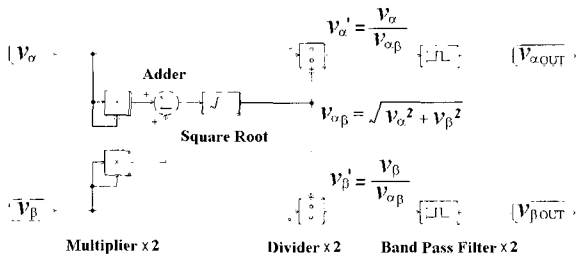


그림 4 Normalizing & Wave shaping 모듈의 내부 회로 개념도  
Fig. 4 Circuit implementation for Normalizing & Wave shaping module

Normalizing 회로는,

$$v_\alpha' = \frac{v_\alpha}{v_{\alpha\beta}}, v_\beta' = \frac{v_\beta}{v_{\alpha\beta}}$$

를 계산하여 출력하는 부분이며 이 계산에 의하여 두 파형  $v_\alpha'$  및  $v_\beta'$ 은 직교적이 된다. Wave shaping 회로는 두 개의 밴드패스 필터 (BPF)로 구성되며 두 파형  $v_\alpha'$  및  $v_\beta'$ 이 보다 정현적이 되도록 하여 준다. BPF의 컷오프 주파수는 60Hz 이다. “Normalizing & Wave shaping” 모듈의 반복 처리과정을 거치면  $v_\alpha$  및  $v_\beta$ 는 송배전망에 공급되는 이상적인 전압파형으로부터 얻을 수 있는 기준파와 아주 근사한 직교·정현적인 파형으로 정형이 된다.

기준파 발생기(RWG)는 아날로그회로나 디지털회로를 사용하여 하드웨어적으로 구현할 수도 있고 CPU등을 사용하여 소프트웨어 적으로 구현 할 수도 있다. 본 논문에서는 TMS320VC33/150MHz 칩이 장착된 DSP 보드를 사용하여 소프트웨어적으로 구현하였다. DSP 보드의 샘플링 주파수는 DVR의 스위칭 주파수와 맞추어 10kHz로 하였다.

따라서 “Normalizing & Wave shaping” 모듈은 DSP의 샘플링 주기와 관련하여 시간 지연이 발생하게 된다. 기준파 발생회로(RWG)의 시간 지연은 제어시스템의 동특성에 영향을 주지는 않으나 정상상태에 영향을 주므로 정확한 시간지연을 계산하여 보상해 줄 필요가 있다. 본 논문에서는 “Normalizing & Wave shaping” 모듈의 반복처리 횟수를 12회로 하였으므로 RWG 회로의 시간지연은  $t_D = 12 \times T_{samp} = 1.2 \text{ ms}$ 이 된다. 이를 각도로 환산하면 식 (4)와 같다.

$$\begin{aligned} \theta_D &= 2\pi f \times n \times T_{samp} \\ &= 0.4524 \text{ rad} \\ &= 25.92^\circ \end{aligned} \tag{4}$$

단,  
 $2\pi f$ : 상용주파수  $f$  (=60Hz)에서 1초당 지연각 [rad]  
 $n$ : Normalizing & Wave shaping 모듈의 반복 회수  
 $T_{samp}$ : DSP 보드의 샘플링 주기.

식 (4)에서 구한 지연각 ( $\theta_D$ )을 사용하여 그림 3의 마지막 단계에서 지연각 보상을 수행한다. 지연각 보상 모듈에서는 다음 식 (5)와 같이 지연각을 보상하여 최종적으로 기준전압  $v_{\alpha REF}$  및  $v_{\beta REF}$ 을 출력한다.

$$\begin{bmatrix} v_{\alpha REF} \\ v_{\beta REF} \end{bmatrix} = \begin{bmatrix} \cos \theta_D & \sin \theta_D \\ -\sin \theta_D & \cos \theta_D \end{bmatrix} \begin{bmatrix} v_{\alpha OUT} \\ v_{\beta OUT} \end{bmatrix} \quad (5)$$

이와 같이 RWG 회로에서 발생하는 기준파는 전원단 전압에 고장이 발생하는 동안에도 계통망의 전압과 지속적으로 동기하고 있으므로 고장으로부터 복귀하는 순간에 계통망의 전압과 재 동기(resynchronize) 할 필요가 없다. 기준파  $v_{\alpha REF}$  및  $v_{\beta REF}$ 의 크기는 중요하지 않으나 제어계통에서 계산의 편의상 1이 되도록 하였다.

그림 5에 전원단 전압이 전압 sag 및 7차 고조파 성분으로 인하여 심하게 왜곡되어 있는 경우의 전원단 전압과 기준파 발생회로의 출력전압을 시뮬레이션한 결과를 보인다. 그림 5에서 맨 위의 파형이 a-b-c 좌표계의 전원단 전압이고 가운데가 a-β 좌표계로 변환한 전압  $v_{\alpha}$  및  $v_{\beta}$ , 그리고 맨 아래의 파형이 RWG 회로를 거친 기준파  $v_{\alpha REF}$  및  $v_{\beta REF}$ 이다.

시뮬레이션을 시작한 후 0.12초 후에 전원단 전압에 고장이 발생한다. 고장이 발생하면 각상의 전원전압에 10%의 7차 고조파가 함유되며 b상과 c상에 약 70% 가량의 sag가 발생한다. sag가 발생한 b상 및 c상에서는 위상 점프(phase jump)도 발생하여 b상의 위상은 a상의 위상과 비교하여 거의 180° 지연된다. 이러한 조건에서 a-β 좌표계로 변환한 전압  $v_{\alpha}$  및  $v_{\beta}$  역시 심하게 뒤틀려 있음을 볼 수 있다.

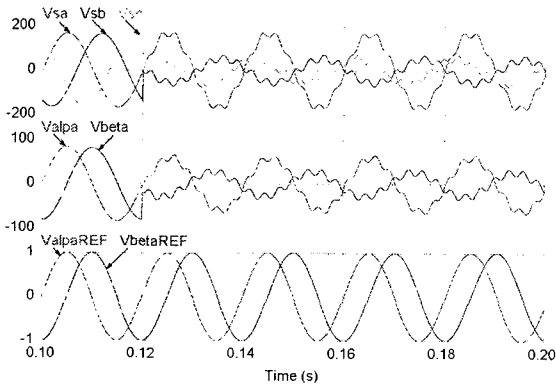


그림 5 전원단 전압이 전압 sag 및 7차 고조파 성분으로 인하여 심하게 왜곡되어 있는 경우의 전원단 전압과 기준파 발생회로 출력전압의 시뮬레이션 파형  
 Fig. 5 Simulation result for Reference Wave Generator (RWG) circuit when three-phase voltages are severely distorted by voltage sag and the 7<sup>th</sup> order harmonics

그림에도 불구하고 기준파 발생기 (RWG)의 출력전압은 예상되는 계통망 전압과 동기하며 아주 근사하게 직교·정현적 임을 볼 수 있다. 또한 고장이 발생한 순간과 고장으로부터 복귀하는 순간에 기준파에 전혀 과도현상이 나타나지 않는다. 이는 전원단에 고장이 발생하는 순간과 고장으로부터 복귀하는 순간에도 PQR 변환에 의하여 보상전압을 과도현상 없이 정확히 계산할 수 있음을 의미한다.

### 3. 실험결과

#### 3.1 실험조건

그림 6에 실험을 위하여 제작된 실험장치를 보인다. 공칭 전원전압은 220Vrms/60Hz 이다. 고장전압을 모의하기 위하여 SW5250A/ELGAR 프로그래머블 전원을 사용하였다. SW5250A/ELGAR는 세 개의 단상전압을 독립적으로 생성할 수 있으며 각 상전압의 크기와 위상을 임의의 순간에 바꾸어줄 수 있다. 그러나 고조파와 sag를 동시에 모의하는 것은 가능하지 않아서 sag에 고조파를 포함시키지는 못하였다.

표 1과 같이 두 가지의 전압 sag를 발생하여 실험을 수행하였다. 초기의 정상조건에서 전원단 전압은 3상평형 되어있다. Case1의 경우 50%의 평형된 3상 sag가 50ms 동안 발생한다. Case2의 경우 50%크기의

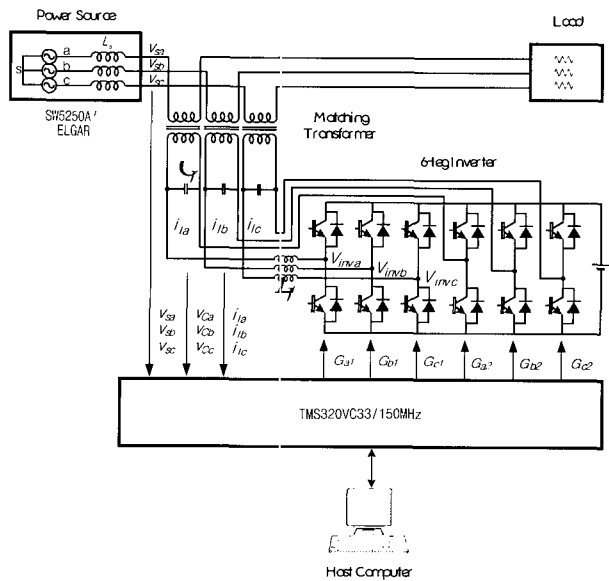


그림 6 DSP 제어보드를 사용한 실험용 DVR 시스템  
 Fig. 6 Experimental DVR system equipped with DSP board

표 1 실험에서 사용된 전압 sag의 조건  
Table 1 Voltage Sag Conditions In Experiment

전원전압	정상시	Sag case1	Sag case2
V <sub>sa</sub> [V]	127 ∠0°	64 ∠0°	127 ∠0°
V <sub>sb</sub> [V]	127 ∠120°	64 ∠120°	64 ∠135°
V <sub>sc</sub> [V]	127 ∠120°	64 ∠120°	64 ∠135°

2상 sag가 50ms 동안 b상 및 c상에 발생하며, sag가 발생하는 b상 및 c상의 위상이 각각 ±15° 점프하는 현상이 수반된다.

본 실험장치는 DVR의 실험을 하기 위하여 제작되었으나, 본 실험에서는 전원 전압을 검출하여 기준파를 발생하는 부분까지만 실험하기로 한다. 전원단 전압은 LEM/LV25-P를 사용하여 검출하였다. DSP 제어 보드는 TMS320VC33/150MHz 칩이 장착되어 있으며 100μs의 샘플주기로 검출신호 입력을 받아 계산을 수행한다.

### 3.2 실험결과

그림 7은 a-b-c 좌표계에서 전원단 전압의 실험 파형이다. 전압 sag가 약 50 ms (3 사이클) 기간동안 발생한다. 그림 7(a)는 Case1의 경우로서 3상 평형 sag가 발생하였을 때 전원단 전압의 파형을 보인다. 그림 7(b)는 Case2의 경우로서 불평형 2상 sag가 위상 점프를 수반하여 발생하는 모양을 보여준다.

식 (6)의 대칭좌표변환을 사용하면 전원전압의 대칭성분을 표 2와 같이 계산할 수 있다.

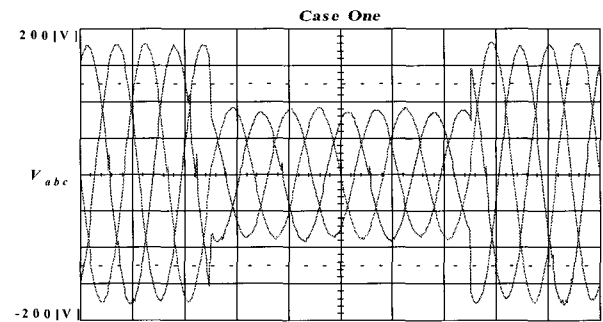
$$\begin{bmatrix} V_+ \\ V_- \\ V_0 \end{bmatrix} = \begin{bmatrix} 1 & a & a^2 \\ 1 & a^2 & a \\ 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} V_{sa} \\ V_{sb} \\ V_{sc} \end{bmatrix} \quad (6)$$

단, V<sub>+</sub> : 정상분 전압                      V<sub>-</sub> : 역상분 전압  
V<sub>0</sub> : 영상분 전압                         a : 회전벡터 (= e<sup>j120°</sup>).

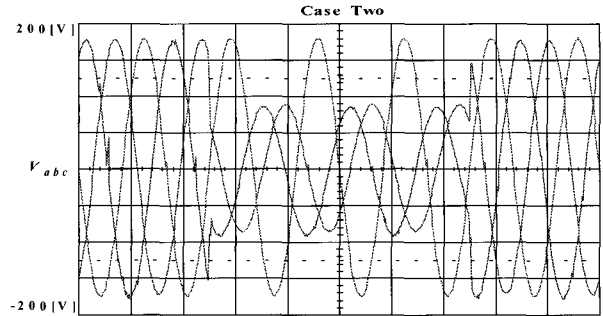
그림 8은 제안된 기준파 발생기 (RWG)에 의해 발생하는 기준파 v<sub>aREF</sub> 및 v<sub>βREF</sub>를 a상 전원전압 v<sub>sa</sub>와 비교하여 본 실험 파형이다. 그림에서 점선으로 구분하여 표시한 구간은 전원전압의 고장이 발생한 구간(50 ms)이다. 실험에서 편의상 a-상의 전압은 고장이 발생하여도 위상의 점프가 발생하지 않도록 선택하였다. 또한 표 1과 표 2를 참조할 때 a-상의 전압은 정상성분전압의 위상과 같음을 알 수 있다.

표 2 실험에서 모의한 고장전압의 대칭성분 분석  
Table 2 Symmetrical Component For The Faulted Source Voltages In Experiment

대칭성분	정상시	Sag case1	Sag case2
V <sub>+</sub> [V]	127 ∠0°	64 ∠0°	83 ∠0°
V <sub>-</sub> [V]	0	0	31 ∠0°
V <sub>0</sub> [V]	0	0	21 ∠0°



(a)



(b)

그림 7 전원단 전압의 실험파형 (time=10 ms/div)  
(a) 평형된 3상 sag가 발생한 경우 (Case 1)  
(b) 불평형 2상 sag가 발생한 경우 (Case 2)

Fig. 7 Experimental waveforms for source terminal voltages (time=10 ms/div)  
(a) symmetrical sag occurred in Case 1  
(b) typical two-phase sag occurred in Case 2

그림 8(a)는 3상 평형 sag가 발생하였을 때 전원단 a-상의 전압과 비교한 RWG 출력전압의 파형을 보인다. 그림 8(b)는 불평형 2상 sag가 위상 점프를 수반하여 발생할 때 전원단 a-상의 전압과 비교한 RWG 출력전압의 파형을 보인다. 두 가지 실험의 경우 모두 기준파 발생기 (RWG)가 성공적으로 직교·정현적인 기준파를 출력하고 있음을 볼 수 있다.

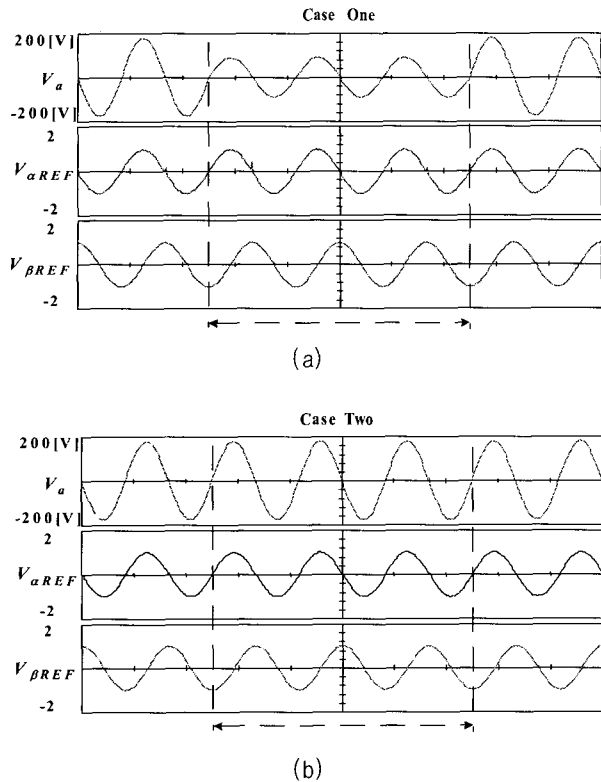


그림 8 RWG 출력 기준파의 실험파형 (time=10 ms/div)  
 (a) 평형된 3상 sag가 발생된 경우 (Case 1)  
 (b) 불평형 2상 sag가 발생한 경우 (Case 2)  
 Fig. 8 Experimental waveforms for the reference waves compared with a-phase source voltage (time=10 ms/div)  
 (a) when symmetrical sag occurred in Case 1  
 (b) when typical two-phase sag occurred in Case 2

a-축의 기준전압  $v_{aREF}$ 는 RWG에 의해서 전원전압의 정상성분 전압과 동기 되도록 유도되고 있음을 볼 수 있다. 또한 전원단의 고장 전후의 시점에서 RWG에 의해 발생하는 기준전압  $v_{aREF}$  및  $v_{bREF}$ 는 계통망의 전압과 동기를 유지하고 있으며 과도현상이 전혀 나타나지 않고 있다.

#### 4. 결 론

본 논문에서는 PQR 순시전력제어 이론을 사용하여 심하게 왜곡된 전원전압의 조건에서도 과도현상이 없이 안정되게 평형된 3상 정현파를 발생시켜주는 기준

파 발생회로를 제안하였다. 제안된 기준파 발생회로는 전원전압의 불평형, 고조파에 의한 왜곡, 위상 천이, 상전압의 소실 및 급격한 과도상태에 대하여 송·배전 망에서 공급이 예상되는 정상적인 전압과 항상 동기 되는 안정된 기준전압 파형을 제공하여 줌으로써 DVR이 정확한 전압보상을 할 수 있도록 하여준다. 제안된 기준전압 발생회로는 DVR 뿐만 아니라, 능동전력필터 (APF), 통합전력품질제어기 (UPQC) 등의 전력품질 보상기기의 설계에 널리 사용될 수 있다. 제안된 이론을 시뮬레이션 및 실험을 통하여 검증하였다.

본 연구는 기초전력공학공동연구소의 전략과제 (02-전-01)에 의해 수행되었음

#### 참 고 문 헌

- [1] G.W. Allen and D. Segall, Monitoring of Computer Installation for Power Line Disturbances, *C74 IEEE PES*, 1974.
- [2] L. Conrad, K. Little, and C. Grigg, "Predicting and Preventing Problems Associated with Remote Fault-Clearing Voltage Dips", *IEEE Trans. on Industry Appl.*, vol. 27, no. 1, pp. 167~172, Jan./Feb. 1991.
- [3] D.S. Dorr, "Point of Utilization Power Quality Study Results", *IEEE Trans. on Industry Application*, vol. 31, no. 4, pp. 658~666, July/Aug. 1995.
- [4] J.J. Stanislawski, "National Power Laboratory Power Quality Study 1972 to 1979 Revisited", *17th International Telecommunications Energy Conference INTELEC '95*, pp. 544~551, 1995.
- [5] D.O. Koval, R.A. Bocancea, K. Yao, and M.B. Hughes, "Canadian National Power Quality Survey: Frequency and Duration of Voltage Sags and Surges At Industrial Sites", *IEEE Trans. on Industry Application*, vol. 34, no. 5, pp. 904~10, Sep./Oct. 1998.
- [6] D.D. Sabin, T.E. Grebe, M.F. McGranaghan, and Sundaram, "Statistical Analysis of Voltage DIPS and Interruptions - Final Results from the EPRI Distribution System Power Quality Monitoring Surve", *Conference Records of CIREN '99*, 1999.
- [7] J. Knudsen, A.E. Petersen, and A. Vikkelso, "Is the Danish Power Quality in Accordance with International Standards?", *Conference Records of CIREN '99*, 1999.
- [8] M.F. McGranaghan, D.R. Mueller, and M.J. Samotyl, "Voltage Sags in Industrial Systems", *IEEE Trans. on*

- Industry Applications, vol. 29, no. 2, pp. 397~403, 1993.
- [9] M.D. Stump, G.J. Keane, and F.K.S. Leong, "The Role of Custom Power Products in Enhancing Power Quality at Industrial Facilities", *Proceedings of EMPD '98*, Vol. 2, pp. 507~517, 1998.
- [10] L. Heinemann, G. Mauthe, J.J. Maillet, and M. Hellum, "Power Quality The New Paradigm for MV Power Distribution", *ABB Review: Focus on Transmission and Distribution, The Corporate Technical Journal of the ABB Group, Number Three*, pp. 49~56, 2000.
- [11] K. Chan, A. Kara, P. Daehler, J. Guay, and R. Tinggren, "Innovative System Solutions for Power Quality Enhancement", *Conference Records of CIREN '99*, 1999.
- [12] G. Joos, "Three-Phase Static Series Voltage Regulator Control Algorithms for Dynamic Sag Compensation", *IEEE Conference Records on ISIE '99 Bled, Slovenia*, pp. 515~520, 1999.
- [13] J.G. Nielsen, F. Blaabjerg, and N. Mohan, "Control Strategies for Dynamic Voltage Restorer Compensating Voltage Sags with Phase Jump", *IEEE Conference Records on APEC '01*, pp. 1267~1273, March 2001.
- [14] H. Kim, F. Blaabjerg, B. Bak-Jensen, and J. Choi, "Instantaneous Power Compensation in Three-Phase Systems by Using p-q-r Theory", *IEEE Trans. on Power Electronics*, vol. 17, No. 5, pp. 701~710, Sep. 2002.
- [15] H. Kim, F. Blaabjerg, and B. Bak-Jensen, "Spectral Analysis of Instantaneous Powers in Single-phase and Three-phase Systems with Use of p-q-r Theory", *IEEE Trans. on Power Electronics*, vol. 17, No. 5, pp. 711~720, Sep. 2002.

## 저 자 소 개



### 김효성(金孝城)

1958년 10월 20일생. 1981년 서울대 전기공학과 졸업. 1983년 동 대학원 전기공학과 졸업(석사). 1995년 충북대 대학원 전기공학과 졸업(박사). 1996년~1997년 일본 오카야마 대학 방문교수. 2000년~2001년 덴마크 Aalborg 대학 방문교수. 1987년~현재 천안공업대학 제어계측과 교수. 당 학회 편집위원.



### 이상준(李尙俊)

1968년 6월 20일생. 1991년 서울대 전기공학과 졸업. 1993년 동 대학원 전기공학과 졸업(석사). 2003년 동 대학원 전기공학과 졸업(박사). 1993년~1998년 대우중공업 철도차량연구소 주임연구원. 현재 (주)로템 중앙연구소 선임연구원.



### 설승기(薛承基)

1958년 3월 25일생. 1980년 서울대 전기공학과 졸업. 1983년 동 대학원 전기공학과 졸업(석사). 1986년 동 대학원 전기공학과 졸업(박사). 1986년~1988년 Univ. of Wisconsin-Madison 연구원. 1989년~1990년 LG산전 책임연구원. 1991년~현재 서울대학교 전기·컴퓨터공학부 교수.