

## Design Guidelines for Mixed-Signal SoC

김 대 정

국민대학교 전자정보통신공학부

### I. 서 론

시스템 온 칩(SoC)이라면 흔히 IP(intellectual property) 혹은 VC(virtual component)라고 불리며 하드웨어를 기술하는 언어인 HDL로써 표현되는 여러 개의 Soft IP를 집적(integration)하여 한 개의 칩 상에 올려놓는 디지털 시스템을 의미한다. 아날로그/혼성모드 회로가 필요한 시스템의 경우에는 디지털과 아날로그/혼성모드 회로는 설계 개념과 동작이 많이 다르기 때문에 아날로그/혼성모드 칩은 별도의 칩으로써 존재해 왔다. 그러나 요구되는 시스템의 기능이 다양해지고, 고성능화 됨에 따라 아날로그/혼성모드 칩이 IP의 형태로써 동일 칩 상에서 집적되어야 할 필요성이 발생하고 있다.

복표공정에서 최고의 성능을 구현하기 위해서는 아날로그/혼성모드 IP 설계자에게 설계과정에서의 어떤 절차나 방법에 관한 제한을 둘 수가 없게 된다. 따라서 설계기준안의 제정이 디지털에 비해 상당히 어려우며, 어떤 경우는 설계 기준안 자체가 무의미 할 수도 있다. 이러한 이유로 해서 시스템집적 설계자(system integrator)에게는 아날로그/혼성모드 IP는 하나의 블랙박스로서 다가오므로 이를 재사용하여 최고의 성능을 내기 위해서는 필연적으로 IP 설계자로부터의 많은 정보를 받아야 할 필요성과 이를 구체화할 수 있는 체계적인 기준이 필요함을 느낀다. 또한 IP 제공자(provider)의 입장에서든 유통을 염두에 두는 IP의 개발에 있어서는 객관적인 평가가 가능하고 재사용 가능하도록 표준화된 절차와 규칙

에 의해 대부분의 설계가 이루어지는 시점에서 아날로그/혼성모드 설계가 예외일 수는 없다. 뿐만 아니라, 이러한 규격과 설계 기준안은 IP 제공자에게 가해지는 설계상의 제한요건이 아니라 좀 더 체계적이고 상업성이 있는 설계가 되기 위한 기술적인 도우미 역할을 할 수 있도록 하는 데에도 그 역할이 있다.

대외적으로는 VSI, VCX, D&R 등의 국제 표준화 단체 및 국내의 SIPAC에서도 아날로그/혼성모드 설계 지침서를 일부 제안하고 있으나, 아직 시작 단계에 불과하며 많은 노력과 시간이 필요한 실정이다<sup>[1][2]</sup>.

이러한 목적을 염두에 두고 본 고에서는 아날로그/혼성모드 IP의 특징과 설계기준안의 필요성, SoC 집적을 위한 표현방법과 내용에 대해 고찰하고자 한다. 또한 입출력신호의 특성에 따른 몇 가지 분류에 대해서도 알아본다.

### II. 아날로그/혼성모드 IP의 특징과 설계기준안의 필요성

디지털 설계가 대부분 RTL 코딩으로 이루어지는 것에 비해 아날로그/혼성모드 설계는 전통적으로 full-custom 형식을 취한다. 그리고 아날로그/혼성모드 IP는 공정, 전압, 온도 등의 환경의 변화에 매우 민감하고 잡음에도 취약하기 때문에 많은 경우 이러한 아날로그/혼성모드 IP의 성능이 전체 시스템의 성능을 좌우하는 역할을 한다. 아날로그/혼성모드 IP 설계는 설계자의

의도와 시스템 사양에 따라 디지털 설계와는 달리 다양한 형태로 나타난다. 즉, 트랜지스터 레벨의 회로설계에서부터 레이아웃에 이르기까지 각 단계마다 설계자의 취향에 따라 아주 다양한 형태의 결과물이 도출된다.

아날로그/혼성모드 IP라 함은 일반적으로 PLL, A/D 변환기 혹은 D/A 변환기 정도의 복잡성을 지닌 단위회로를 말하며, 연산증폭기 수준과 같은 너무 작은 단위를 IP로 지정함은 시스템 집적 시 오히려 비용이나 효율성을 떨어뜨린다. 아날로그/혼성모드 IP를 독립적인 칩으로 설계하는 것과 IP로서 설계하는 데에는 차이가 있다. 예를 들어 두 개 이상의 아날로그/혼성모드 IP가 동일 칩 상에서 구현될 때는 아날로그 회로의 가장 중요한 설계기법 중의 하나인 IP 간의 공정이나 동작조건의 tracking을 염두에 두고 설계할 수 있지만, IP 설계의 경우는 각 IP 간의 동작에 영향을 주는 조건이 해당 IP에 독립적으로 존재한다고 가정하고 설계해야 한다. 또한, 계층레벨(hierarchical level)이 다른 영역에서 집적될 것을 염두에 두어야 하므로 일반적으로 표준 CMOS 공정에서 구현 가능한 것을 전제로 한다.

같은 성능과 기능을 가지는 아날로그/혼성모드 회로라 하더라도 각각의 목표공정에 따라 최고의 성능을 내야하므로 공정에 따라 다양한 형태의 IP로서 나타난다. 또한, 트랜지스터 레벨의 회로설계에서부터 레이아웃에 이르기까지 각 단계마다 설계자의 취향과 경험이 반영되므로 설계과정

이나 표현 형태에 있어서 표준을 정의하는 것은 의미가 없는 일일수도 있다. 그럼에도 불구하고, 유통을 염두에 둔 IP의 개발에 있어서는 그 동작과 성능의 객관적인 평가가 이루어지고, 또한 시스템 집적을 위한 재사용 시 최대의 성능을 구현하기 위해 검증이 가능하도록 어떤 표준화 된 절차와 규칙을 설정할 필요가 있다. 다시 말해 시스템의 일부로서 시스템집적 설계자에 의해 구현(implementation)되고, 검증(verification)되기 위해서는 IP 제공자(provider)와 사용자(integrator) 사이에 어떤 표준화 된 전달물(deliverables)과 이를 뒷받침하기 위한 설계과정 또는 설계내용 상의 세부적인 설계기준안(guidelines)이 필요하다. 설계기준안은 전달물에 대한 세부적인 지침뿐만 아니라 체계적인 설계과정을 유도하는 설계의 길라잡이 역할을 할 수 있다.

### III. 아날로그/혼성모드 IP의 표현방법

아날로그/혼성모드 IP의 관점에서 보면, 일반적인 IP의 종류를 그 표현형태에 따라 <표 1>과 같이 분류할 수 있다.

아날로그/혼성모드 IP는 경우에 따라서는 특정 공정에 구매됨이 없이 generic 공정 라이브러리를 이용한 Firm IP로서도 구현 가능하지만,

<표 1> 아날로그/혼성모드 회로 관점에서의 IP 표현방법

	IP의 표현형태		공정의 의존도	성능예측 여부	지적재산권보호의 난이도	아날로그/혼성모드 IP 구현
	회로표현방식	물리적인 표현수준				
Soft IP	HDL code	없음	없음	어려움	어려움	불가
Firm IP	synthesizable RTL	라우팅 없는 floorplanning/placement 수준	약함, generic technology 라이브러리사용	가능함	보통	조건부 가능
Hard IP	트랜지스터수준의 넷리스트	다각형 수준의 GDSII 데이터	특정공정이나 vendor 지정	좋음	좋음	좋음

특정 공정에서의 성능 최적화에는 미치지 못하므로 목표공정과 vendor를 명확히 정하고 가장 최적화된 설계를 수행하는 Hard IP의 형태로써 일반적으로 구현된다. 특히, 레이아웃 데이터인 GDSII 데이터는 필수적이며, LVS가 필요한 경우에는 트랜지스터 레벨의 회로 넷리스트도 포함된다.

#### IV. 아날로그/혼성모드 SoC의 설계기준안의 내용

이상과 같은 관점에서 설계기준안에 포함되어야 할 내용을 정리하면 크게 다음과 같은 세 가지로 나눌 수 있다.

##### 1. 아날로그/혼성모드 IP 자체의 구현 및 검증을 위한 표현방법의 표준

아날로그/혼성모드 IP 자체를 표현하기 위해서는 다음과 같은 내용에 대한 기술 (description) 이 필요하다.

- IP의 동작모드나 타이밍도를 포함하는 전체 시스템 기술(description)
- 블록 다이어그램에서부터 레지스터 레벨까지의 기술(description)
- 트랜지스터 레벨의 넷리스트에 이르기까지의 기술(description)
- 또한 마스크제작을 위한 도면인 레이아웃 정보를 갖고 있는 다각형 수준의 물리적인 데이터
- 회로수준의 전력소모 모델
- 테스트 사항

이러한 정보를 표현하는 포맷에 대한 통일성이 요구되므로 설계기준안에서 이러한 포맷에 관한 표준안을 정립할 필요가 있다. 많이 사용하는 표준 포맷으로는

- 트랜지스터 수준의 넷리스트: EDIF/SPICE
- 물리적인 수준의 넷리스트: VC LEF/GDSII

등이 있으나, 아날로그/혼성모드 IP의 경우는 회로 넷리스트에 있어서는 SPICE, 다각형 수준의 물리적인 데이터에 있어서는 Cadence 사의 GDSII stream 포맷으로 표준화되는 경향이다.

시스템집적 설계 시 칩 전체의 전력소모 예측을 위해서는 IP 회로자체의 전력소모에 관한 모델이 필요하다. 이를 위해서는 전원전압, 전류원, 부하저항 및 전송선(transmission line) 등을 포함하는 간단한 형태의 회로수준의 전력소모 모델이 요구된다.

또 다른 중요한 부분은 테스트와 관련된 제약사항이다. 시스템 칩의 제작 후, 칩 내의 아날로그/혼성모드 IP의 성능 검증이나, 디버깅(debugging)을 위해서는 크게 두 가지의 방법이 요구된다. 하나는 테스트모드를 설정하여 핀을 통하여 아날로그/혼성모드 IP를 테스트 하는 방법으로서, 이 경우 인터페이스에 관련된 테스트 신호나 테스트 방법에 대하여 상세히 기술하여야 한다. 이 때, 테스트 로직의 포맷은 툴의 종류에 따라 좌우된다. 또 다른 하나는 아날로그/혼성모드 IP 내에 자체 테스트 회로(self-test circuit)를 두는 방법으로 빌트인 테스트(built-in test)나 스캔 테스트(scan test) 등의 방안이 있으며, 이에 대한 상세한 내용을 기술하여야 한다. 아날로그/혼성모드 IP의 테스트는 입출력 신호가 아날로그의 형태 또는 디지털의 형태가 혼재되어 있으므로 각 경우에 적절한 테스트 방안을 수립하여야 한다. IC 페드로부터 들어오는 아날로그 신호의 경우 일반적으로 아날로그 입력에 상응하는 적절한 디지털 신호가 공급된다. 이 때, 적절한 동작을 확인하기 위해서는 기능 테스트(functional testing)가 필요하다. IC의 I/O 핀에 연결되지 않은 내부 디지털 입력 및 출력은 디지털 IP에 관한 테스트 권장사항 및 요구사항을 따른다.

또한 아날로그/혼성모드 IP에 대한 테스트의 수월성(testability)을 고려하면 다음과 같은 사항을 유의하여야 한다.

- 아날로그 되먹임(feedback) 경로는 IP 회로 블록 내에 존재해야 한다.
- IDDQ 테스트의 경우, 아날로그 회로가 테스트와 문제를 일으키지 않도록 하여야 한다. 예를 들어, 전력감쇄모드에서 아날로그 블록들은 DC 전류흐름이 차단되고, 아날로그 블록 내에 존재하는 로직 단의 디지털 출력은 유효한 디지털 출력상태여야 하며, high Z 출력은 금지된다.
- 아날로그 IP 내에 존재하는 로직은 디지털 IP에서 사용되는 스캔, BIST 등의 방법에 준한다. 즉, 적절한 테스트 조정이 필요하며 데이터 입력과 출력 핀들은 반드시 구분되어야 한다. 테스트 모드에서 아날로그 신호를 우선적으로 IC 패드에 연결할 때는 이들 신호에 대한 경로는 테스트 버스라인으로 연결한다. 이후 그 부분을 측정하기 위한 컨트롤 신호의 분배는 SoC 설계자의 몫이다.

## 2. 상위계층에서의 동작검증을 위한 RTL 모델

아날로그/혼성모드 IP를 포함하는 SoC의 설계 시, 아날로그/혼성모드 IP 수준에서의 설계 방법론과 시스템 칩 레벨에서의 설계 방법론은 상이하므로 두 개의 다른 계층적 레벨(hierarchical level) 사이에서 연결고리 역할을 하는 계층적 인터페이스 모델을 제공하는 것이 필요하다. 다른 계층에서 어느 한쪽에 예상치 않은 상황이 발생했을 때 두 개의 계층이 완전히 분리되어 서로 영향을 미치지 않도록 하는 것이 좋은 인터페이스의 설계이다. 이러한 고려는 시스템 수준에서 뿐만 아니라 회로수준이나 레이아웃 수준에서 모두 제공되는 것이 바람직하다. 계층적 인터페이스 모델을 표현하는 형태는 수준에 따라 다음과 같은 여러 다양한 포맷을 사용할 수 있다.

- 시스템수준 혹은 동작수준의 포맷 : Verilog-A/VHDL-AMS
- 트랜지스터 수준의 스키매틱 혹은 넷리스트 : EDIF/SPICE
- 레이아웃 수준의 넷리스트 : VC LEF/GDSII

## 1) VHDL-AMS를 사용한 시스템 수준의 기술(description)

시스템수준모델은 시스템 평가모델 혹은 수행모델(system evaluation model/behavioral model)로서 IP 블록의 성능을 묘사함으로써 IP의 사양을 결정하고, SoC 설계자가 원하는 시스템 구조를 위한 정확한 기능의 IP를 선택하도록 도와주는 역할을 한다.

아날로그/혼성모드 IP의 경우에도 이러한 시스템 수준의 평가모델을 제공하는 것이 일반적이다. 이 경우 블록의 전체적인 동작정의의 위해 I/O 전달함수를 포함하거나, 다른 형태로써 기능과 성능을 표현하지만 IP 내의 자세한 회로구조를 나타내지는 않는다. 너무 복잡한 형태의 수행모델은 자칫 전체 시스템의 평가 시 성능저하를 가져올 수도 있다. 필요한 경우, 자세한 내부의 회로구조는 SPICE code와 같은 다른 형태의 모델로써 제시된다. 이러한 수행모델은 C, C++, HDL 등과 같은 고급수준의 기능묘사언어(high-level functional description language)를 사용하며, 기술된 성능과 특성을 증명할 수 있도록 테스트 벤치(test bench)가 함께 제공된다. 현재 사용되는 아날로그/혼성모드 IP의 경우 성능(SNR, 선형성, 동작속도 등)명세들에 대해서는 일종의 가정이나 추상성 등을 포함해야 하는 경우도 발생한다. 최근의 SoC 설계에 있어서 점점 아날로그/혼성모드와 디지털 IP를 같은 종류의 RTL 수준의 언어로서 표현해야 할 필요성이 대두되고 있다. 특히, 클럭 주파수가 올라감으로 인해 회로의 동작속도가 빨라지면 디지털 블록 자체도 아날로그 회로의 특성을 띠게 되므로 경우에 따라서는 디지털 회로를 아날로그 모델로서 표현해야 할 필요도 있다. 이러한 목적을 위해서는 기존의 디지털에서 많이 사용하는 VHDL이나 Verilog HDL 등의 언어와 양립(compatible) 할 수 있는 VHDL-AMS 혹은 Verilog-A 등의 언어를 사용하는 것이 효과적이다. 물론 이러한 HDL을 도입한다고 하더라도 아날로그 회로의 미세한 특성까지 반영하기는 어려우나, 적어도 로직수준의 검증, 혹은 전체 사양

을 결정하기 위한 지침으로서 활용될 수 있는 수준의 결과를 얻을 수 있으므로, 아날로그/혼성모드 IP 제공자는 이러한 HDL을 이용한 모델을 제공할 필요가 있다.

본 고에서는 아날로그/혼성모드 IP를 하나의 고급 HDL로서 표현하는 예로서 VHDL-AMS를 사용한 아날로그 IP의 수행모델링 기법에 대하여 설명한다<sup>[3]</sup>.

(1) 모델링의 종류와 수준

아날로그/혼성모드 IP의 동작모델은 다음과 같은 세 가지 영역으로 나누어진다.

◦ 구조모델(structural model)

아날로그 IP의 전체구조를 나타낼 수 있는 블록다이어그램 수준의 모델로서, 경우에 따라서는 각 블록별 전달함수(transfer function)로써 묘사될 수 있다. 최상위 수준은 시스템 전달함수로서 각 서브시스템(subsystem)의 연결로써 나타내지는 블록다이어그램이다. 그 아래 수준은 매크로 모델로서 블록다이어그램 내부의 동작을 간단한 형태의 수동소자와 이상적인 전압원 또는 전류원으로써 이루어진다. 가장 낮은 수준의 모델은 소자수준의 모델로서 트랜지스터를 포함하는 구체적인 회로를 포함한다.

◦ 기능모델(functional model)

아날로그 IP의 기능을 나타내는 모델로서 알고리즘이나 수식을 포함한다. 최상위 수준의 모델은 수식이나 알고리즘 수준의 모델이며 전체동작을 알고리즘 수준에서 설명한다. 다음 수준은 이상적인(ideal) 수식모델로서 서브시스템의 동작을 이상적인 수식으로써 나타낸다. 특성수식 모델은 가장 낮은 수준의 모델로서 2차 효과를 포함하는 복잡하고 자세한 수학적 모델이다.

◦ 기하학적 모델(geometric model)

레이아웃과 관련되는 물리적 다각형을 포함하는 모델이다. 최상위 수준은 '시스템 혹은 탑 셀(top cell) 수준의 모델'로서 placement와 라우팅(routing) 정보를 포함하는 각 서브시스템의 연결로써 나타난다. 다음 수준은 '셀 수준의 모델'로서 서브시스템 내부의 셀을 포함하는 수준

의 모델이다. '다각형 수준의 모델'은 낮은 수준의 모델로서 트랜지스터를 나타내는 다각형을 포함하는 구체적인 물리적인 수준의 모델이다.

(2) VHDL-AMS 모델링의 개념

VHDL-AMS를 사용하여 아날로그/혼성모드 IP를 기술하는 경우

- 동작 모델(behavioral model)
- 구조 모델(structural model)
- 구조 동작 혼성모델(mixed structural and behavioral model)
- 테스트 벤치(test bench)

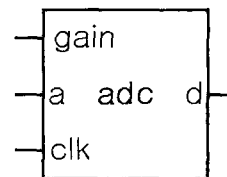
를 제공하는 것이 바람직하며 <그림 1>과 같은 1-bit sampling ADC에 대한 예를 들어보기도 한다.

① 1-b ADC의 entity 문

디지털 VHDL code와 마찬가지로 구성되며, <그림 1>의 ADC 블록을 정의하는 entity 문은 다음과 같다.

```
library ieee-proposed;
use ieee-proposed. electrical-systems. all;
entity adc is
    port (quantity gain : in voltage;
          terminal a : electrical;
          signal clk : in bit
          signal d : out bit);
end entity adc;
```

여기서 gain은 아날로그 quantity port로서 연속적인 값을 가질 수 있다. a는 전기적인 성질(전압이나 전류 등)을 가지는 아날로그 터미널이며 clk나 d는 디지털신호 포트로서 이진 비트 값을 가진다.



<그림 1> 1-bit ADC

## ② 1-b ADC의 동작모델

IP의 동작을 기술하는 부분인 architecture body 부분을 동작모델로써 기술하고자 하는 것은 회로의 동작을 프로그래밍언어로써 알고리즘을 기술하듯이 추상적으로 동작 과정을 처리하는 것이다. 일반적으로 body는 순서대로 처리되는 동작을 모아 놓은 process 문으로 이루어지며 그 내용으로는 expression, 변수에 값을 할당하는 동작, 조건문, 반복문, 및 서브프로그램(subprogram)의 call 등이 있다. 다음은 1-b ADC의 동작모델에 관한 architecture body에 대한 예를 보인 것이다.

```
architecture ideal of adc is
    constant ref : real:=5.0;
    quantity v-in across a;
    quantity v-amplified : voltage;
begin
    v-amplified == v-in * gain;
    adc-behavior : process is
        variable stored-d : bit;
    begin
        if clk='1' then
            if v-amplified > ref/2.0
then
                stored-d := '1';
            else
                stored-d := '0';
            end if;
        end if;
        d-out <= stored-d after 5ns;
        wait on clk;
    end process adc-behavior;
end architecture ideal;
```

## ③ 1-b ADC의 구조모델

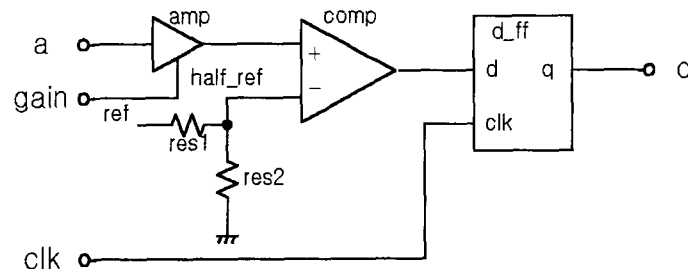
IP의 동작을 기술하는 부분인 architecture body 부분을 구조모델로써 기술하고자 하는 것은 그 IP가 어떤 서브시스템 혹은 블록으로써 구성되어 있는가를 기술하는 것이다. <그림 2>는 1-b ADC의 내부 연결구조의 한 예를 나타낸 것이다.

구조모델은 <그림 2>와 같은 회로 블록의 연결 상황을 서술한다. 다음은 부분 블록인 amp, comp, d\_ff 및 저항이 entity로서 이미 기술되어 있을 때의 서술 예를 보인 것이다.

```
architecture struct of adc is
    terminal a-amplified, ref, half-ref: electrical;
    quantity v-ref across i-ref through ref;
    signal d : bit;
begin
    res1 : entity work. resistor(ideal)
        port map ( ref, half-ref);
    res2 : entity work. resistor(ideal)
        port map (half-ref, electrical-ref);
    amp : entity work. vc-amp(ideal)
        port map (gain, a, a-amplified);
    comp : entity work. comparator(ideal)
        port map (a-amplified, half-ref, d);
    ff : entity work. d-ff(basic)
        port map (d, clk, d-out);
    v-ref=5.0;
end architecture struct;
```

## ④ 구성동작 혼성모델

IP의 동작을 기술할 때, 부분 블록들의 연결들 로만 구성되거나 또는 process나 병렬처리 문만으로 구성할 필요는 없다. 때로는 부분적으로는



<그림 2> 1-b ADC의 내부 구조

구조모델을, 또 다른 부분적으로는 동작모델로서 기술하는 하이브리드 형태의 모델이 사용되기도 한다. 이러한 하이브리드 모델을 구성동작 혼성 모델이라고 한다.

#### ⑤ 테스트 벤치

VHDL-AMS 모델을 동작시키기 위해서는 architecture 몸체를 갖고 있는 테스트 벤치를 수행한다. 테스트 벤치는 시뮬레이션 수행을 위한 입력 스티뮬러스를 포함하고 있다.

### 3. SoC 설계 시 주변적인 요인에 의한 성능 감쇄 예측을 위한 모델

아날로그/혼성모드 IP가 시스템에 집적될 때, 부하조건을 포함하는 여러 환경적인 요인에 의한 성능감쇄 예측을 위한 모델을 제시함으로써 SoC 설계자에게 최악의 성능(worst-case performance) 예측을 가능하도록 한다. 이는 주로 I/O 인터페이스나 동작조건과 관련되는 모델이라고 할 수 있다.

#### 1) I/O 인터페이스를 위한 모델

지연시간 계산이나 신호의 품질(signal integrity) 등의 분석에 사용될 수 있도록 SPICE를 사용한 회로수준의 인터페이스모델이 요구된다. 특히,

- off-chip을 구동하는 출력버퍼가 존재하는 경우
- IP 인터페이스가 아날로그 신호를 포함하는 경우
- IP 인터페이스가 표준이 아닌 전압스윙을 하는 경우
- 정상적인 지연시간 모델이 적용되지 않는 초고주파 신호를 포함하는 경우

는 필수적이다. 더불어, 출력버퍼에서 전원선과 접지선에서 전원의 전압강하에 의한 흔들림(bouncing), 동시 스위칭잡음(simultaneous switching noise)에 대한 사항은 필수적으로 포함된다.

#### 2) 환경적조건/동작조건

외부의 환경적인 변화에 대한 성능변화를 예측

하기 위해 아날로그/혼성모드 IP의 구동회로의 형태, 구동능력(strength), 출력부하조건, 입력 신호의 슬루율(slew rate) 등이 명시되어야 한다. 또한, IP에서의 공정변화, 전압변화, 온도변화를 감당할 수 있는 범위(tolerance)의 명시가 필요하다.

## IV. 시뮬레이션 툴을 사용한 아날로그/혼성모드 SoC의 검증방법 및 향후과제

시뮬레이션 툴을 사용한 아날로그/혼성모드 SoC의 검증방법은 대개 다음의 두 가지 방안이 있을 수 있다. 그 하나는 통합 환경 하에서 각각 성질이 다른 두 개의 별개의 시뮬레이션 엔진을 사용하여 그 결과를 인터페이스를 통해 주고 받을 수 있도록 하는 방식이다. 예를 들어 시스템을 구성하는 아날로그 블록은 아날로그 시뮬레이션 엔진(SPICE 등)을 이용하여 시뮬레이션한 후, 그 결과를 인터페이스를 통해서 변환하여 디지털 블록에 가하고, 디지털 엔진(Verilog 등)에서 전체 시뮬레이션을 하는 방식이다.

또 다른 방식은 아날로그와 디지털의 특성을 동시에 다 갖고 있는 하나의 엔진을 사용하여 전체 SoC를 시뮬레이션 하는 방식이다. 예를 들어, 트랜지스터 수준에서 아날로그/혼성모드 SoC의 전체회로의 넷리스트를 추출하여 Verilog 엔진을 이용하여 시뮬레이션 하는 방식이다. 이 방식은 단일 환경 하에서 단일 엔진을 사용하여 통합 시뮬레이션을 할 수 있는 편의성과 신뢰성이 좋지만, 전자의 방식과 같이 아날로그 엔진을 사용하는 경우보다 아날로그 회로의 시뮬레이션 결과의 정밀도가 떨어지는 단점이 있다.

III장에서도 논의된 바와 같이 아날로그/혼성모드 회로는 입출력 신호의 종류에서부터 내부구조에 이르기까지 다양한 형태가 존재하고 설계방식과 검증방식이 다르므로 어느 정도의 그룹별 분류가 필요해 보인다. 따라서 공통적으로 적용되는 설계 기준안 이외에도 그룹별의 특성을 잘 분류하고 정의할 필요가 있다. 예를 들어, 입출력

신호의 종류에 따라 다음과 같이 다섯 가지 형태로 분류해 볼 수 있다.

- 디지털 입력/디지털 출력 : PLL 등
- 디지털 입력/아날로그 출력 : D/A 변환기 등
- 아날로그 입력/디지털 출력 : A/D 변환기, 비교기 등
- 아날로그 입력/아날로그 출력 : DC-DC 변환기 등
- 복잡한 형태의 I/O : 디지털 및 아날로그 입력/아날로그 출력 등의 혼성형태의 신호가 필요하며 스위치드 캐패시터 (switched capacitor) 필터 등이 해당된다.

이 분류 별로 몇 개의 case study를 통한 각각의 특징적인 설계기준안이 마련되어야 할 필요가 있을 것으로 생각된다.

## V. 결 론

본 고에서는 아날로그/혼성모드 회로를 IP화 하여 SoC에 집적할 때의 설계기준안의 의미와 내용에 대해 고찰하였다. 아날로그/혼성모드 회로를 IP로써 구현하는 것은 독립적인 칩에 구현하는 것과는 다른 특성이 있으므로, 목표공정에서 최적의 성능을 위해서는 IP 설계자의 다양한 기술과 관점이 반영되어야 하므로 대부분 Hard IP의 형태로 나타난다. SoC에 집적 시에 SoC 설계자가 효과적으로 아날로그/혼성모드 IP를 포함한 전체 칩의 성능평가를 하거나 최적의 동작을 구현하기 위해서는 설계기준안 정립의 필요함을 논하였고, 아날로그/혼성모드 IP의 표현 방법에 대해 정의하여 보았다. 또한 설계기준의 내용에 대해 항목별 수준별로 고찰하였다. 특히, SoC 칩 전체의 특성평가를 위하여 하드웨어기술 언어를 사용한 아날로그/혼성모드 IP의 동작모델을 구현하는 예를 살펴보았다.

## 참 고 문 헌

- (1) VSI Alliance, *Analog/Mixed-Signal VSI Extention Specification Version 2.2*, Feb. 2001.
- (2) SIPAC, *Analog Mixed Signal Design Guidelines version 2.5*, Aug. 2003.
- (3) Peter J. Ashenden et. al., *The system designer's guide to VHDL-AMS*, Elsevier Science, 2003.

## 저 자 소 개



김 대 정

1987년 2월 서울대학교 전자공학과 학사, 1989년 2월 서울대학교 전자공학과 석사, 1994년 2월 서울대학교 전자공학과 박사, 1994년 1월~1998년 11월 : (주) LG 반도체 책임연구원, 1999년 3월~현재 : 국민대학교 전자정보통신공학부 조교수, 2001년 1월~현재 : SIPAC 운영위원, <주관심 분야 : 메모리회로 및 시스템설계, 아날로그/혼성모드 회로>