

論文2003-40SD-9-2

STI구조를 갖는 nMOSFET의 채널 너비에 따른 Hot-Carrier 열화 현상에 관한 연구

(A Study on the Channel-Width Dependent Hot-Carrier Degradation of nMOSFET with STI)

李晟源*, 申炯淳*

(Sungwon Lee and Hyungsoon Shin)

요약

Shallow trench isolation (STI)을 사용한 nMOSFET의 채널 너비에 따른 hot-carrier 열화 현상을 분석하였다. 채널 너비가 감소함에 따라 hot-carrier 열화가 증가하며 이는 STI 부근의 게이트 산화막 두께가 채널 중간 부분의 산화막 두께에 비하여 크기 때문에 발생하는 현상임을 실험을 통하여 확인하였다. Drain avalanche hot-carrier (DAHC) 및 channel hot-electron (CHE) stress 조건에 의한 interface state 형성을 charge pumping 방법을 통하여 비교하였다.

Abstract

Channel width dependence of hot-carrier effect in nMOSFET with shallow trench isolation is analyzed. $I_{sub}-V_G$ and ΔI_D measurement data show that MOSFETs with narrow channel-width are more susceptible to the hot-carrier degradation than MOSFETs with wide channel-width. By analysing I_{sub}/I_D , linear I_D-V_G characteristics, thicker oxide-thickness at the STI edge is identified as the reason for the channel-width dependent hot-carrier degradation. Using the charge-pumping method, N_{it} generation due to the drain avalanche hot-carrier (DAHC) and channel hot-electron (CHE) stress are compared

Keyword : Hot-carrier effect, Shallow trench isolation, interface state

I. 서론

최근의 deep-submicron ultra-large-scale integration (ULSI) 기술에서는 게이트 길이와 함께 채널 너비도 점차적으로 scaling-down 되고 있다. 뿐만 아니라

isolation 영역의 scaling도 필요하게 되었다. 과거에는 LOCOS 구조가 표준 isolation 기술이었으나 채널 너비가 점차적으로 감소함에 따라 shallow trench isolation (STI) 구조가 주요한 isolation 기술로 자리잡고 있다. STI는 보편적으로 LOCOS의 bird's beak, field oxide thinning effect와 같은 단점을 보완해 주고 있다고 알려져 있다. 또한, LOCOS에 비하여 surface planarity, scalability, latchup 특성 향상과 같은 장점을 가지고 있다. 최근에 STI 구조를 가진 narrow width MOSFET의 hot-carrier 열화에 대한 여러 가지 연구가 있으나 발표된 논문들이 서로 상반된 결과를 보이고 있다^[1-3].

* 正會員, 梨花女子大學校 情報通信學科

(Department of Information Electronics Engineering
Ewha Womans University)

※ 본 연구는 하이닉스 반도체의 연구비 지원에 의하여 수행되었습니다.

接受日字:2002年9月9日, 수정완료일:2003年9月2日

Hot-carrier 열화는 submicron MOSFET에서 가장 중요한 신뢰성 문제의 원인이므로 STI 구조를 가진 narrow width MOSFET에 대한 width dependent hot-carrier 열화 분석을 체계적으로 수행하는 것이 필요하다.

Hot-carrier 열화는 높은 lateral 전계의 영향으로 채널과 pinch-off 영역에 있는 캐리어들이 주변의 격자 구조보다 높은 에너지를 얻게 되어 impact ionization 과정을 통해 기판전류 또는 interface state를 형성하여 발생하게 된다. 기판전류 (I_{sub})는 CMOS 구조에서 latch up 현상을 초래할 수 있으며 interface state (N_{it}) 생성은 trans-conductance의 열화를 유발하여 소자의 구동 전류를 열화시킨다. Hot-carrier가 산화막에 주입되는 mechanism으로는 크게 여섯 가지가 있다. Channel hot-electron (CHE) injection, drain avalanche hot-carrier (DAHC) injection, secondary generated hot-carrier (SGHC) injection, substrate hot-electron (SHE) injection, Fowler-Nordheim (F-N) tunneling injection, direct tunneling (DT) injection이 그것이다. CHE injection은 채널의 충분한 에너지를 가진 전자들이 산화막으로 주입되는 것으로 상당히 큰 게이트 전류가 흐르게 되는 반면에 DAHC injection은 impact ionization에 의하여 발생된 hot-carrier들이 interface state를 형성하여 소자의 전류 구동 능력을 열화시킨다. 본 연구에서는 STI구조를 갖는 nMOSFET에서 DAHC와 CHE에 의한 width dependent hot-carrier 열화 현상을 분석하였다.

II. 실험

본 연구에서는 게이트 길이가 0.4 μ m, 채널 너비는 20, 2, 0.9, 0.7, 0.55, 0.4 μ m이고 게이트 산화막 두께가 4.5nm인 nMOSFET을 사용하였으며 모든 소자들은 STI구조를 사용하고 있다. Hot-carrier에 의하여 발생된 interface state를 측정하기 위해서 charge-pumping (CP) 방법을 이용하였으며, 모든 소자의 전기적 특성은 HP4156B semiconductor parameter analyzer를 이용하여 측정하였고 CP 측정시 사용되는 게이트 펄스는 HP8112A pulse generator를 사용하였다. CP 측정시 간과하기 쉬운 것 중 하나는 게이트 펄스 기울기의 고정 여부이다. Charge pumping current (I_{cp})는 펄스의 rising, falling 시간이 아닌 펄스 기울기에 비례하므로

interface state에 비례하는 I_{cp} 를 구하기 위하여 게이트 펄스 기울기를 고정시켜야 한다. 따라서 게이트 펄스 기울기는 20V/ μ s로 고정하였으며 펄스의 top voltage가 증가하는 측정방법을 채택하였다^[4].

III. 측정결과 및 토론

채널 너비에 따른 hot-carrier 특성 변화를 비교하기 위하여 다양한 너비를 갖는 소자들에 대하여 I_{sub} 특성을 측정하였다. DAHC injection이 되는 조건을 찾기 위해 $V_D = 4$ V로 고정시키고 I_{sub} 를 측정한 결과 I_{sub} 가 최대가 되는 점은 채널 너비에 무관하게 V_G 가 약 1/2 V_D 인 $V_G = 1.7$ V로 추출되었다. <그림 1>의 $I_{sub}-V_G$ 특성에서 보면 예측한 바와 같이 채널 너비가 클수록

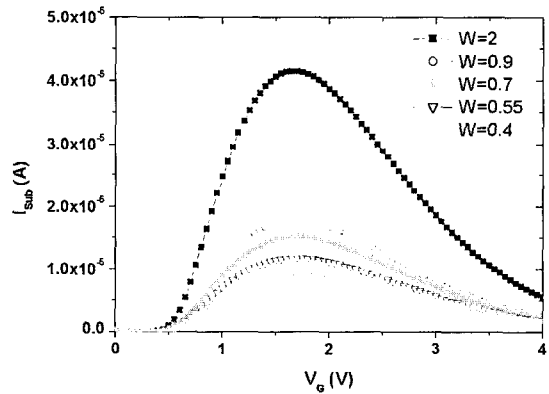


그림 1. 채널 너비에 따른 $I_{sub}-V_G$ 특성 ($V_D = 4$ V)
Fig. 1. $I_{sub}-V_G$ characteristics for various channel-width ($V_D = 4$ V).

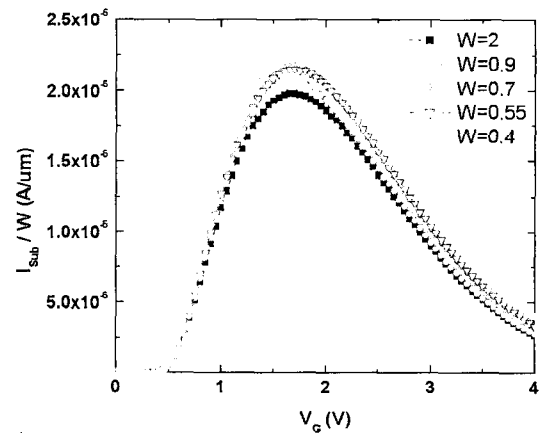


그림 2. 단위 너비 당 I_{sub} ($V_D = 4$ V)
Fig. 2. I_{sub} per unit channel-width ($V_D = 4$ V).

I_{sub} 는 증가한다. 그러나 단위 너비당 I_{sub} 를 비교해보면 채널 너비가 작을수록 증가하는 것을 <그림 2>에서 볼 수 있다.

DAHC injection 조건인 I_{sub_max} 상태로 stress를 인가하고 stress시간에 따른 linear drain current 열화를 측정하였다. <그림 3>에서 보는 바와 같이 같은 stress 시간에서 drain current 열화율을 채널 너비에 따라 비교해 보았을 때 채널 너비가 작을수록 drain current 열화가 증가한다. 채널 너비가 2 μm 인 경우와 0.9 μm 인 소자의 경우 열화 특성이 겹치는 현상을 보이나 전체적으로 너비 감소에 따른 열화 현상 증가 현상을 보인다. 따라서 소자의 채널 너비와 hot-carrier 열화 사이에 상관관계가 있음을 <그림 2, 3>을 통하여 알 수 있다.

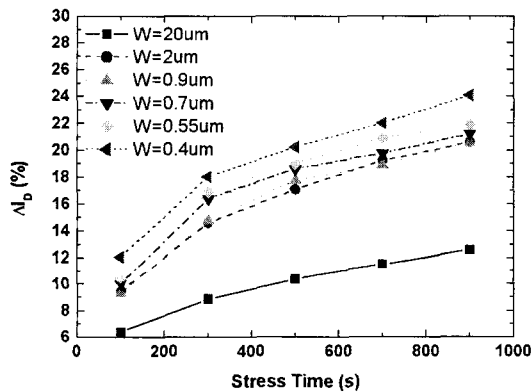


그림 3. DAHC stress 시간에 따른 ΔI_D ($V_D=4\text{ V}$, $V_G=1.7\text{ V}$)

Fig. 3. ΔI_D vs. DAHC stress-time ($V_D=4\text{ V}$, $V_G=1.7\text{ V}$).

V_G 에 따른 I_{sub} 특성은 <그림 4>와 같은 개형을 가지며 식 (1)에서 보는 바와 같이 I_D 와 수평 전계 ($E_{||}$)의 지수함수형태로 비례하게 된다^[5].

$$I_{sub} \propto I_D \cdot \exp(-a/E_{||}) \quad (1)$$

V_G 가 증가할수록 I_D 는 증가하게 되므로 I_{sub} 가 증가하게 되며, V_G 가 일정 이상 증가하게 되면 $E_{||}$ 의 감소에 의하여 I_{sub} 가 감소하게 되어 <그림 4>와 같은 형태를 보인다^[5]. 식 (1)에 의하여 stress를 I_{sub_max} 상태로 가한 후의 impact ionization rate는 I_{sub}/I_D 에 의해 구할 수 있고 이것은 $E_{||}$ 에 지수함수 형태로 비례한다.

소자의 채널 너비에 따른 $E_{||}$ 의 변화를 비교하기 위

하여 DAHC stress 조건 ($V_D=4\text{ V}$, $V_G=1.7\text{ V}$)에서 stress 시간에 따른 I_{sub}/I_D 의 변화를 다양한 채널 너비에 대하여 비교하였다.<그림 5> 그림에서 보는 바와 같이 채널 너비가 작을수록 impact ionization rate, 즉 $E_{||}$ 가 증가하는 것을 알 수 있다. 채널 너비에 따른 변화중 채널 너비가 0.4~0.9 μm 의 범위에서는 특성이 겹치는 경향이 있으나 이는 채널 너비의 변화가 이 구간에서 작으므로 나타나는 현상이며 전체적으로 채널 너비 20 μm 인 소자로부터 너비 감소에 따라 I_{sub}/I_D 가 증가하는 경향을 보이고 있다. 동일한 바이어스 조건에서 narrow width 소자의 $E_{||}$ 이 증가하는 현상은 게이트 산화막 두께의 변화에 기인하는 것으로 추정할 수 있다. 즉 STI 부근의 게이트 산화막 두께가 채널 중간 부분의 산화막 두께에 비하여 큰 경우, 채널 너비가 감소함에 따라 소자의 평균적인 산화막 두께가 증가하고 따라서 동일 바이어스 조건에서 narrow width 소자의 $E_{||}$ 이 큰 현상을 보이는 것으로 사료된다. 일정한 산화막 두께를 갖는 MOSFET에 대한 소자 시뮬레이션 결과 5%의 산화막 두께 변화가 약 20%의 I_{sub} 증가를 유발하는 것으로 나타났다.

이와 같이 채널 너비가 감소함에 따라 소자의 평균적인 산화막 두께가 증가한다면 stress를 인가하지 않은 fresh 소자에서도 채널 너비가 작을수록 평균적인 게이트 산화막 두께가 증가하는 현상을 보여야 한다. 이를 확인하기 위하여 <그림 6>과 같이 fresh 소자의 단위 너비 당 전류를 측정하였다. 소자의 채널 너비가 감소할수록 단위 너비당 전류가 liner 영역 및 saturation 영역에서 증가하는 것을 확인할 수 있었다. 특히 <그림 6(a)>의 linear 전류 특성을 보면 채널 너비가 감소함에 따라 단위 너비 당 I_D - V_G 특성의 형태가 변화하는 것을 알 수 있다. Linear current가 V_G 증가에 따라 linear한 특성을 유지하지 않고 감소하는 현상은 수직 전계에 의한 mobility 감소에 기인한다^[6]. <그림 6(a)>를 보면 채널 너비가 작은 소자일수록 mobility 감소가 작은 현상을 보이고 있으며 따라서 앞에서 유추한 바와 같이 채널 너비가 감소함에 따라 STI 부근의 두꺼운 산화막 두께에 의하여 평균적인 게이트 산화막 두께가 증가함을 확인할 수 있다. 즉, STI 부근의 산화막 두께가 크므로 STI 부근에서 vertical 전계에 의한 mobility 감소가 작기 때문에 단위 너비 당 I_D - V_G 특성이 채널 너비가 작은 소자에서 그래프 개형이 덜 휘는 것을 볼 수 있다. 또한 reserve narrow

width 효과에 의해 V_T 가 감소하는 것을 확인할 수 있다. 따라서 STI 부근에서 E_{it} 와 I_D 가 크므로 <그림 2>에서와 같이 채널 너비가 작을수록 단위 너비당 I_{sub} 가 증가하는 것을 확인할 수 있다.

소자의 I_D - V_G 특성은 hot-carrier에 의한 영향을 많이 받기 때문에 hot-carrier injection에 의한 damage를 수치화 할 때 많이 사용된다. 그러나 실제적으로 소자에서의 전류 열화 현상은 interface state (N_{it})의 증가에 기인하므로 본 연구에서는 charge pumping (CP) 방법을 사용하여 채널 너비에 따른 N_{it} 의 변화를 분석하였다. <그림 7>과 같은 기본적인 CP 실험구조로 측정하였으며 CP 방법은 다음과 같은 간단한 식을 기초로 한다.

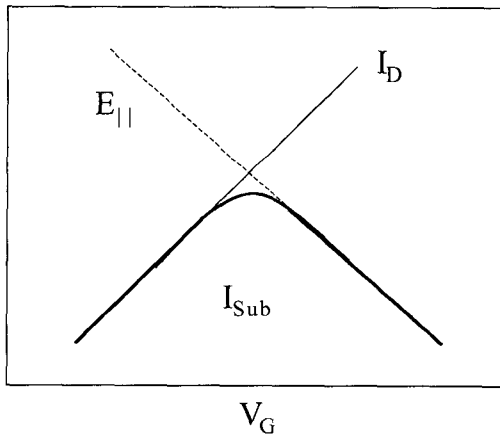


그림 4. I_{sub} - V_G 특성
Fig. 4. Schematic diagram of I_{sub} - V_G .

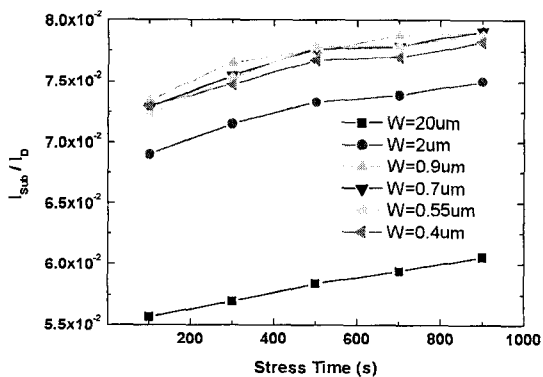
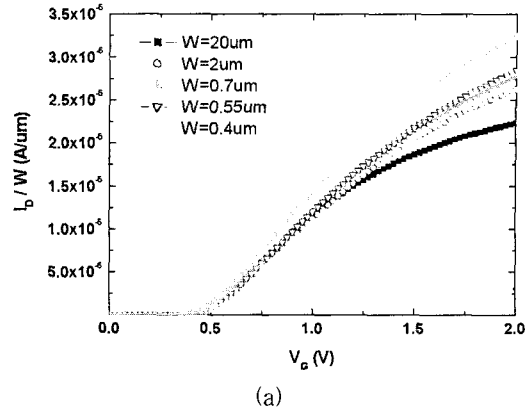
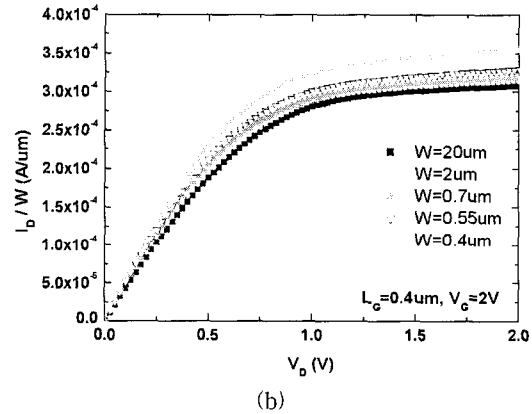


그림 5. DAHC stress 시간에 따른 impact ionization rate (I_{sub}/I_D) ($V_D=4V$, $V_G=1.7V$)
Fig. 5. Impact ionization rate (I_{sub}/I_D) vs. DAHC stress-time ($V_D=4V$, $V_G=1.7V$).



(a)



(b)

그림 6. Fresh 소자의 단위 너비 당 전류 비교 (a) I_D - V_G (b) I_D - V_D
Fig. 6. Drain current per unit channel-width for fresh device (a) I_D - V_G (b) I_D - V_D

$$I_{cp, max} = q \cdot f \cdot N_{it} \cdot W \cdot L \quad (2)$$

$I_{cp, max}$: CP 전류 최대값

q : 단위 전하량

f : 게이트 펄스 주파수

N_{it} : 단위 면적당 interface state 갯수

W : 채널 너비

L : 게이트 길이

먼저 fresh 소자의 채널 너비에 따른 N_{it} 분포를 알아보기 위해 게이트 길이가 20um이고 채널 너비가 20, 0.55, 0.4um인 소자에 대해 I_{cp} 를 측정하고 식 (2)에 의해 N_{it} 를 추출하였다. 세 개의 소자 모두 N_{it} 가 약 1.1×10^{11} 로 채널 너비에 따라 변화가 없음을 확인하였

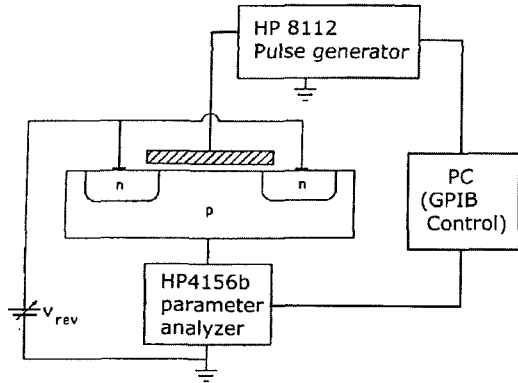


그림 7. 기본적인 charge-pumping 실험 구조
Fig. 7. Experimental set-up of charge-pumping.

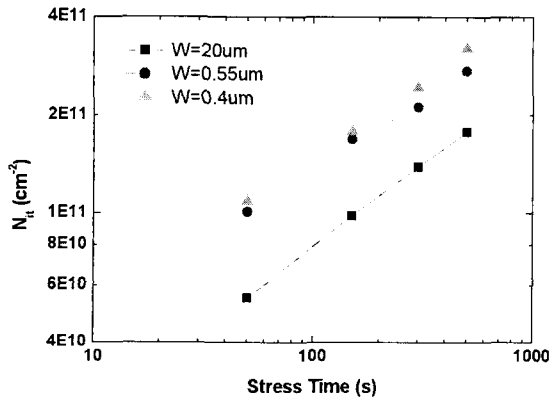


그림 8. DAHC stress 시간에 따른 Nit 변화 ($V_D = 4$ V, $V_G = 1.7$ V)
Fig. 8. Nit vs. DAHC stress-time ($V_D = 4$ V, $V_G = 1.7$ V).

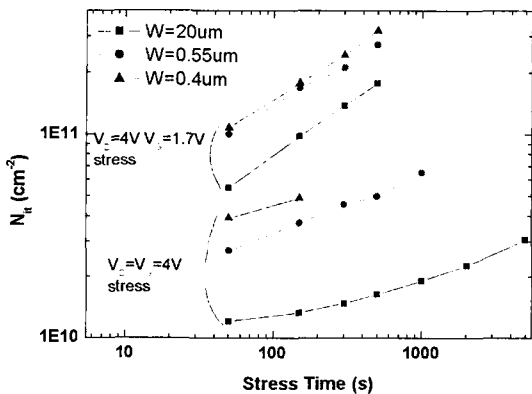


그림 9. Stress 시간에 따른 Nit 변화
Fig. 9. Nit vs. stress-time.

다. 따라서 fresh 소자일 때 채널 너비에 따른 Nit의 차이가 없으며 STI 부근의 fresh 산화막 특성은 채널 중

간의 산화막 특성과 같이 우수함을 확인하였다. DAHC 상태로 stress를 인가한 후 stress 시간에 따른 Nit 변화를 추출하였다. <그림 8>과 같이 stress 시간이 증가할수록 Nit가 증가하며 같은 stress 시간에서 채널 너비가 작을수록 Nit가 더 많이 생성됨을 확인하였다.

CHE 상태, $V_D = V_G = 4$ V로 stress를 인가하고 마찬가지로 Nit를 추출하였다.<(그림 9)> CHE 상태로 stress를 인가했을 경우, Nit generation은 DAHC에 비해 작으며 stress 시간에 따른 Nit 증가율도 감소한다. 그러나 채널 너비가 작을수록 Nit generation이 증가하는 현상은 DACH stress 경우와 동일함을 알 수 있다.

V. 결론

본 연구는 STI 구조를 사용하는 NMOSFET의 채널 너비 변화에 따른 hot-carrier 특성 변화에 대하여 분석하였다. NMOSFET에 DAHC stress (I_{sub_max})를 인가했을 경우 채널 너비가 작을수록 전류 열화가 증가하는 것을 알 수 있었다. 이것은 채널 너비가 작을수록 impact ionization rate가 크기 때문이며, impact ionization rate는 E_1 에 비례하므로 STI 부근에서 산화막 두께가 두꺼운 것으로 사료된다. Fresh 소자의 linear 전류 특성을 채널 너비에 따라 분석한 결과 채널 너비가 작은 소자일수록 수직 전계에 의한 mobility 감소가 작은 것을 확인하였으므로 STI 부근에서의 산화막 두께 증가가 채널 너비에 따른 hot-carrier 열화 특성 변화의 원인을 확인하였다. 기존의 발표 논문의 경우 소자 너비의 감소에 따라 열화 현상이 감소한다는 보고가^[3] 있었으나 다른 연구결과는 본 논문과 같이 너비 감소에 따라서 증가하는 현상을 보이고 있다^[1, 2]. 또한 기존의 연구결과는^[1, 2] 열화의 증가를 current crowding effect로 설명하였으나 본 논문의 연구 결과에 따르면 fresh 소자의 단위 너비당 전류량이 너비가 작은 소자에서 크게 나타나는 현상을 보이고 있으므로 그러한 분석이 본 논문에 사용된 소자에는 적합하지 않음을 알 수 있다.

CP 방법을 이용하여 Nit를 추출한 결과 fresh 소자의 Nit는 채널 너비에 따라 변화가 없으므로 STI 부근의 fresh 산화막 특성은 나쁘지 않다는 것을 확인하였으며 I_D 열화 결과에서 예측한 바와 같이 DAHC stress 후에는 채널 너비가 작을수록 Nit가 많이 생성되는 것을 확인하였다. CHE stress ($V_D = V_G$) 후에 CP 방법을 이

용하여 N_{it} 를 추출한 결과 채널 너비가 작을 수록 N_{it} 가 증가하는 현상은 동일하였으나 DAHC stress에 비해 N_{it} 생성 및 stress 시간에 의한 증가율은 작은 것으로 확인되었다.

참 고 문 헌

- [1] W. Lee and H. Hwang, "Hot carrier degradation for narrow width MOSFET with shallow trench isolation," *Microelectronics Reliability*, Vol. 40, p. 49-56, 2000.
- [2] Y. Lee, T. Linton, K. Wu, and N. Mielke, "Effect of trench edge on pMOSFET reliability," *Microelectronics Reliability*, Vol. 41, p. 689-696, 2001.
- [3] S. Chung, S. Chen, W. Yang, and J. Yang, "A New Physical and Quantitative Width Dependent Hot Carrier Model for Shallow-Trench-Isolated CMOS Devices," *IEEE 01CH37167. 39th Annual International Reliability Physics Symposium*, Oriando, Florida, pp. 419- 424, 2001.
- [4] W. Sun and H. Shin, "New Method to Extract the Lateral Profile of Hot-Carrier-Induced Nits by Using the Charge Pumping Method," *J. of the Korean Physical Society*, Vol. 40, pp. 636-641, 2002.
- [5] E. Takeda, "Hot-Carrier Effects in MOS Devices," Academic Press, San Diego, 1995.
- [6] S. Tagaki, A. Toriumi, and H. Tango, "On the Universality of Inversion Layer Mobility in Si MOSFET's: Part I - Effects of Substrate Impurity Concentration," *IEEE Trans. on Electron Devices*, ED-41, pp. 2357-2362, 1994.

저 자 소 개

李 晟 源(正會員) 第39卷 SD編 第10號 參照

申 炯 淳(正會員) 第39卷 SD編 第10號 參照