

論文2003-40SD-9-8

# 고속 통신 시스템 응용을 위한 3 V 12b 100 MS/s CMOS D/A 변환기

(A 3 V 12b 100 MS/s CMOS DAC for High-Speed Communication System Applications)

裴鉉熙\*, 李明晋\*, 申殷昔\*, 李承勳\*, 金泳祿\*

(Hyuen-Hee Bae, Myung-Jin Lee, Eun-Seok Shin, Seung-Hoon Lee, and Young-Lok Kim)

## 요약

본 논문에서는 고속 통신 시스템 응용을 위한 12b 100 MS/s CMOS D/A 변환기(DAC) 회로를 제안한다. 제안하는 DAC는 전력소모, 면적, 선형성 및 글리치 에너지 등을 고려하여, 상위 8b는 단위 전류셀 매트릭스 (unit current-cell matrix)로 나머지 하위 4b는 이진 전류열 (binary-weighted array)로 구성하였다. 제안하는 DAC는 동적 성능을 향상시키기 위해 새로운 구조의 스위치 구동 회로를 사용하였다. 시제품 DAC회로 레이아웃을 위해서는 캐스코드 전류원을 단위 전류셀 스위치 매트릭스와 분리하였으며, 제안하는 칩은 0.35  $\mu\text{m}$  single-poly quad-metal CMOS 공정을 사용하여 제작되었다. 측정된 시제품의 DNL 및 INL은 12b 해상도에서 각각  $\pm 0.75$  LSB와  $\pm 1.73$  LSB이내의 수준이며, 100 MS/s 동작 주파수와 10 MHz 입력 주파수에서 64 dB의 SFDR을 보여준다. 전력 소모는 3 V의 전원 전압에서 91 mW이며, 칩 전체 크기는 2.2 mm  $\times$  2.0 mm 이다.

## Abstract

This work describes a 3 V 12b 100 MS/s CMOS digital-to-analog converter (DAC) for high-speed communication system applications. The proposed DAC is composed of a unit current-cell matrix for 8 MSBs and a binary-weighted array for 4 LSBs, considering linearity, power consumption, chip area, and glitch energy. The low-glitch switch driving circuit is employed to improve the linearity and the dynamic performance. Current sources of the DAC are laid out separately from the current-cell switch matrix core. The prototype DAC is implemented in a 0.35  $\mu\text{m}$  n-well single-poly quad-metal CMOS technology. The measured DNL and INL of the prototype DAC are within  $\pm 0.75$  LSB and  $\pm 1.73$  LSB, respectively, and the spurious-free dynamic range (SFDR) is 64 dB at 100 MS/s with a 10 MHz input sine wave. The DAC dissipates 91 mW at 3 V and occupies the active die area of 2.2 mm  $\times$  2.0 mm.

**Keyword** : digital-to-analog converter, current-steering, CMOS, current-cell matrix, binary-weighted array

## I. 서론

\* 正會員, 西江大學校 電子工學科  
(Dept. of Electronic Engineering, Sogang University)  
接受日: 2002年9月14日, 수정완료일: 2003年9월2일

최근에 개발되고 있는 통신 시스템 및 고속 영상 신호 처리 시스템은 디지털 회로와 아날로그 회로를 하나의 칩, 즉 시스템 온 칩 (System-on-a-Chip: SoC)으

로 구현하는 추세에 있다. 결과적으로 이러한 시스템에 필수적인 인터페이스로 사용되는 데이터 변환기는 점점 더 중요한 블록으로 자리잡아가고 있다. 실제 시스템 응용사례 중의 하나로 고성능의 very high-speed digital subscriber line (VDSL), wireless local area network (WLAN), cellular base station 및 global system for mobile communication (GSM) 등에는 칩 내부에 고속 고해상도의 digital-to-analog converter (DAC)가 필수적으로 요구되고 있다<sup>1) 3)</sup>. 회로 구현의 측면에서 볼 때, 회로의 소형화, 경량화, 저전력화, 그리고 아날로그와 디지털 기능을 같은 소자 내에 구현하는 혼성 모드 시스템의 응용이 점증하는 추세를 고려하면 고집적 디지털 회로 설계용 CMOS 공정을 사용한 DAC의 개발은 필수적이다. 이러한 고속 고해상도 CMOS DAC의 대부분은 동작 속도 및 선형성에서 장점을 갖는 전류 모드 구조로 구현되는 경향이 있으나 공정 변수의 변화, 전류원의 부정합 및 고속 동작시 출력단에 발생하는 글리치 등에 의해 DAC의 동작성능이 저하될 수 있다<sup>4) 6)</sup>.

본 연구에서 제안하는 DAC는 선형성을 증가시키기 위하여 상위 8b는 255개의 단위 전류셀 매트릭스 (unit current-cell matrix)로, 나머지 하위 4b는 이진 전류열 (binary-weighted array)로 구성하였다. 전류셀 매트릭스에는 DAC의 선형성을 극대화 할 수 있는 스위칭 기법을 적용하여 칩 내부에서 발생하는 경사 오차 (graded error)와 대칭 오차 (symmetrical error)에 의한 INL 특성을 향상시켰으며, 중간 래치를 사용하여 디지털 신호들간의 지연 시간 차이를 최소화하였다. 또한, 전류 스위치를 구동하는 디지털 입력 신호의 동기를 위한 새로운 스위치 구동 회로를 제안하여 DAC 출력단에서 발생하는 글리치 에너지를 줄였으며, 전류원을 전류셀 스위치 매트릭스 (current-cell switch matrix)와 완전히 분리하여 레이아웃 및 구현함으로써 전류 스위치에 의한 잡음 등의 간섭을 최소화하였고, 전류원 주위에 부가 셀 (dummy cell)을 추가하여 전류원 부정합의 영향을 최대도로 억제하였다.

본 논문의 II 장에서는 고속 고해상도 전류 모드 DAC의 전체 구조와 선형성 향상을 위해 사용한 스위칭 기법에 대하여 논한다. III 장에서는 DAC의 동적 성능 향상을 위하여 제안하는 전류원의 구조 및 스위치 구동 회로에 대하여 언급하고, IV 장에서는 제안하는 시제품 DAC의 레이아웃 기법 및 측정결과에 대하여

요약한다.

## II. 제안하는 DAC 구조 및 스위칭 기법

기존의 전류 모드 구조의 DAC는 크게 2 가지로 구성되어 있으며, 이진 전류열 구조 및 단위 전류셀 매트릭스 구조로 나누어진다. 이진 전류열 구조는 이진비로 구성되어 있는 전류원을 통해 원하는 전류를 출력하는 방법으로, 트랜지스터 개수가 적어 작은 면적을 차지하면서도 동작 속도가 높으며 전류원을 구동하기 위한 추가의 디코더를 필요로 하지 않는다. 그러나 공정상의 부정합에 민감하고 상위비트의 코드 변화시 글리치 에너지가 크다는 단점이 있다. 그 반면, 단위 전류셀 매트릭스 구조를 사용하면 행과 열의 디코더에 의하여 코드 변환시 켜지거나 꺼지는 전류셀의 개수가 최소화되므로 글리치 에너지가 작으면서, 단조도를 보장하는 장점이 있다. 또한 단위 전류원을 순차적으로 추가하여 사용하므로 전류원에 발생하는 부정합이 적으며 매트릭스의 전류셀이 켜지는 순서를 적절히 조정하는 스위칭 기법을 이용하면 선형성을 크게 증가시킬 수도 있다. 그러나 디코더 및 래치 등의 추가적으로 집적되는 회로로 인해 구조가 복잡하며, 동작속도가 느리고 전력 소모 및 면적이 증가한다는 단점이 있다. 따라서 동작 속도, 선형성, 면적 및 전력 소모 등 DAC에 요구되는 성능을 최적화하기 위해서는 두 가지 구조를 혼용하는 구조가 주로 사용되고 있다<sup>4) 5)</sup>. <그림 1>에는 전류 모드 DAC의 대표적인 두 구조인 이진 전류원 구조와 단위 전류셀 매트릭스 구조의 장단점을 간략히 요약하였다.

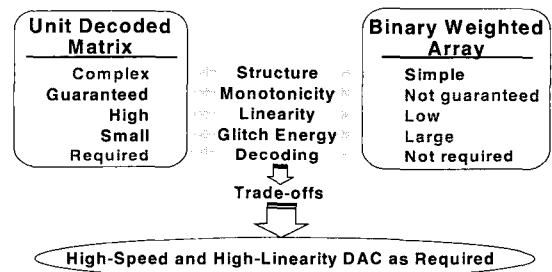


그림 1. 단위 전류셀 매트릭스와 이진 전류원의 비교  
Fig. 1. Comparison of unit current-cell matrix and binary-weighted array architecture.

<그림 2>는 제안하는 12b 100 MS/s DAC의 구조를

나타낸다. 제안하는 DAC는 동작 속도, 전력 소모, 면적, 선형성 및 글리치 에너지 등을 고려하여, 상위 8b는 단위 전류셀 매트릭스로, 나머지 하위 4b는 이진 전류열로 구성하였다.

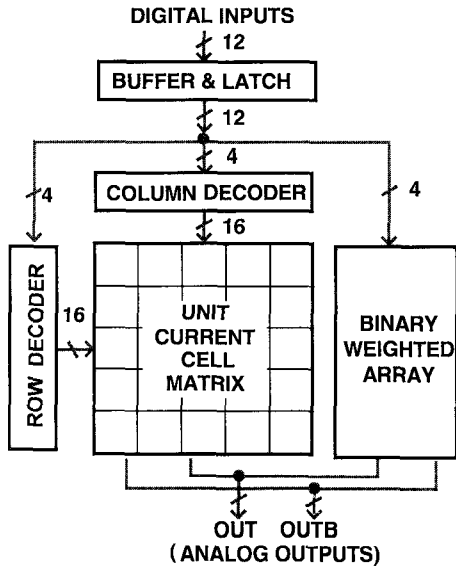


그림 2. 제안하는 12b 100 MS/s DAC의 구조  
Fig. 2. Proposed 12b 100 MS/s DAC architecture.

전체 구조에서 DAC의 디지털 입력 단에는 래치를 사용하여 디지털 신호들간의 지연 시간 차이를 원천적으로 제거하였다. 단위 전류셀 매트릭스에 사용된 스위칭 기법은 <그림 3>과 같이 매트릭스의 가운데 셀을 기준으로 행과 열에 대해 서로 대칭적 위치에 있는 전류셀들을 번갈아 가며 켜 줌으로써 2차원적인 경사 오차와 대칭 오차의 영향을 최소화하였다.

16	254	250	246	242	241	245	249	253	223	219	215	211	212	216	220	224	14
12	190	186	182	178	177	161	185	189	159	155	151	147	148	152	156	180	10
8	126	122	118	114	113	117	121	125	95	91	87	83	84	88	92	96	6
4	62	58	54	50	48	52	57	61	31	27	23	19	20	24	28	32	2
3	46	42	38	34	33	37	41	45	15	11	7	3	4	8	12	16	1
7	110	106	102	98	97	101	105	109	79	75	71	67	68	72	76	80	5
11	174	170	166	162	161	165	169	173	143	139	135	131	132	136	140	144	9
15	238	234	230	226	225	229	233	237	207	203	199	195	196	200	204	208	13
13	206	202	198	194	193	197	201	205	239	235	231	227	228	232	236	240	15
9	142	138	134	130	129	133	137	141	175	171	167	163	164	168	172	176	11
5	78	74	70	66	65	69	73	77	111	107	103	99	100	104	108	112	7
1	14	10	6	2	1	5	9	13	47	43	39	35	36	40	44	48	3
2	30	26	22	18	17	21	25	29	83	79	75	71	72	76	80	84	4
6	94	90	86	82	81	85	89	93	127	123	119	115	116	120	124	128	8
10	158	154	150	146	145	149	153	157	191	187	183	179	180	184	188	192	12
14	222	218	214	210	209	213	217	221	255	251	247	243	244	248	252		16

Dummy cell

그림 3. 상위 8 MSB 전류셀 매트릭스의 스위칭 순서  
Fig. 3. Switching sequence of the unit current-cell matrix for 8 MSBs.

이러한 스위칭 기법은 디코더의 각 출력들을 전류셀 위치에 따라 배치함으로써 추가되는 회로 없이 구현될 수 있다<sup>7)</sup>. 한편 온도변화와 전원전압 변화에 독립적인 CMOS 트랜지스터로만 구성된 레퍼런스 회로는 온칩으로 집적되었다<sup>9)</sup>.

### III. 제안하는 DAC의 동적성능 향상기법

전류 모드 구조의 DAC에서 전류원에서 공급하는 전류의 변화는 전체 DAC의 성능을 제한하게 된다<sup>10) 16)</sup>. 제안하는 DAC에서는 <그림 4>와 같이 전류원의 전류량 변화를 최소화하기 위해 단위 전류셀의 전류원을 캐스코드 형태로 사용하되, 요구되는 고속 및 고해상도 사양을 만족시키기 위해 트랜지스터의 채널길이를 최적화하였다.

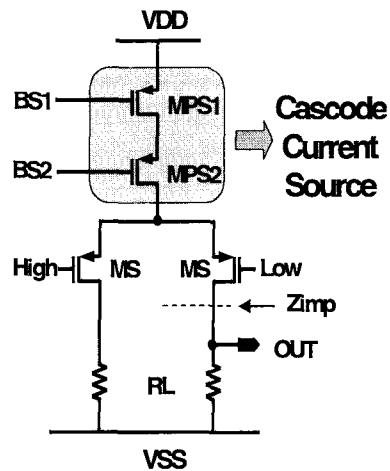


그림 4. 제안하는 DAC의 단위 전류셀 구조  
Fig. 4. Unit current cell of the proposed DAC.

즉, DAC의 출력단 OUT에서 보이는 출력 임피던스는 DAC의 해상도, 부하 저항에 따라 최소한 다음과 같은 식을 만족할 필요가 있다<sup>10)</sup>.

$$INL = \frac{I_{unit} R_L^2 N^2}{4 Z_{imp}} \quad (1)$$

(Iunit : 1 LSB current, N : 단위 전류원의 총 개수, RL : 부하저항, Zimp : 출력단 OUT에서 보이는 출력 임피던스)

이 수식에서 알 수 있듯이 DAC의 INL 특성을 향상시키기 위해서는 출력단 OUT 노드에서 보이는 출력

임피던스가 충분히 커야함을 알 수 있다. 그러나 출력단 임피던스가 너무 커지면 전류원이 선형영역에서 동작하여 그 장점을 잃어버릴 위험이 있다. 제안하는 DAC는 이러한 점을 고려하여 <그림 4>의 단위 전류셀에 있는 MPS1과 MPS2의 W/L 크기를 현 공정에서 시뮬레이션을 통해 최적화된  $32\mu/2\mu$ 로 설계함으로써, 12b 해상도 수준에서 출력단 임피던스를 충분히 크게 하여 전류원에서 공급하는 전류의 변화를 최소화하되, 이 트랜지스터들이 포화영역에서 충분히 동작할 수 있도록 설계하였다.

한편, 전류 모드 DAC의 동적 성능은 전류셀로부터 생성되는 최종 출력 신호의 정착 시간과 글리치 에너지 등에 의해 제한된다. 출력단의 글리치 에너지를 발생시키는 요인으로는 전류 스위치의 ON / OFF시 전류원 출력 노드 전압 변화에 의한 전류량의 변화, 전류 스위치의 기생 캐패시턴스를 통해 전달되는 디지털 데이터와 클럭 신호의 피드스루, 그리고 단위 전류셀 스위치를 구동하는 신호의 불완전한 동기 등을 들 수 있다<sup>[10-13]</sup>. 제안하는 DAC는 이와 같은 오차에 의한 영향을 최소화하고, 동적 성능을 향상시키기 위해 입력 래치를 이용하여 디지털 입력을 동기시키고, 전류원을 캐스코드 형태로 사용하여 전류량의 변화를 최소화하였다. 동시에, 디지털 입력 데이터 및 클럭 신호의 피드스루에 의한 영향을 줄이기 위해 <그림 5>와 같은 스위치 구동 회로를 사용하여 아날로그 출력신호의 글리치를 최소화하였다.

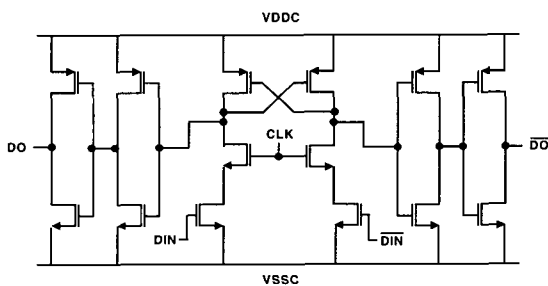


그림 5. 제안하는 스위치 구동 회로  
Fig. 5. Proposed switch driving circuit.

이러한 스위치 구동 회로는 디지털입력 데이터를 동기시키는 역할뿐만 아니라, 전류 스위치를 구동하는 PMOS로 구성된 스위치 구동 회로의 출력 신호 DO와  $\overline{DO}$ 의 출력 파형을 VSS에 가까운 지점에서 서로 교차하게 만들어 두 개의 전류 스위치가 동시에 꺼지지 않

고, 짧은 시간동안 동시에 켜지게 함으로써 전류원의 출력 노드가 일정한 전압을 유지하도록 만드는 역할도 한다<sup>[11]</sup>. 동시에, 스위치 구동 회로의 출력 인버터는 클럭에 의하여 발생하는 피드스루를 최소화하는 역할을 한다. <그림 6>은 제안하는 스위치 구동 회로의 출력을 나타내었다. <그림 6>에서 보듯이 제안하는 스위치 구동 회로는 전원 전압이 3 V 일 때, 두 출력의 교차점이 0.3 V 정도에서 전류 스위치를 동시에 켜질 수 있게 해서 글리치 에너지를 최소화하였다.

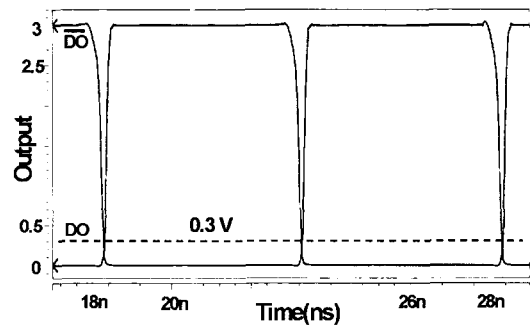


그림 6. 스위치 구동 회로의 모의 실험 결과  
Fig. 6. Simulated result of the switch driving circuit.

#### IV. 시제품 DAC 칩 제작 및 측정결과

실제 제안하는 시제품 DAC를 칩으로 구현하기 위해서는 DAC의 정적 특성과 동적 성능을 제한하는 전류원 간의 부정합을 우선적으로 고려해야 하며, 이런 전류원의 부정합을 최소화하기 위해, 제안하는 DAC는 전류원과 전류 스위치를 공간적으로 완전히 분리하여 레이아웃 하였다<sup>[7]</sup>. 이러한 레이아웃 기법으로 칩의 전체 면적당 전류원의 비가 감소하여 정적전류 부정합이 개선되고, 동시에 전류원 주위에 기판을 통해 전달되는 잡음을 최소화하기 위한 보호 블록을 추가하여 스위칭 잡음에 의한 동적 성능의 감소를 줄였다. 제안하는 DAC의 선형성과 동적 성능을 향상시키기 위해 추가적으로 적용한 레이아웃의 원칙으로는 잡음 유입 방지를 위한 아날로그 전원과 디지털 전원의 분리, well과 substrate 레이아웃 계층의 이중 배치를 통한 디지털 블럭과 아날로그 블럭의 분리, 본딩 와이어에 의한 인덕턴스 효과를 최소화하기 위한 전원전압을 연결하는 다수의 패드 사용 등을 들 수 있다. 그리고 전류셀 매트릭스에 부가 셀을 주변에 적절히 배치하여 전류원

주위의 부정함도 최소화하였다. <그림 7>은 제작된 시제품 DAC의 칩 사진을 보여준다. 제안하는 시제품 DAC는 0.35 um single-poly quad-metal n-well CMOS 공정으로 제작하였고, 칩의 면적은 2.2 mm × 2.0 mm 이다.

시제품 DAC는 추가적인 보정기법 없이 3 V 전원전압에서 측정되었고, 50 Ω 출력 저항에 단일 아날로그

출력의 최대값이 1 V가 되도록 최대 출력 전류를 20 mA로 하였다. <그림 8>은 제작된 DAC의 DNL과 INL을 나타내며 각각 ±0.75 LSB와 ±1.73 LSB 이하의 수준을 보여준다.

<그림 9>는 제안하는 시제품 DAC의 SFDR을 보여준다. 측정을 위한 PCB 설계를 위해서 기존의 단일 모드 출력에 의한 측정대신 트랜스포머를 사용하는 상용

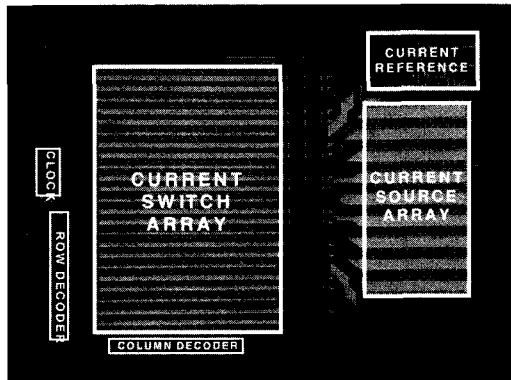


그림 7. 제안하는 시제품 DAC의 칩사진  
Fig. 7. Die photo of the prototype DAC.

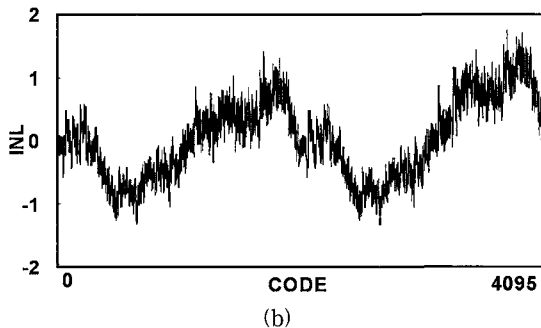
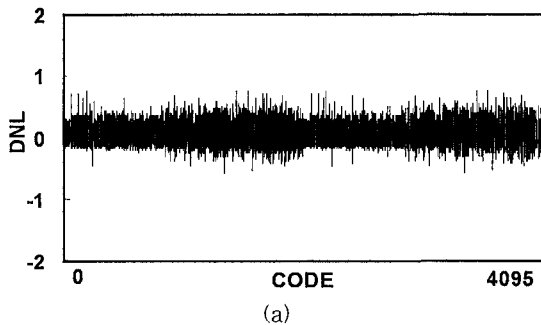


그림 8. 제안하는 시제품 DAC의 정적 특성 (a) DNL (b) INL  
Fig. 8. Static characteristics of the prototype DAC (a) DNL (b) INL.

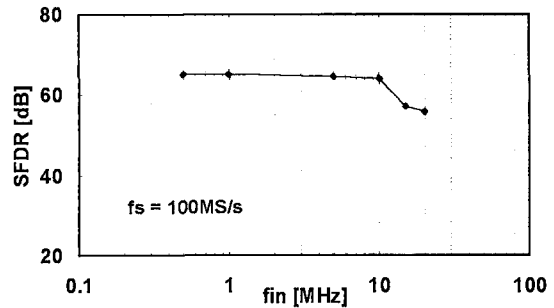


그림 9. 측정된 SFDR  
Fig. 9. Measured SFDR.

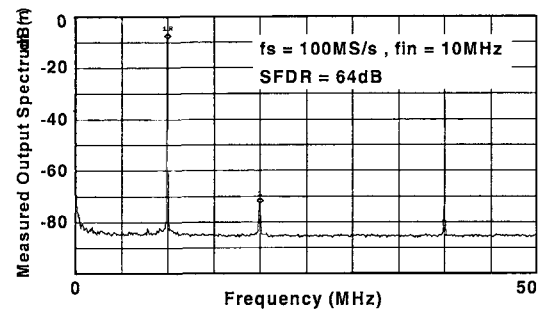


그림 10. 제안하는 시제품 DAC의 출력 스펙트럼  
Fig. 10. Output spectrum of the prototype DAC.

표 1. 시제품 DAC의 측정결과  
Table 1. Measured results of the prototype DAC.

Resolution	12 bits
Update Rate	100 MS/s
DNL / INL	± 0.75 / ± 1.73 LSB
SFDR ( 10MHz @ 100MS/s )	64 dB
Voltage Supply	3.0 V
Power Consumption	91 mW
Chip Area	2.2mm × 2.0mm
Process	0.35 um n-well 1 poly 4 metal CMOS

화된 차동 모드 출력 측정방식을 이용하여, 동적 성능 측정시 공통모드 잡음 및 짝수번 신호왜곡의 영향을 최대한 감소시켰다. 동적성능의 측정 조건은 동작 주파수를 100 MS/s로 고정시킨 후, 아날로그 입력 주파수를 변화시키면서 측정하였다.

<그림 10>은 100 MS/s 동작 주파수에서 10 MHz 아날로그 입력 주파수를 변화시켰을 때의 출력 스펙트럼을 나타내며 측정된 SFDR은 64 dB이다. 제안하는 시제품 12b DAC의 측정 결과를 <표 1>에 요약하였다.

## V. 결 론

본 논문에서는 고속 통신 응용을 위한 12b 100 MS/s CMOS DAC를 제안하였다. 제안하는 시제품 DAC는 동적 성능을 향상시키기 위해 새로운 방식의 스위치 구동 회로를 제안하였고, 전류원과 전류 스위치를 분리하여 레이아웃 함으로써 상호 간섭을 최소화하고 DAC의 성능 향상을 위한 다양한 레이아웃 기법을 적용하였다. 제안하는 시제품 DAC는 0.35  $\mu\text{m}$  single-poly quad-metal n-well CMOS 공정으로 제작되었고, 측정 결과 3 V 전원 전압에서 아날로그 회로의 전력소모는 레퍼런스를 포함하여 66 mW이고, 디지털 회로의 전력소모는 25 mW가 되어 전체 91 mW의 전력 소모를 나타내었다. 측정된 DNL과 INL은 각각  $\pm 0.75$  LSB와  $\pm 1.73$  LSB 이내의 수준이며, 동적 성능은 100 MS/s 동작 주파수와 10 MHz 아날로그 입력 주파수에서 64 dB의 SFDR의 결과를 나타내었다.

## 참 고 문 헌

- [1] P. Hendriks, "Specifying communication DACs," *IEEE Spectrum*, pp. 58-69, July 1997.
- [2] H. Kohno, Y. Nakamura, A. Kondo, H. Amishiro, T. Miki, and K. Okada, "A 350-MS/s 3.3-V 8-bit CMOS DAC using a delayed driving scheme," in *Proc. IEEE Custom Integrated Circuits Conf.*, May 1995, pp. 10.5.1-10.5.4.
- [3] J. Vandenbussche, G. Plas, A. Bosch, W. Daems, G. Gielen, M. Steyaert, and W. Sansen, "A 14b 150 MSample/s update rate Q2 random walk CMOS DAC," in *ISSCC Dig. Tech. Papers*, Feb. 1999, pp. 146-147.
- [4] A. R. Bugeja, B. S. Song, P. L. Rakers, and S. F. Gillig, "A 14b 100 MSample/s CMOS DAC designed for spectral performance," in *ISSCC Dig. Tech. Papers*, Feb. 1999, pp. 148-149.
- [5] J. Bastos, A. Marques, M. Steyaert, and W. Sansen, "A 12-bit intrinsic accuracy high-speed CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1959-1969, Dec. 1998.
- [6] K. Lakshmikummar, R. Hadaway, and M. Copeland, "Characterization and modeling of mismatch in MOS transistors for precision analog design," *IEEE J. Solid-State Circuits*, vol. SC-21, pp. 1057-1066, Dec. 1986.
- [7] J. Park, S. C. Lee, J. S. Yoon, and S. H. Lee, "A 3V 10b 100 MS/s digital-to-analog converter for cable modem applications," *IEEE Trans. on Consumer Electronics*, vol. 46, no. 4, pp. 1043-1047, Nov. 2000.
- [8] C. Lin and K. Bult, "A 10b 500 MSample/s CMOS DAC in 0.6 $\mu\text{m}^2$ ," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1948-1958, Dec. 1998.
- [9] S. H. Lee and Y. Jee, "A temperature and supply-voltage insensitive CMOS current reference," *IEICE Trans. on Electronics*, vol. E82-C, no. 8, pp.1562-1566, Aug. 1999.
- [10] B. Razavi, *Principles of Data Conversion System Design*. New York : IEEE Press, 1995.
- [11] A. Van den Bosch, et al., "A 10b 1 GSsample/s nyquist current-steering CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 315-324, Mar. 2001.
- [12] A. Bosch, M. Borremans, J. Vandenbussche, G. Plas, A. Marques, J. Bastos, M. Steyaert, G. Gielen, and W. Sansen, "A 12b 200 MHz low glitch CMOS DAC," in *Proc. IEEE Custom Integrated Circuits Conf.*, May 1998, pp. 11.7.1-11.7.4.
- [13] A. Van den Bosch, et al., "A 12b 500 MSample/s Current-Steering CMOS DAC," in *ISSCC Dig. Tech. Papers*, Feb. 2001, pp.

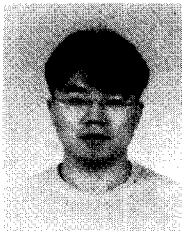
366-367.

[14] Jussi Pirkkalanieni, et al, "A 14b 40 MS/s DAC with current mode deglitcher," Proc. IEEE ISCAS 2002, vol. 1, 2002, pp. 121-124.

[15] Crippa, P. Conti, M. Turchetti, C., "A statistical methodology for the design of high-performance current steering DAC's," Proc. IEEE ISCAS 2001, vol. 5, 2001, pp. 311-314.

[16] Geert A. M. Van der Plas, et al., "A 14b intrinsic accuracy Q2 random walk CMOS DAC," IEEE J. Solid-State Circuits, vol. 34, no. 12, pp. 1708-1718, Dec. 1999.

저 자 소 개



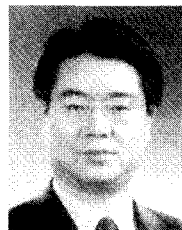
**裴 鉉 熙(正會員)**  
 2002년 2월 : 서강대학교 전자공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중. <주요관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 혼성모드 회로 설계 등임.>



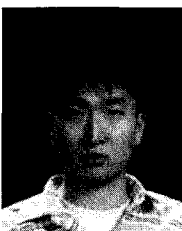
**李 承 勳(正會員)**  
 1984년 : 서울대학교 전자공학과 학사. 1986년 : 서울대학교 전자공학과 석사. 1991년 : 미 Illinois 대(Urbana-Champaign) 공학 박사. 1986년 : KIST 위촉 연구원. 1987년~1990년 : 미 Coordinated Science Lab(Urbana) 연구원. 1990년~1993년 : 미 Analog Devices 사 senior design engineer. 현재 : 서강대학교 전자공학과 교수. <주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.>



**李 明 晉(正會員)**  
 2003년 2월 : 서강대학교 전자공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중. <주요관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 반도체 집적회로 설계, 혼성모드 회로 설계 등임.>



**金 泳 祿(正會員)**  
 1987년 : 서강대학교 전자공학과 학사. 1991년 : 미 Polytechnic 대(New York) 석사. 1993년 : 미 Polytechnic 대(New York) 공학 박사. 1998년~1999년 : AT&T(Bell) 연구소, Florham Park(NJ) 연구원. 1999년~2003년 : InterDigital Communication Corp. 연구원. 현재 : 서강대학교 전자공학과 조교수. <주관심분야 : VLSI 설계, 무선통신모뎀용 DSP 알고리즘, Array Signal Processing, 채널 추정 알고리즘, 채널 등화기 등임.>



**申 殷 普(正會員)**  
 2003년 2월 : 서강대학교 전자공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중. <주요관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 반도체 집적회로 설계, 혼성모드 회로 설계 등임.>