

論文2003-40SD-9-11

Common Mode Feedback 회로를 위한 저 증폭도 에러증폭기

(A low-Gain Error Amplifier for Common-Mode Feedback Circuit)

鄭根楨*, 盧正眞*

(Kun Jung Jung and Jeongjin Roh)

요약

아날로그 IC의 signal swing을 증가시키고 노이즈를 감소시키는 효율적이고 기본적인 방법은 fully-differential 회로를 이용하는 것이다. 하지만 differential-mode 신호처리에 영향을 미치는 common-mode 출력 레벨을 안정되도록 하기 위해서는 common-mode feedback (CMFB)회로가 사용되어야 한다. 본 논문에서는 CMFB 구성과 출력 레벨을 안정되도록 하기 위해 사용되는 에러증폭기 회로들의 설계 방법을 기술하고, 트랜지스터들만으로 구성된 효율적인 저 증폭도 에러증폭기를 제안한다. 제안된 에러증폭기는 phase margin 증가 및 differential-mode 입력 신호의 swing 폭을 증가시킨다.

Abstract

An effective technique to increase the signal swing and reduce noise is to use fully-differential circuits. However, design of a common-mode feedback (CMFB) circuit that stabilizes the common-mode output level is essential. In this paper, a general description is given to fully-differential amplifiers with their CMFB loops, then a new error amplifier that is just composed of transistors and stabilizes the DC output level is proposed. We designed a simple and efficient bias circuit that allows the stability and maximum input swing. Simulation result shows the enhanced phase margin and increased differential-mode input swing with a proposed error amplifier.

Keyword : Common mode 전압, fully-differential 회로, 아날로그회로, 피드백, 에러증폭기

I. 서론

최근 급속도로 발전하는 통신 시장에서는 저 전력 및 고속에서 동작하는 operational amplifier를 필요로 하고 있다. 이러한 요구에 부합하여 저 전류 및 고속에

서 동작하는 fully differential 증폭기를 살펴본다. 현재 아날로그 회로를 설계하는 많은 기술이 fully balanced 구조를 사용한다. 이러한 기술은 선형 영역에서 동작하는 MOSFET과 같은 소자에서 발생하는 even order harmonics를 상쇄시킨다. 또한, fully differential 증폭기는 single-ended 회로에 비해 뛰어난 출력 swing과 power supply rejection ratio (PSRR)을 갖는다. 그러나 fully-differential 증폭기에서는 출력 전압의 common-mode (CM)를 일정하게 유지시키기 위하여 common-mode feedback (CMFB)을 추가하는 것이 필수적이며

* 正會員, LG전자 주식회사
(LG Electronics Inc.)

** 正會員, 漢陽大學校, 電子컴퓨터工學部
(Hanyang University, Electrical and Computer Engineering)

接受日字:2002年7月22日, 수정완료일:2003年9月2日

^[1], 이러한 CMFB를 구성하는 중요한 요소로서 에러증폭기가 사용된다. 에러증폭기는 feedback 신호와 기준 신호를 비교 후 오차를 증폭시켜주는 역할을 한다. 이와 같은 에러증폭기는 feedback을 사용하는 많은 아날로그 회로에서 사용되고 있다. 한 예로서 operational amplifier의 출력 buffer stage를 구성하기 위해 사용된다. 그러나, 에러증폭기는 negative feedback을 형성함으로써 전체 회로의 안정도에 영향을 미친다. 따라서, feedback 시스템을 설계 시 에러증폭기가 시스템에 미치는 영향 및 에러증폭기의 증폭도에 따른 안정도를 분석하고 quiescent current를 확인해야 한다^[2, 3].

본 논문 II 장 및 III 장에서는 CM 센스회로 및 에러증폭기 등을 사용한 CMFB 회로의 기본 개념을 알아보고, feedback 시스템 구성에 따른 안정도를 분석한다. IV 장에서는 에러증폭기 회로의 설계 방식을 알아보고, 시스템 안정도 향상을 위한 새로운 저증폭도 에러증폭기를 제시한다. V 장은 기존의 에러증폭기와 본 논문에서 제안된 에러증폭기를 이용한 CMFB회로의 시뮬레이션 결과를 비교 분석하였다. HSPICE를 이용한 회로 시뮬레이션 결과는 제안된 에러증폭기가 기존의 에러증폭기에 비해 안정도의 향상 및 입력신호의 swing 폭이 늘어났음을 보여준다.

II. Common-Mode 회로

Fully-differential 회로의 입력 및 출력 신호는 differential-mode (DM) 성분과 common-mode (CM) 성분으로 구성된다. DM 성분은 증폭기의 (+)와 (-) 입력 단의 신호의 차이를 의미하며, CM 성분은 신호가 swing을 할 때 중심이 되는 전압이다.

Fully-differential 증폭기는 DM 성분만을 증폭하고, CM 성분은 증폭하지 않는 것이 바람직하다. 이는 일반적으로 CM 성분의 변화는 power 또는 ground 단의 noise에 의한 것이기 때문이다. 따라서 CM 전압 값은 설계 시 설정된 기준 DC 전압으로 고정시키고 변동하는 CM 값은 feedback에 의해 조절해 주어야 한다. Fully-differential 회로에서는 CM 기준전압이 회로의 입출력 단자에 연결되어 있지 않으므로 출력의 CM 전압이 정확히 결정되지 못하는 불확실한 값이 된다. 따라서, 추가적인 회로에 의해 출력의 CM 값을 결정해 주어야만 한다. 그럼으로, fully-differential 회로에서는 CMFB 회로가 필수적으로 요구되며, 이에 따른 안정도

검사가 fully-differential 회로 설계의 매우 중요한 사항이다.

출력 CM 전압을 감지하는 직접적인 방법은 <그림 1>과 같이 저항을 이용하는 방법이다^[4, 5]. 저항 R1과 R2를 사용함으로써 출력의 CM 전압 $V_{out, CM}$ 은 다음과 같다. 일반적으로 R1과 R2는 같은 값을 갖는다.

$$V_{out, CM} = \frac{V_{out1} \cdot R_2 + V_{out2} \cdot R_1}{R_1 + R_2} \quad (1)$$

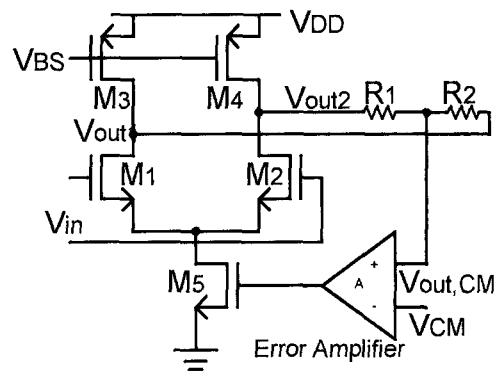


그림 1. 출력 CM 감지를 위해 저항 R1과 R2를 사용한 Fully-differential 증폭기

Fig. 1. Common-mode feedback with resistive sensing.

그러나, 저항 R1과 R2를 <그림 1>에서처럼 사용할 경우 main 증폭기의 open-loop 증폭도가 바뀐다. 따라서 높은 출력 impedance를 요구하는 single-stage 증폭기에서는 사용될 수 없는 단점이 있다.

$$A_v = g_{m1,2}(r_{o1,2} \parallel r_{o3,4}) \quad (2)$$

식 (2)는 CM를 감지하기 위한 저항 R1, R2를 사용하지 않았을 때의 open-loop 증폭도를 나타낸다.

$$A_v = g_{m1,2}(r_{o1,2} \parallel r_{o3,4} \parallel R_{1,2}) \quad (3)$$

식 (3)은 출력의 CM를 감지하기 위해 저항 R1과 R2를 사용하였을 때 open-loop 증폭도를 나타낸다. 식 (3)의 저항 R1,2에 의한 open-loop 증폭도의 감소를 방지하기 위한 방법으로는 사용하는 저항 R1,2의 값을 수십 MΩ 이상으로 크게 하는 것이다. 하지만, 저항 R1,2의 값을 크게 하는 것은 CMOS에서는 현실적으로 매우 어렵고, 실제로 제작한다고 해도 chip 면적이 커짐과 동시에 저항 R1,2에 의해 발생하는 큰 기생 커패시턴스

의 영향으로 회로 특성이 달라 질 수 있다.

<그림 2>는 각각의 출력 단자와 저항 R_1 과 R_2 사이에 입력 저항이 무한대인 source follower를 연결함으로써 출력 단의 CM 값을 안정 시켜 주기 위해 사용된 저항 $R_{1,2}$ 에 의해서 증폭도가 감소하는 것을 방지하는 회로이다. 식 (4)은 회로의 증폭도를 나타낸다.

$$A_v = g_{m1,2}(r_{o1,2} \parallel r_{o3,4} \parallel R_{6,7}) \quad (4)$$

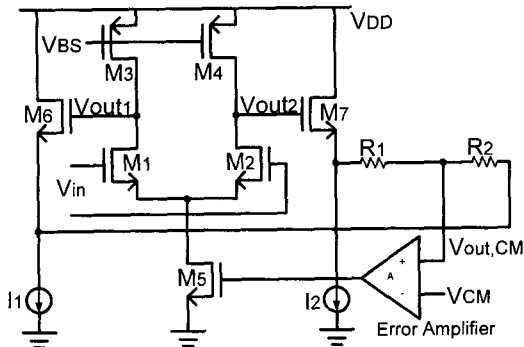


그림 2. Source follower를 이용한 CMFB 회로
Fig. 2. Common-mode feedback using source followers.

트랜지스터 $M_{3,7}$ 의 게이트 저항 $R_{6,7}$ 가 ∞ 이므로, 저항 R_1 과 R_2 에 의한 loading effect를 최소화 할 수 있다^[6]. <그림 2>에서 V_{out2} 의 swing이 V_{out1} 에 비해 커질 때 R_1 과 R_2 를 통해 흐르는 전류 I_x 및 M_6 의 전류 관계 식은 식 (5) 및 식 (6)과 같다.

$$I_x \approx \frac{V_{out2} - V_{out1}}{R_1 + R_2} \quad (5)$$

$$I_1 = I_x + I_{d6} \quad (6)$$

R_1 과 R_2 가 작은 값을 갖거나 I_1 이 작을 경우, 식 (5)와 식 (6)으로부터 I_{d6} 의 값이 0이 되어 트랜지스터 M_6 이 off 되고 $V_{out,CM}$ 이 출력의 CM 값을 나타내지 못함을 알 수 있다. 따라서, CM를 감지하기 위한 저항 R_1 과 R_2 의 값을 매우 작게 하거나, 전류소스 $I_{1,2}$ 가 너무 작아서는 안 된다.

<그림 2>의 V_{CM} 에 원하는 출력의 CM 값을 줄 경우 quiescent 상태에서의 V_{out1} 및 V_{out2} 는 다음과 같은 값을 가진다.

$$V_{out1} (V_{out2}) = V_{CM} + V_{GS6,7} \quad (7)$$

식 (7)으로부터, 출력 swing 폭이 트랜지스터 M_6 과

M_7 의 $V_{GS6,7}$ 만큼 작아지는 것을 알 수 있다. 따라서, <그림 3>과 같이 V_{CM} 에 source follower를 연결함으로써 $V_{GS6,7}$ 에 의한 출력 CM 값에 offset이 발생하는 것을 막는다.

V_{CM} 에 원하는 출력 CM 값을 주면 에러증폭기의 negative 입력 단자에는 추가한 트랜지스터 M_8 의 V_{GS8} 만큼의 전압 강하한 값이 나타난다. 식 (8)은 에러증폭기의 negative 입력 전압을 나타내고 있다.

$$V_{CM} - V_{GS8} \quad (8)$$

DMain 증폭기의 V_{out1} 및 V_{out2} 는 각각의 트랜지스터 M_6, M_7 의 $V_{GS6,7}$ 만큼의 전압 상승이 있으며, 식 (9)와 같이 나타낼 수 있다.

$$V_{out1} = (V_{CM} - V_{GS8}) + V_{GS6,7} = V_{CM} \quad (9)$$

따라서, V_{out1} 및 V_{out2} 은 식 (9)와 같이 일정한 출력

CM 전압 V_{CM} 을 갖게 된다.

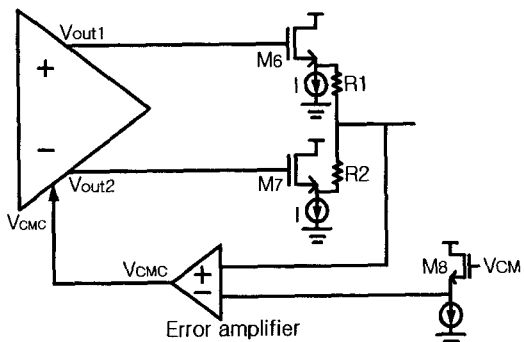


그림 3. 에러증폭기의 negative 단자에 source follower 연결^[5]

Fig. 3. Error amplifier with source follower.

III. CMFB 회로의 안정도

Feedback 시스템을 구성하는 경우 항상 고려되어야 하는 중요한 사항이 시스템의 안정도다. 일반적으로 single-ended 증폭기의 안정도를 향상시키기 위한 주파수 보상에 대한 연구는 많이 되어왔으며, multi-stage 증폭기의 경우 Miller compensation이 일반적으로 사용되고 있다^[2,6]. 그러나 single-ended 증폭기와 달리

fully-differential 증폭기의 경우 신호 성분이 DM 신호 뿐 아니라 CM 신호처리에 따른 feedback도 함께 고려해 주어야 한다.

Feedback 시스템의 안정도를 향상시키는 방법으로 Miller compensation^[6]에 의해 dominant pole을 저 주파수 영역으로 이동시키는 방법과 pole의 위치는 변동시키지 않고 증폭도를 감소시키는 방법을 고려할 수 있다. 그러나, Miller compensation에 의해 CMFB를 안정시킬 경우 CM 신호를 처리하기 위한 회로의 속도가 DM 신호를 처리하기 위한 회로보다 느려지는 단점이 발생하게 되어 high speed에 적합하지 않다. 따라서, 증폭기의 DM 신호용 회로에 사용되는 compensation을 CM 신호용 CMFB에서도 함께 공유하는 것이 매우 효율적이다^[6]. 이를 위해서는 에러증폭기의 증폭도를 작게 해주는 것이 필수적이다.

<그림 4>는 DM 증폭기의 증폭도 및 phase가 안정되도록 설계된 회로의 결과를 보여준다. Single-stage fully-differential 증폭기역시 <그림 3>에서처럼 에러증폭기가 추가 될 경우 에러증폭기가 또 하나의 증폭 단을 형성함으로써 전체적으로는 two-stage를 구성한다. <그림 4(a)>의 gain=100으로 표시된 선은 에러증폭기의 증폭도가 100임을 나타내고, gain=1로 표시된 선은 에러증폭기의 증폭도가 1임을 나타낸다. <그림 4(b)>

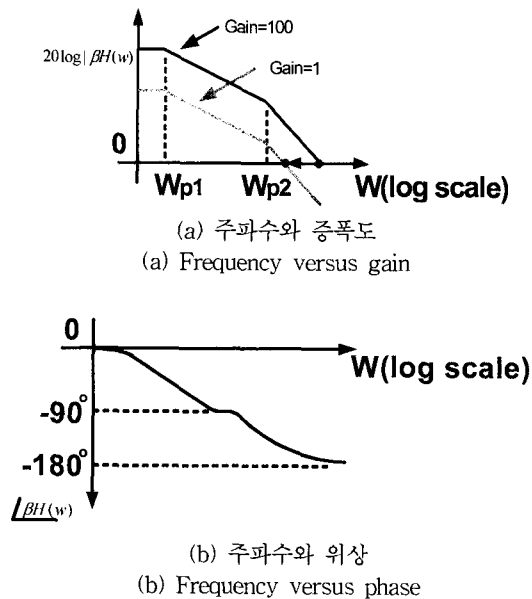


그림 4. 주파수에 따른 증폭도, 위상 변화
Fig. 4. Frequency versus magnitude and phase.

와 비교할 때 gain=100일 경우 phase margin이 크게 줄어든 것을 알 수 있다. 즉 closed-loop 시스템을 구성 시 진동을 하며, step response는 overshoot하게 된다^[3]. <그림 4>에서 증폭도가 1인 경우 주파수에 따른 증폭도를 보면, 증폭도가 낮아짐으로써 phase margin이 늘어난 것을 알 수 있다. 이에 따라 회로는 frequency domain과 time domain 상에서 안정적으로 동작하게 된다

IV. 에러증폭기

IV장에서는 II장에서 언급되어진 에러증폭기를 고찰해 보고, 각각의 증폭기에 대한 입력 swing 폭을 알아본다. 또한, Differential pair 및 두 개의 tail current 트랜지스터를 이용한 에러증폭기를 제안한다.

1. Open-loop 증폭도가 큰 증폭기

<그림 5>는 가장 일반적인 에러증폭기의 구성을 보여준다. 이 회로에서 body effect 및 channel length modulation을 무시하면, 회로의 증폭도는 식 (10)과 같다. CMOS에서 transconductance gm과 출력 저항 ro의 곱은 일반적으로 수십 배에서 수백 배의 증폭도를 가진다.

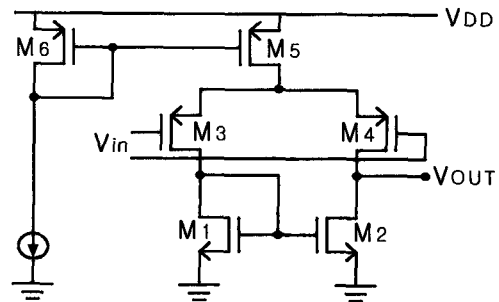


그림 5. 고 증폭도 single-ended 증폭기
Fig. 5. A high-gain single-ended amplifier.

$$A_v = g_{m3,4} (r_{o1,2} \parallel r_{o3,4}) \quad (10)$$

Differential input과 current-mirror load를 사용한 이 회로에서는 입력 swing이 입력 트랜지스터에 의해 제한된다. 즉, 입력 전압 swing은 식 (11)에서처럼 결정되며, 최대 swing 전압이 $V_{in,max}$ 보다 큰 값일 때 트랜지스터 M_3 와 M_4 는 nonsaturation 영역에서 동작하게

된다. 여기서 V_{OD5} 는 M_5 의 overdrive 전압이며 $V_{GS3,4}$ 는 $M_{3,4}$ 의 gate-source 전압을 의미한다.

$$V_{in,max} \leq V_{OD5} + V_{GS3,4} \quad (11)$$

이러한 기본적인 에러증폭기는 일반적으로 아날로그 회로설계에 많이 사용되고 있으나, CMFB에 사용할 경우는 III 장에서 언급한 것처럼 자체 feedback의 loop gain을 지나치게 크게 함으로서 안정도를 낮추게 되는 문제점을 발생시킨다. 이러한 문제점은 V장의 실험 결과에서 검증된다.

전체회로의 안정도 향상을 위해서는 III장에서 언급된 것처럼 증폭도가 낮은 에러증폭기가 필요하다. 앞으로 분석 할 증폭기들은 open-loop 증폭도가 작은 증폭기며, 각각에 대해 입력에 대한 출력의 증폭도 및 동작 범위를 알아보자.

2. Open-loop 증폭도가 작은 증폭기

<그림 6>의 회로에서 계산의 간략화를 위해 트랜지스터의 body effect 및 channel length modulation을 무시하자. CMFB을 위해 한쪽 입력이 reference용 DC 전압에 연결된 경우를 가정하면, 입력 전압과 출력 전압의 비는 식 (12)와 같다.

$$A_v = \frac{1}{2} \times \frac{g_{m3,4}}{g_{m1,2}} \quad (12)$$

<그림 5>에서처럼 입력 트랜지스터 $M_{3,4}$ 의 게이트 전압이 M_5 의 overdrive 전압과 M_3, M_4 의 $V_{GS3,4}$ 보다 큰 값을 가질 때 non-saturation 영역에서 동작하게 된다.

$$V_{in,max} \leq V_{OD5} + V_{GS3,4} \quad (13)$$

<그림 6>의 에러증폭기를 사용할 경우 <그림 5>의 회로와는 달리 전체 회로의 안정도를 향상시킬 수 있으므로 CMFB 회로에 적합하다고 볼 수 있다. 그러나, <그림 5> 및 <그림 6>과 같은 에러증폭기를 이용한 CMFB 회로는 <그림 3>과 같이 저항 R_1 과 R_2 를 이용하여 출력 단의 CM 값을 검출해야 한다. 하지만, 저항을 사용할 경우 layout시 특별한 공정을 사용하지 않는 이상 chip 면적이 크게 될 뿐만 아니라, 저항에 의해 생기는 기생 커패시턴스의 영향으로 회로의 특성이 바뀔 수 있다. 그러나, 다음에 나오는 두 개의 증폭기는 출력 단의 CM 값을 안정 되게 하기 위해 저항을 사용

하는 것이 아니라 differential pair로 구성된 증폭기를 사용함으로써, 저항 R에 의한 영향을 감소시킬 수 있다.

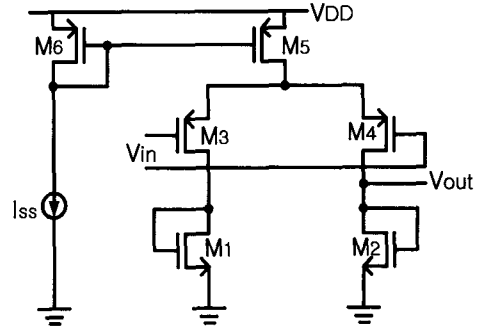


그림 6. 저 증폭도 single-ended 증폭기
Fig. 6. A low-gain single-ended amplifier.

3. 두 개의 differential pair를 사용한 에러증폭기

<그림 7>의 CMFB 회로는 CM 센스 및 에러증폭기의 역할을 모두 수행하는 회로로서 두 개의 differential pair를 사용함으로써 출력 CM 값을 일정 하게 하는 회로이다. M_1 - M_4 는 활성 영역에서 동작하는 동일한 유형의 트랜지스터이다. Source-coupled pair인 M_1 - M_2 와 M_3 - M_4 는 CM 출력 전압을 감지하여 V_{CM} 과 V_{out1} 및 V_{out2} 의 차이에 비례하는 값을 출력 전압으로 갖는다. 그러나, DM 신호를 증폭하는 main operational amplifier의 출력 전압 V_{out1} 과 V_{out2} 가 특정 값 이상으로 증가하면, PMOS 트랜지스터 M_1 과 M_4 의 게이트 전압이 커짐에 따라 M_1 과 M_4 가 off 되어 CMFB 회로가 정상적인 동작을 못한다.

Diode-connected load로 연결된 NMOS 트랜지스터

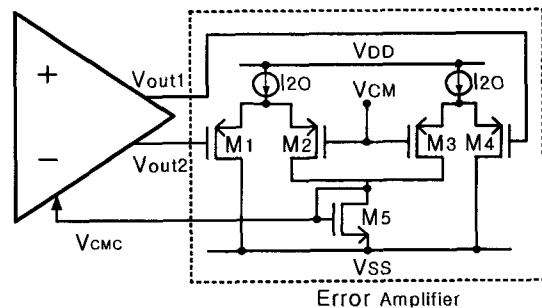


그림 7. 두 개의 Differential pair 및 diode-connected 트랜지스터 load를 이용한 CMFB회로
Fig. 7. A CMFB that uses two differential pairs and a diode-connected transistor load.

M₅의 드레인 전류와 증폭도의 관계를 살펴보면 다음과 같다. 두개의 source-coupled pair의 differential input 을 small-signal analysis를 통해서 분석하고, source-coupled pair의 CM gain이 0이라고 가정하면, M₂와 M₃의 드레인 전류는 다음과 같다.

$$I_{d2} = -\frac{I_{20}}{2} - gm_2 \frac{V_{out2} - V_{CM}}{2} \quad (14)$$

$$I_{d3} = -\frac{I_{20}}{2} - gm_3 \frac{V_{out1} - V_{CM}}{2} \quad (15)$$

M₅의 전류는 I_{d2}와 I_{d3} 합이므로 다음 식과 같이 나타 낼 수 있다. g_{m2}와 g_{m3}는 동일한 값을 갖는다고 가정한다.

$$I_{d5} = -I_{d2} - I_{d3} = I_{20} + gm_2(V_{out} - V_{CM}) \quad (16)$$

식 (16)은 M₅의 드레인 전류가 직류 전류 I₂₀와 (V_{out}-V_{CM})에 비례하는 두개 항의 합임을 나타낸다.

만약 V_{out1} 또는 V_{out2}의 한 개 값이 변한다고 가정하면, 에러증폭기의 증폭도는 식 (17)과 같이 계산된다.

$$A_v \approx \frac{1}{2} \times \frac{gm_{1,1}}{gm_5} = \frac{1}{2} \frac{\sqrt{2\mu_p C_{ox} \frac{W_1}{L_1}} I_{d1}}{\sqrt{2\mu_n C_{ox} \frac{W_5}{L_5}} (I_{d2} + I_{d3})} \approx \frac{1}{2} \sqrt{\frac{1}{2} \frac{\mu_p}{\mu_n}} \quad (17)$$

일반적으로 CMOS 공정에서는 NMOS의 mobility μ_n이 PMOS의 mobility μ_p보다 더 크다. 따라서, PMOS 입력단과 NMOS diode-connected load를 사용한 <그림 7>의 회로에서는 PMOS보다 NMOS의 gm 값이 더 크므로 식 (17)에서의 증폭도는 1 보다 작게 된다.

III장에서 언급하였듯이 에러증폭기의 open-loop 증폭도를 1로 할 경우, 에러증폭기의 트랜지스터 M₁-M₄의 width를 크게 하거나, M₅의 length를 크게 하여야 한다. M₁-M₄의 width를 크게 하여 증폭도를 증가시킬 경우에는 M₁-M₄의 V_{GS}가 작아져 활성영역에서 작동하지 않게 된다. 이와 반대로 M₅의 length를 크게 할 경우에는 M₅와 current mirror로서 연결된 main 증폭기의 트랜지스터 length 크기 및 width를 크게 해야하며 이로 인해 전체 적인 회로의 크기가 커진다. 또한, length 및 width의 길이를 크게 함으로써 <그림 7>의

에러증폭기의 출력 전압 V_{CMC}가 커지고, main 증폭기 입력 단의 overdrive 전압이 증가하여 입력 swing 폭이 작아지는 단점이 있다. 따라서, 다음에 제안하는 방법과 같이 두 개의 load 트랜지스터를 이용하여 회로의 크기가 커지는 단점 및 main 증폭기 입력 단의 swing 폭이 줄어드는 단점을 보완한다.

4. Differential pair 및 두 개의 load 트랜지스터를 이용한 에러증폭기

위에서 언급한 단점을 보완하기 위해 <그림 8>에서는 효율적인 에러증폭기를 제안한다. <그림 8>은 활성영역에서 동작하는 동일한 유형의 load 트랜지스터를 이용한 CMFB 회로이다. M₆의 드레인 전류는 게이트의 바이어스 전압 V_{bs}를 통해 조절이 가능하다. M₆의 드레인 전류는 M₂와 M₃의 드레인 전류의 합에서 M₆의 드레인 전류를 뺀 만큼이 흐른다. 만약 V_{out1} 또는 V_{out2}의 한 개 값이 변한다고 가정하면, 에러증폭기의 증폭도는 다음과 같이 계산된다.

$$A_v = \frac{1}{2} \frac{gm_{1,1}}{gm_6} \quad (18)$$

식 (19), 식 (20) 및 식 (21)은 트랜지스터 M₂와 M₃ 및 M₆의 전류이다.

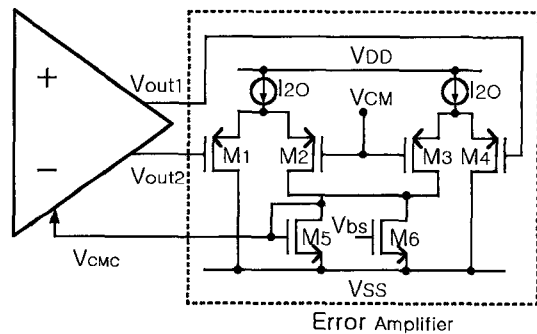


그림 8. 두 개의 Differential pair 및 두 개의 load 트랜지스터를 이용한 CMFB 회로

Fig. 8. A CMFB that uses two differential pairs and two load transistors.

$$I_{d2} = -\frac{I_{20}}{2} - gm_2 \frac{V_{out2} - V_{CM}}{2} \quad (19)$$

$$I_{d3} = -\frac{I_{20}}{2} - gm_3 \frac{V_{out1} - V_{CM}}{2} \quad (20)$$

$$I_{d6} = gm_6 V_{bs} \quad (21)$$

식 (22)은 M_5 의 전류를 나타낸다.

$$I_{d5} = -I_{d2} - I_{d3} - I_{d6} \\ = I_{20} + g_{m2}(V_{out} - V_{CM}) - g_{m6}V_{bs} \quad (22)$$

식 (22)과 식 (16)의 I_{d5} 를 비교하면, 식 (22)의 I_{d5} 값이 $g_{m6}V_{bs}$ 만큼 작은 것을 알 수 있다. 따라서, <그림 7>의 회로와 마찬가지로 CMFB의 안정도를 높이기 위해 <그림 8>의 에러증폭기의 개방 증폭도를 1로 하고자 할 경우 M_5 의 width 및 length가 작아진다. 따라서, <그림 1>과 같이 에러증폭기가 사용되는 경우, <그림 1>의 M_5 의 gate 전압을 줄여 줌으로써 M_1 과 M_2 의 gate에 연결된 입력의 minimum voltage swing을 향상시킬 수 있다.

V. 실험 결과

V장에서는 각 CMFB 회로에 대한 HSPICE 실험 결과를 보여준다. Main 증폭기는 <그림 9>와 같이 inverting 구조로 만들었으며, CMFB회로가 내장된 상태이다. CMOS 공정은 TSMC사의 0.25 μ m 공정이며, NMOS의 문턱 전압은 0.408V, PMOS의 문턱 전압은 -0.556V이다. 주어진 closed-loop를 통해, step-response를 알아본다.

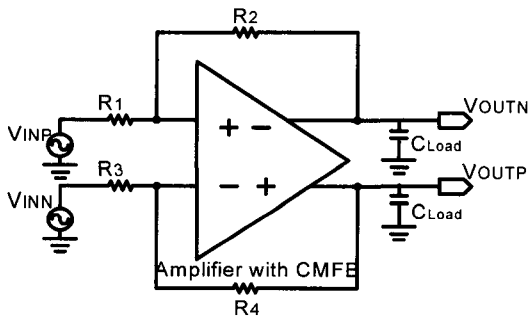


그림 9. CMFB 회로를 이용한 closed-loop 회로
Fig. 9. A closed-loop circuit with CMFB circuit.

<그림 9>의 입력과 출력에 연결된 저항은 100M Ω 의 저항을 사용함으로써, 작은 저항을 사용하였을 때 생기는 open-loop 증폭도의 감소를 막았다. 출력 단에는 1 pF의 부하 커패시턴스 C_{Load} 를 가정한다. 물론 100M Ω 저항은 CMOS에서는 구현 불가능하며, 작은 저항 값을 사용하기 위해서는 main 증폭기에 추가적인 출력 단을

설계해야하나, 본 논문에서는 CMFB 설계에 중점을 두고 있으므로 출력 단은 생략하였고 따라서 높은 저항 값을 사용하였다.

1. 저항과 에러증폭기를 이용한 CMFB

<그림 10>은 저항과 에러증폭기를 이용하여 출력 CM 레벨을 원하는 값으로 맞추어 주는 회로이다. 기본 구조는 <그림 3>과 같으며 main 증폭기를 folded-cascode 구조로 설계하였다. 시뮬레이션 실행 시 각각의 출력 단에 1pF의 커패시턴스를 연결 시켰으며, V_{CM} 은 1.5V의 전압 값을 주었다. 트랜지스터의 사이즈를 조절하여 <그림 10>의 회로에 대한 open-loop 증폭도는 60dB로 하였다. 에러증폭기로는 <그림 5>와 <그림 6>을 사용하였으며, <그림 5>의 open-loop 증폭도는 100, <그림 6>의 open-loop 증폭도는 1이 되도록 하였다.

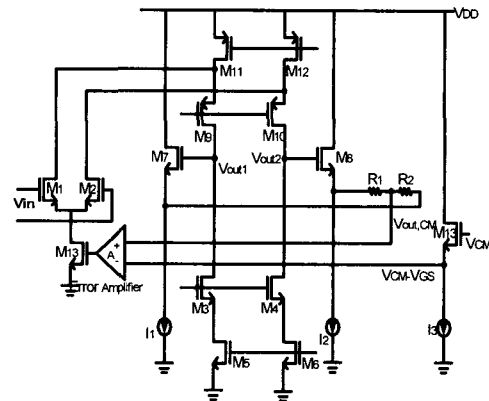


그림 10. 저항과 에러증폭기를 이용한 CMFB 회로
Fig. 10. A CMFB that uses two resistors and an error amplifier.

<그림 11>은 feedback을 끊고 CMFB의 안정도를 측정하기 위한 회로를 보여주는 회로이며, simulation 수행 시 각각의 출력 단에 1pF의 커패시턴스를 연결 시켰다.

1.1. <그림 5>의 증폭기를 에러증폭기로 이용

<그림 12>는 <그림 9>에 대한 step 입력과 출력을 나타낸다. Vout 출력 전압이 입력 전압의 절반 크기를 갖는 것은 <그림 9>의 positive 단자는 1.5V에서 2.0V로 변하는 step 입력을 negative 단자에는 1.5V의 직류 전압을 주었기 때문이다. 결과 파형을 통해 에러증폭기의 open-loop 증폭도가 큰 경우 입력에 대해서 출력

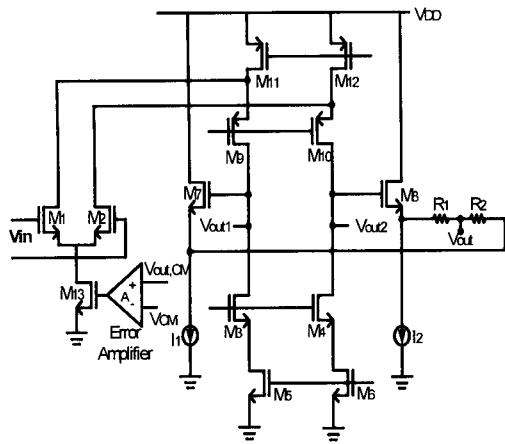


그림 11. CMFB를 제거한 회로
Fig. 11. Circuit with CMFB removed.

1.2. <그림 6>의 증폭기를 에러증폭기로 이용

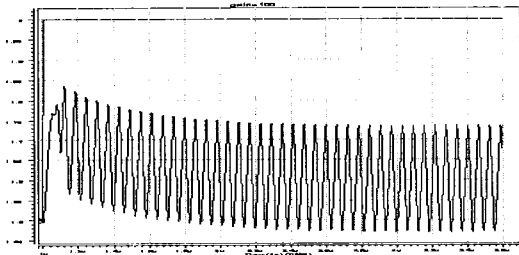


그림 12. Step 입력 및 출력
Fig. 12. Step input and output.

전압이 oscillation함을 알 수 있다.

<그림 13>은 <그림 9>에 step 입력을 주었을 때 출력을 나타내며, 결과 파형을 통해 에러증폭기의 open-loop 증폭도가 작은 경우 출력이 oscillation 하지 않음을 알 수 있다. <그림 14>는 <그림 10>에 대한 주파수 입력에 대한 출력을 나타내며, 결과는 unit gain 이 20MHz, phase margin 이 90°임을 보여준다. <그림 15>는 <그림 11>에 대한 주파수에 따른 출력을 나타내고 unit gain 10MHz, phase margin은 60°임을 나타낸다. <그림 13>, <그림 14> 및 <그림 15>를 통해 에러증폭기의 open-loop 증폭도가 작아짐으로써 CMFB 회로의 phase margin이 증가한 것을 알 수 있으며, closed-loop 구성 시 회로가 안정적으로 동작함을 알 수 있다. 1.1과 1.2를 통해 CMFB 회로에서 사용되어지는 에러증폭기의 open-loop 증폭도가 작아짐으로써, 전체 회로의 안정도가 증가하였음을 알 수 있다.

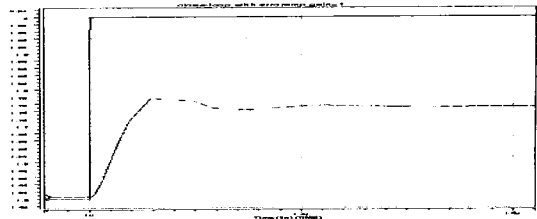


그림 13. Step 입력 및 출력
Fig. 13. Step input and output.

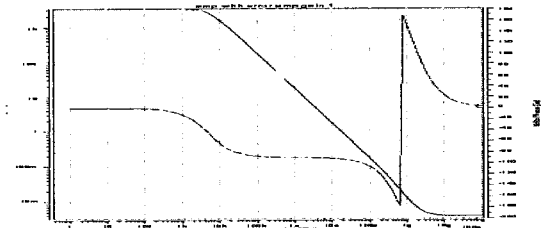


그림 14. 주파수에 크기와 위상의 관계
Fig. 14. Frequency versus magnitude and phase.

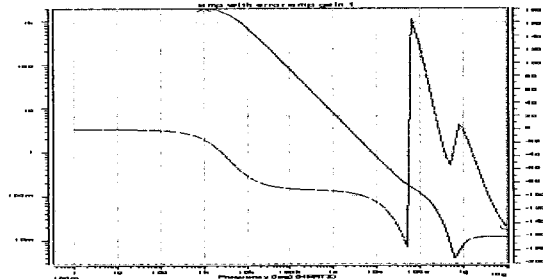


그림 15. 주파수에 크기와 위상의 관계
Fig. 15. Frequency versus magnitude and phase.

2. Differential pair를 사용한 에러증폭기

<그림 16>은 저항을 사용하지 않고 <그림 7>과 <그림 8>의 differential pair로 구성된 에러증폭기를 이용한 CMFB를 나타내고 있다. 트랜지스터의 크기를 조절하여 main 증폭기의 open-loop 증폭도가 60dB, 에러증폭기의 open-loop 증폭도는 1이 되도록 하였다.

<그림 16>의 CMFB를 사용한 closed-loop 회로는 <그림 9>의 형태이며, 회로의 oscillation을 검사하기 위해 positive단에는 1.5V에서 2.0V로의 step 입력을, negative단에는 1.5V의 D.C. 전압을 주었다.

2.1. <그림 7>의 증폭기를 에러증폭기로 이용

에러증폭기 각각의 I_{D0} 전류는 5 μ A이다. Main 증폭기와 diode-connected를 이루는 에러증폭기의 트랜지스

터 M_5 는 width와 length가 1:6의 비율을 가지며, drain current는 $5\mu A$ 이다. <그림 16>의 main 증폭기의 트랜지스터 M_{13} 에 $20\mu A$ 의 전류를 흐르게 하고자 width 및 length가 4:6의 비율을 갖도록 하였다. 위와 같이 구성했을 때, 에러증폭기의 출력 전압 V_{CMC} 의 동작점은 대략 $966mV$ 이다. <그림 17>의 파형은 closed-loop의 입력 단에 step 입력을 주고 파형을 측정할 것이며, 출력 파형이 oscillation 하지 않음을 나타낸다.

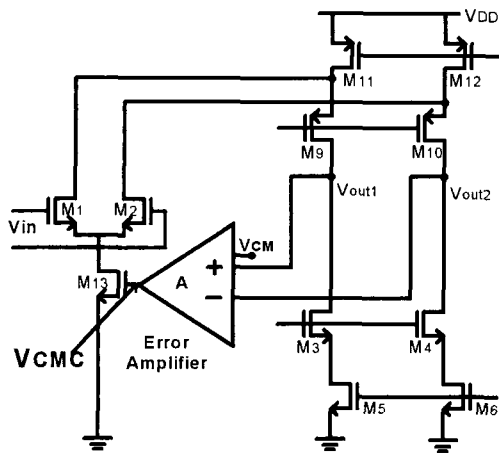


그림 16. Differential를 이용한 CMFB 회로
Fig. 16. A CMFB with differential pair amplifier.

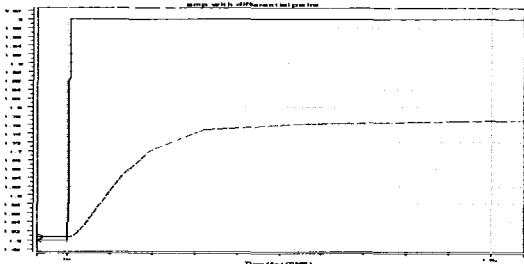


그림 17. Step 입력 및 출력
Fig. 17. Step input and output.

2.2. <그림 8>의 증폭기를 에러증폭기로 이용

<그림 8>의 에러증폭기의 전류 I_{DQ} 값은 $5\mu A$ 이다. M_5 에는 $2\mu A$ 의 전류가 흐르며, width 및 length 비율은 1:3이다. Main 증폭기의 트랜지스터 M_{13} 은 에러증폭기와 diode-connected를 이루며, $20\mu A$ 의 전류가 흐를 수 있도록 width 및 length가 10:3의 비율을 가진다. 위와 같이 구성하였을 때 에러증폭기의 출력 전압 V_{CMC} 에서의 동작 점은 약 $642.5mV$ 이다. <그림 18>은

closed-loop을 구성하여 step 입력에 대해 출력 파형을 본 것이다.

위 결과를 통해 <그림 8>의 증폭기를 에러증폭기로 사용할 경우 <그림 8>의 에러증폭기의 출력 전압 V_{CMC} 값이 작아져, main 증폭기의 입력이 swing 할 수 있는 폭이 늘어 증가하였음을 알 수 있다.

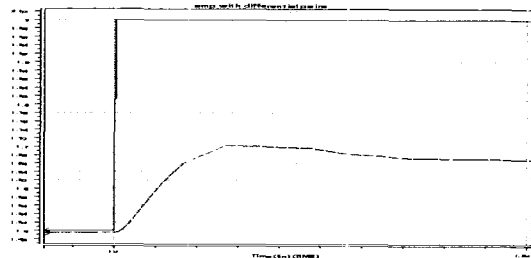


그림 18. Step 입력 및 출력
Fig. 18. Step input and output.

VI. 결 론

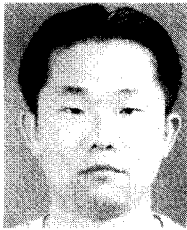
본 논문에서는 일반적인 CMFB 회로의 분석 및 설계 방법에 대해 기술하였으며, feedback 회로 설계 시 핵심이 되는 안정도에 대해 알아보았다. 또한, fully-differential 증폭기의 출력 common-mode를 일정하게 하기 위해 사용되는 에러증폭기를 알아보았다. 본 논문에서 안정도 향상을 위해 저증폭도의 에러증폭기를 <그림 8>에 제안하였고, 제안된 에러증폭기를 사용함으로써 CMFB 회로의 안정도 증가 및 입력 전압이 swing 할 수 있는 폭의 증가를 얻을 수 있다.

참 고 문 헌

- [1] B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill, 2001.
- [2] F. Mistlberger, and R. Koch, "Class-AB High-Swing CMOS Power Amplifier", IEEE Journal of Solid-State Circuits, Vol. 27, No. 7, pp. 1089-1092, July 1992.
- [3] J. Kih, B. Chang, and D. K. Jeong, "Class-AB Large-Swing CMOS Buffer Amplifier With Controlled Bias Current", IEEE Journal of Solid-State Circuits, Vol. 28, No. 12, pp. 1350-1353, Dec. 1993.

- [4] W. G. Garrett, and T. G. Maxfield. "A Monolithic Differential-Output Operational Amplifier", Digest of Technical Papers, International Solid-State Circuits Conf., pp. 174-175, Philadelphia, PA, Feb. 1972.
- [5] M. Banu, J. M. Khoury, and Y. Tsvividis, "Fully Differential Operational Amplifiers With Accurate Output Balancing", IEEE Journal of Solid-State Circuits, Vol. 23, No. 6, pp. 1410-1414, Dec. 1988.
- [6] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, Analysis And Design Of Analog Integrated Circuits, John Wiley & Sons, Inc., 2001.
- [7] I. Grech, J. Micallef, and T. Vladimirova, "Low Voltage, High Speed Fully Differential CMOS Op Amp", Electronics, Circuits and Systems, 2000. ICES 2000. The 7th IEEE International Conference on, Vol. 1, pp. 7-10, 2000.
- [8] G. Xu, S. H. K. Embabi, "A Systematic Approach In Constructing Fully Differential Amplifiers", IEEE transactions on circuits and systems, Vol. 47, No. 11, pp. 1343-1347, Nov. 2000.

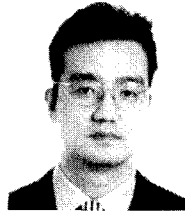
저 자 소개



鄭 根 楨(正會員)

1994년 2월 : 한양 대학교 전자 공학과 입학. 2002년 2월 : 한양 대학교 대학원 입학. 2003년 3월~현재 : LG 전자 정보 통신 UMTS 시스템 전파 기술 Gr. 연구원 <주관심분야 : Multi Carrier Trans-

mitter and Receiver>



盧 正 眞(正會員)

1990년 : 한양대학교 전기공학과 학사. 1998년 : 미국 Pennsylvania State University 전자공학과 석사. 2001년 : 미국 University of Texas at Austin 컴퓨터공학 박사. 1990년~1996년 : 삼성전자 반도체 선

임연구원. 2000년~2001년 : 미국 Intel, Senior Design Engineer. 현재 : 한양대학교 전자컴퓨터공학부 교수. <주관심분야 : 집적회로설계, 아날로그 회로설계, 신호처리 등임.>