

---

# 내장된 CMOS 연산증폭기의 테스트 방법

김강철\* · 송근호\*\* · 한석봉\*\*

Test Method of an Embedded CMOS OP-AMP

Kang Chul Kim\* · Geun Ho Song\*\* · Seok Bung Han\*\*

## 요 약

본 논문에서는 CMOS 연산증폭기에 존재하는 모든 단락고장(short fault)과 개방고장(open fault)을 효과적으로 검출할 수 있는 새로운 테스트 방식을 제안한다. 제안하는 테스트 방식은 단위이득 대역폭(unit gain bandwidth)보다 큰 주파수를 가지는 단일 정현파를 이용한다. 이 방식은 하나의 테스트 패턴으로 모든 대상고장을 검출할 수 있으므로 테스트 패턴 생성을 위한 알고리즘이 간단하다. 따라서 패턴 생성 시간이 짧고, 테스트 비용을 줄일 수 있는 장점을 가지고 있다. 제안한 테스트 방식을 검증하기 위하여 2단 연산 증폭기를 설계하였으며, HSPICE 모의실험을 통하여 대상 고장에 대하여 높은 고장검출율(fault coverage)을 얻었다.

## ABSTRACT

In this paper, we propose the novel test method effectively to detect short and open faults in CMOS op-amp. The proposed method uses a sinusoidal signal with higher frequency than unit gain bandwidth. Since the proposed test method doesn't need complex algorithm to generate test pattern, the time of test pattern generation is short, and test cost is reduced because a single test pattern is able to detect all target faults. To verify the proposed method, CMOS two-stage operational amplifier with short and open faults is designed and the simulation results of HSPICE for the circuit have shown that the proposed test method can detect short and open faults in CMOS op-amp.

## 키워드

Open Fault, Short Fault, CMOS OP-AMP, Frequency Characteristics, Fault Injection

## 1. 서 론

최근에 디지털과 아날로그를 혼합한 혼성신호(mixed-signal) IC의 사용이 증가되고 있다. 혼성신호 IC를 구성하는 디지털 회로 부분의 테스트는 이미 많은 연구가 진행되어 테스트를 쉽게 할 수 있다. 그러나 아날로그 회로 부분의 테스트는 아직까지 완전히 정립된 테스트 방식이 없으며, 고장판별을 위한 명확한 구분이 없다. 따라서 아날로그 회로에 대한 테스트는 혼성신호 IC 설계에 있어서 가장 중요한 문제들 중의 하나로 대두되고 있다.

아날로그 회로에 대한 고장 모델은 강고장(hard 또는 catastrophic fault)과 약고장(soft 또는 parametric fault)으로 분류하는데, 아날로그 회로에 발생하는 고장 중 약 80~90%가 단락이나 개방 고장과 같은 강고장이 주로 발생한다[1]. 아날로그 회로에서 가장 널리 사용되는 회로는 연산증폭기이므로 연산증폭기에 존재하는 고장을 효과적으로 검출할 수 있다면 아날로그 회로를 쉽게 테스트 할 수 있을 것이다[2].

기존의 연산 증폭기 회로에 대한 테스트 방식으로

---

\*여수대학교 컴퓨터공학과

\*\*경상대학교 전자공학과

서 IDDQ 테스트 방식[3,4], DC 전압 테스트(DC voltage test) 방식[5,6], 발진 테스트(oscillation test) 방식[2,7] 등이 있다. IDDQ 테스트 방식은 CUT(circuit under test)에 흐르는 전류를 전류 감지기로 측정하는 방식이고, DC 전압 테스트 방식은 출력에서 정상 상태 출력값과 고장 상태 출력값의 차가 최대가 되는 DC 입력 신호를 인가하여 DC 출력 전압을 관측하는 테스트 방식이다. 발진 테스트 방식은 CUT를 발진 회로로 변환하여 회로 자체의 발진 주파수를 관측하는 테스트 방식이다. 이러한 기존의 방식들은 테스트 패턴의 생성이 복잡하고 고장 검출율이 낮으며, DFT 기법에 따른 추가적인 하드웨어가 매우 증가하게 된다. 따라서 연산 증폭기 회로를 효과적으로 테스트하기 위해서는 추가적인 하드웨어가 적은 DFT 기법이 요구되고, 테스트 시간과 비용을 감소시키면서 고장 검출율을 향상시키기 위한 새로운 테스트 방식이 필요하게 되었다.

본 논문에서는 단위이득 대역폭보다 큰 주파수를 가지는 단일 정현파를 이용하여 CMOS 2단 연산 증폭기 내에 발생 가능한 모든 단락 및 개방고장을 검출 가능한 새로운 테스트 방법을 제안한다. 제안된 방법은 테스트 대상 회로를 단일 이득 증폭기로 변환하므로 DFT에 대한 비용이 적고, 하나의 테스트 패턴으로 모든 대상고장을 검출 가능하므로 테스트 패턴 생성이 용이하며 테스트 시간이 짧은 장점이 있다. 설계된 연산증폭기에 대하여 HSPICE 모의실험을 수행하여 회로에 삽입된 단락고장과 개방고장에 대하여 높은 고장 검출율을 얻었다.

본 논문의 2장에서는 제안하는 고주파수 테스트 방식에 대해 설명하고, 3장에서는 제안하는 테스트 방식을 검증하기 위해 설계된 테스트 칩에 대해 설명한다. 모의실험 결과를 4장에서 기술하고, 5장에서 결론을 기술한다.

## II. 주파수 특성을 이용한 테스트 방식

CMOS 연산증폭기에 대한 고장 모델링은 일반적으로 강고장과 약고장으로 분류한다[8,9]. 강고장은 제조 공정상의 오류로 노드의 단락(short)이나 개방(open)이 발생하여 회로의 오동작을 일으키는 고장이다. 약고장은 제조 과정에서 환경에 따른 공정의

통계적 변동으로 발생하며 회로의 오동작보다는 성능에 영향을 미친다. 본 논문에서는 단일 연산 증폭기에 존재하는 단락고장과 개방고장을 검출하기 위한 새로운 테스트 방식을 제안한다. 테스트 대상 회로는 그림 1의 CMOS 2단 연산증폭기 회로이다.

제안하는 테스트 방식은 정상회로와 고장회로의 주파수 특성을 분석하여 고장효과를 최대로 할 수 있는 하나의 정현파와 테스트 패턴을 생성한다. 연산증폭기의 주파수 특성을 분석하기 위하여 그림 1 회로의 소신호 등가회로는 그림 2와 같고, 회로에 단락이나 개방고장이 존재할 경우  $R_i$ 나  $C_i$  값들이 변화되어 등가회로가 다르게 나타나 주파수 특성이 변화된다.

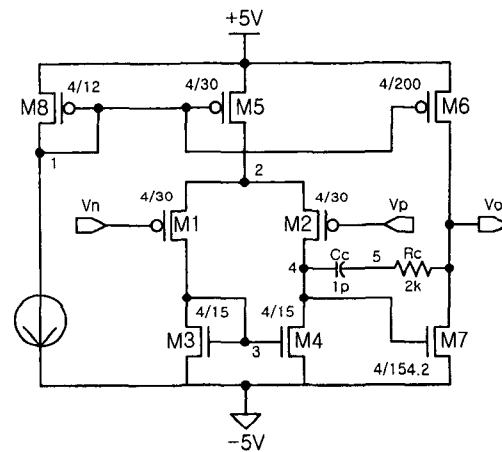


그림 1. CMOS 2단 연산증폭기의 회로도  
Fig. 1 Schematics of CMOS 2-stage operational amplifier :

그러나 연산증폭기의 동작범위 주파수인 단위이득 대역폭 내의 주파수에서는 고장의 효과가 크게 나타나지 않는다. 특히 주파수 보상을 위해 삽입된  $R_c$ ,  $C_c$ 에 단락 및 개방고장이 존재할 경우에는 테스트 입력의 주파수에 따라 정상과 동일한 출력을 나타낸다. 그러므로 본 논문에서는 정상회로와 고장회로의 출력 차가 최대가 되는 정현파와 테스트 패턴을 생성한다.

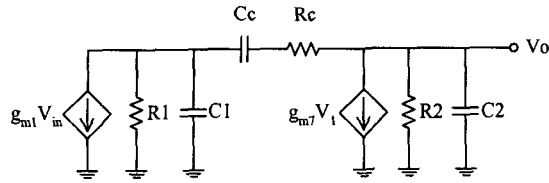


그림 2. 2단 연산증폭기의 소신호 등가회로  
Fig. 2 Small-signal equivalent circuit of 2 stage CMOS OP-AMP

그림 2에서 pole1과 pole2를 구하면 식 (1), (2)와 같다. 그러므로 테스트 패턴의 주파수를 고장에 의해 주파수 특성이 모두 변화한 다음의 주파수인 pole2보다 높은 주파수를 가지는 정현파를 인가할 경우, 정상출력과 차가 최대가 되는 고장출력이 나타나 고장을 효과적으로 검출할 수 있다.

$$\omega_{p1} \cong \frac{1}{R_1[C_1 + C_c(1 + g_{m7}R_2)] + R_2(C_2 + C_c)} \quad (1)$$

$$\omega_{p2} \cong \frac{g_{m7}C_c}{C_1C_2 + C_2C_c + C_1C_c} \quad (2)$$

$$R_1 = r_{ds4} \parallel r_{ds2}$$

$$C_1 = C_{db2} + C_{db4} + C_{gs7}$$

$$R_2 = r_{ds6} \parallel r_{ds7}$$

$$C_2 = C_{db7} + C_{db6} + C_L$$

그림 3은 고장에 따른 주파수 특성 변화를 나타내는 것으로, 만약 고장에 의해 fault1과 같이 주파수 특성이 변화하면 이득이 매우 작아져서 출력이 정상출력보다 작아진다. 그리고 fault2와 같이 주파수 특성이 변화할 경우 정상출력보다 큰 고장출력이 나타나 고장을 검출할 수 있다. 이러한 이득에 의한 출력 변화 이외에 동작전압 변화에 따른 출력 DC 레벨이 변화하거나, 위상이 변화되어 나타난 고장을 판별할 수 있다.

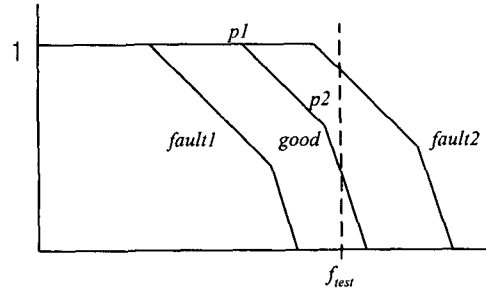


그림 3. 고장에 의한 주파수 특성변화  
Fig. 3 Frequency characteristics for fault

테스트 시 출력을 효과적으로 관측하기 위하여 테스트 대상회로는 DFT 된다. 개방 루프(open loop)로 DFT 할 경우 회로내의 작은 변화에 출력값이 크게 증폭되어 포화된 출력이 나타나고, 증폭기로 DFT 할 경우 증폭을 위한 저항이 삽입되어야 함으로 DFT에 대한 비용이 증가한다. 그러므로 본 연구에서는 단일 이득 증폭기로 DFT 한다. 단일이득 증폭기로 DFT 할 경우 스위치를 이용하여 간단한 부궤환 루프만을 형성하면 되므로 DFT에 대한 비용이 줄어든다.

### III. 테스트 칩의 설계

본 논문에서 제안하는 테스트 방식을 검증하기 위하여 그림 1의 CMOS 연산증폭기를 설계하였다. 이 연산증폭기는 Mixed-signal testing committee에서 정한 벤치마크 회로(benchmark circuit)[10]로 그림 4는 그림 1에 대한 레이아웃을 나타낸다. 칩 설계 시 다양한 고장을 테스트하기 위하여 정상회로 이외에 여러 가지 단락 및 개방고장을 삽입하였다.

그림 5는 pMOS 트랜지스터를 이용한 M5 트랜지스터 드레인 개방고장을 삽입한 회로도 및 레이아웃으로, pMOS(M\_fault) 트랜지스터의 소오스 단자는 M5 트랜지스터의 드레인 단자와 연결하고 드레인 단자는 M1과 M2 트랜지스터의 소오스 단자와 연결하였다. 그리고 M\_fault 트랜지스터의 게이트 단자(V\_fault 노드)를 외부에서 제어할 수 있도록 하였다.

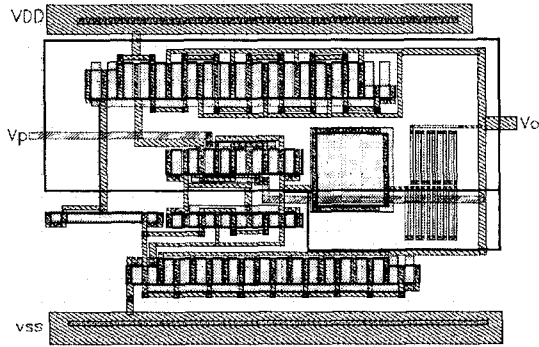
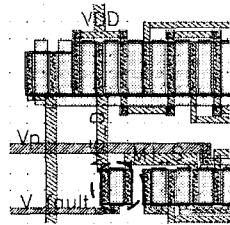
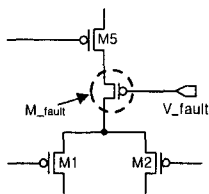
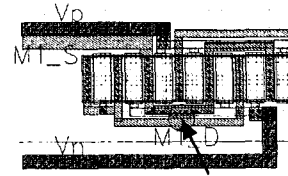
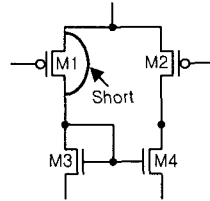


그림 4. CMOS 연산증폭기의 레이아웃  
Fig. 4 Layout of CMOS OP-AMP



(a) Circuit (b) Layout  
그림 5. pMOS 트랜지스터를 이용한 M5 트랜지스터 드레인 개방 고장의 회로도 및 레이아웃  
Fig. 5 Circuit and layout of open fault using pMOS in M5 transistor

만약  $V_{fault}$  노드에  $-5V$ 를 인가하면  $M_{fault}$  트랜지스터가 ON 되어 정상회로로 동작한다. 그러나  $V_{fault}$  노드에  $+5V$ 를 인가하면  $M_{fault}$  트랜지스터가 OFF 되어  $M5$  트랜지스터의 드레인 단자와  $M1$ 과  $M2$  트랜지스터의 소오스 단자 사이에 개방고장이 발생한다. 이와 같이 MOS 트랜지스터를 이용하여 고장을 삽입하는 것은 실제적인 고장형태는 아니지만, 제안하는 테스트 방식을 용이하게 실험하고 검증하기 위한 것이다. 이와 유사한 방법으로 단락고장도 삽입이 가능한데, 단락고장을 삽입할 두 노드 사이에 MOS 트랜지스터를 병렬로 삽입한 후 MOS 트랜지스터를 OFF 시키면 정상회로와 같지만, MOS 트랜지스터를 ON 시키면 두 노드 사이에 단락고장을 삽입할 수 있다.



(a) Circuit (b) Layout  
그림 6. M1 트랜지스터 드레인-소오스 단락고장의 회로도 및 레이아웃  
Fig. 6 Circuit and layout of drain-source short fault in M1 transistor

그림 6은  $M1$  트랜지스터의 드레인-소오스 단락고장을 구현한 회로도와 레이아웃으로, MOS 트랜지스터를 삽입하지 않고 실제 고장이 발생할 수 있는 형태인 금속 레이어(metal layer)를 이용하여 드레인 단자와 소오스 단자 사이의 단락고장을 삽입하였다. 단락고장 이외에 금속 레이어를 제거함으로써 간단히 개방고장도 삽입 가능하다. 이러한 고장삽입 방식은 IC의 제작 공정에서 발생할 수 있는 실제적인 고장형태와 동일한 형태이다.

표 1. 삽입된 고장의 종류  
Table 1. Injected faults

Fault	Fault location	Injection method
Open	M1 drain	Metal open
	M5 drain	pMOS OFF
	M6 drain	Metal open
Short	M1 drain-source	Metal short
	M1 drain-source	pMOS ON
	M5 drain-source	Metal short
	M5 gate-drain	Metal short

표 1과 같이 연산증폭기 내에 3개의 개방고장과 4개의 단락고장을 삽입하여 본 논문에서 제안하는 테스트 방식을 검증할 수 있도록 설계하였다.

#### IV. HSPICE 모의실험

본 논문에서 제안하는 테스트 방식을 HSPICE로 모의실험하여 확인하였다. 테스트에 사용된 테스트 패턴은  $V_{pp}$ 가  $\pm 2V$ 이고 주파수가 25MHz인 단일 정현파이다. 정상 출력의 피크전압 허용범위  $V_{max}$ 는  $+327mV \sim +357mV$ 이고,  $V_{min}$ 은  $-334mV \sim -579mV$ 인데, 이 값들은 공정에서 제공된 best와 worst 경우의 모델 파라미터를 시뮬레이션하여 결정되었다. 그러므로 고장 출력이 허용범위를 벗어난 전압을 가지면 고장으로 검출된다.

그림 7은 고주파수 테스트에 대한 모의실험에서 얻은 결과 파형으로 고장이 존재할 경우 DC 전압 형태나 정상상태와 큰 전압 차를 나타내어 쉽게 고장이 검출됨을 알 수 있다.

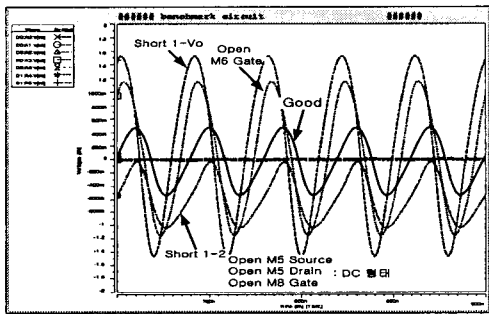


그림 7. 고주파수 테스트에 대한 모의실험 결과  
Fig. 7 Simulation results for high frequency test

표 2는 단락 및 개방고장에 대한 모의실험 결과로 정상출력과 비슷한 값을 가지는 고장들의 출력 값을 나타낸 것이다. 연산증폭기의 단락고장 36개와 개방고장 32개 중 DC 형태의 출력을 나타내어 검출된 고장은 단락고장의 경우 24개, 개방고장의 경우 18개이다. 표 2에 있는 6개의 고장들은 허용범위를 벗어나 고장검출이 가능하였고, 나머지 고장들의 경우 표 2에 나타낸 고장보다 더 큰 전압차를 가지는 고장으로 쉽게 검출되었다.

표 2. 단락 및 개방고장에 대한 모의실험 결과  
Table 2. Simulation results for short and open faults

Fault	MAX	MIN
Short 5 - VDD	+ 612mV	- 593mV
Short 5 - Vn	+ 366mV	- 398mV
Short 1 - Vp	+ 974mV	- 190mV
Open M6 Gate	+ 950mV	- 930mV
Open M3 G-D	+ 196mV	- 264mV
Open M7 Gate	+ 50mV	- 40mV
Other faults	DC 또는 큰 전압차를 가짐	

표 3은 제안하는 테스트 방식과 기존에 연구된 테스트 방식을 비교한 것으로 발진테스트 방식의 경우 99%의 높은 고장검출율을 가지지만, DFT를 위하여 회로 내부에 저항과 커패시터 등을 삽입해야 함으로 칩의 면적이 증가하고 고장 판별을 위하여 출력 주파수를 측정해야 함으로 고장판별에 어려움이 있다.

표 3. 테스트 방식의 비교  
Table 3. Comparison of the proposed method and other methods

테스트 방식	IDDQ[3]	DC[5]	발진[7]	제안하는 방식
단락 및 개방고장에 대한 검출율	80% 이하	약 80%	99%	100%

이상에서 살펴본 바와 같이 논문에서 제안하는 테스트 방식을 연산증폭기에 적용한 결과 가장 높은 고장 검출율을 얻었고, 고장 검출이 쉬워서 혼성신호 IC의 테스트에 효과적임을 알 수 있다.

#### V. 결 론

본 논문에서는 연산증폭기에 존재하는 단락고장과 개방고장을 검출할 수 있는 새로운 테스트 방식을 제안하였다. 제안하는 테스트 방식은 pole2 보다 높은 주파수를 가지는 단일 정현파

테스트 패턴을 사용한다. 그리고 하나의 테스트 패턴을 생성함으로 테스트 패턴 생성이 용이하고 테스트 시간이 짧으며, 고장 판별이 쉽고, 단일 이득 증폭기로 DFT 함으로써 전체적인 테스트 비용이 줄어들게 된다. HSPICE 모의실험 결과 회로내의 모든 단락 및 개방고장에 대하여 100%의 고장 검출율을 얻었다.

현재는 칩의 테스트 시에 오실로스코프를 사용하여 고장이 없는 칩과 비교하여 고장의 유무를 판별하고 있으며, 앞으로 자동으로 고장유무의 판별이 가능한 테스트방법에 관한 연구를 수행할 예정이다.

#### 참고문헌

- [1] Wilson, Q. F., and D. B. Day, "Practical Automatic Test Program Generation Constraints," *Proc. Automatic Test Conf. and Workshop*, 1987.
- [2] Arabi, K., and B. Kaminska, "Testing Analog and Mixed-Signal Integrated Circuits Using Oscillation-Test Method", *IEEE Trans. on Computer-Aided Design*, vol. 16, no. 7, pp. 745-753, 1997.
- [3] Gielen, G., Wang, Z., and Sansen, W., "Fault Detecting and Input Stimulus Determination for the Testing of Analog Integrated Circuits Based on Power Supply Current Monitoring," *Proc. IEEE ICCAD*, pp. 495-498. 1994.
- [4] M. Roca and A. Rubio, "Selftesting CMOS Operational Amplifier", *Electronic Letters*, Vol. 28, No. 15, pp. 1452-1454, 1992.
- [5] Chang, S. J., C. L. Lee, and J. E. Chen, "Functional Test Pattern Generation for CMOS Operational Amplifier," *Proc. VTS*, pp. 267-272, 1997.
- [6] Soma, M., "Fault Coverage of DC Parametric Tests for Embedded Analog Amplifiers", *Proc. IEEE Int. Test Conf.*, pp. 566-573, 1993.
- [7] Karim Arabi, and Bozena Kaminska, "Oscillation-Test Strategy for Analog and Mixed-Signal Integrated Circuits", *Proc. IEEE VLSI Test Symp.*, pp. 476-482, 1996.
- [8] Linda Milor and V. Visvanathan, "Detection of Catastrophic Faults in Analog Integrated Circuits", *IEEE Trans. on Computer-Aided Design*, Vol. 8, No. 2, pp. 114-130, 1989.
- [9] A. Meixner and W. Maly, "Fault Modelling for the Testing of Mixed Integrated Circuits", *Proc. IEEE Int. Test Conf.*, pp. 13.6.1-13.6.4., 1991.
- [10] B. Kaminska, K. Arabi, I. Bell, P. Goteti, J. L. Huertas, B. Kim, A. Rueda, and M. Soma, "Analog and Mixed-Signal Benchmark Circuits - First Release", *Proc. IEEE Int. Test Conf.*, pp. 183-190, 1997.

#### 저자소개

김강철(Kang-Chul Kim)

한국해양정보통신학회 논문지 제3권 1호 참조

송근호(Geun-Ho Song)

한국해양정보통신학회 논문지 제3권 1호 참조

한석봉(Seok-Bung Han)

한국해양정보통신학회 논문지 제3권 1호 참조