
2단 CMOS Class E RF 전력증폭기

최혁환* · 김성우* · 임채성* · 오현숙* · 권태하*

Two Stage CMOS Class E RF Power Amplifier

Hyek-hwan Choi* · Sung-woo Kim* · Chae-sung Lim* · Hyun-suk Oh* · Tae-ha Kwon*

이 논문은 2000년도 부경대학교 연구년 연구비를 지원받았음

요 약

본 연구에서는 ISM 밴드의 블루투스 응용을 위한 2단 CMOS E급 전력증폭기를 설계하였다. 제안된 전력증폭기는 2.4GHz의 주파수에서 동작하며 0.35um CMOS기술과 Hspice 툴을 이용하여 설계 및 시뮬레이션 되었고 Mentor 툴을 이용하여 레이아웃되었다. 전력증폭기의 구조는 간단한 2단으로 설계하였다. 첫단에는 입력매칭네트워크와 전압증폭단인 전치증폭기로, 둘째단은 최대효율과 최대전력을 위한 E급 전력증폭단과 출력 매칭네트워크로 구성하였다. 내부단은 가장 간단한 구조의 L구조의 매칭네트워크를 이용하여 제작될 전체칩의 크기를 최소화하였다. 본 연구에서 제안된 전력증폭기는 2.4GHz의 동작주파수와 2.5V의 낮은 공급전압에서 25.4dBm의 출력전력과 약 39%의 전력부가효율을 얻을 수 있었다. 패드를 제외한 칩의 크기는 약 0.9x0.8(mm²)였다.

ABSTRACT

In this paper, low voltage and two stage CMOS Class E RF power amplifier for ISM(Industrial/Scientific/Medical) Open Band is presented. The power amplifier operates at 2.4GHz frequency, and is designed and simulated with a 0.35um CMOS technology and HSPICE simulator. The power amplifier is simple structure of two stage Class E power amplifier. The design procedure determining matching network was presented. The power amplifier is composed of input stage matching network, preamplifier, interstage matching network, power amplifier, and output stage matching network. The matching networks of input stage and interstage were constituted by pi(π) type and L type respectively.

At 2.4GHz operating frequency, and with a 2.5V supply voltage, the power amplifier delivers 23dBm output power to a 50 Ω load with 39% power added efficiency(PAE).

키워드

Power amplifier, Two stage, CMOS, Class E, Bluetooth

1. 서 론

WLAN(Bluetooth, Home-Radio,...) 및 개인휴대시스템에서는 한정된 축전지를 장시간 사용하기 위하여 낮은 공급 전압과 높은 효율, 소형화 및 경량화가 이루어져야 한다. 따라서 이와 같은 시스템의 응용에 저가격, 저전력 그리고 고집적

구현의 요구가 증대되고 있으며, 이러한 요구를 만족하기 위해 가장 먼저 해결해야할 과제가 송신단의 전력증폭기의 저전압, 고효율화라고 여겨진다. 기가헤르쯔 대역에서는 낮은 전력손실, 낮은 기생 커패시턴스와 저항특성으로 인해 GaAs 기술에 많은 연구가 있어 왔으나 높은 가격으로 인해서 저가격, 저전력 소모 그리고 고집적화 등

에 큰 경쟁력을 가진 CMOS process가 미래의 주도적인 기술이 될 것으로 기대되고 있다.

특히 RF 송수신단에서 가장 전력소모가 많은 부분인 전력증폭단은 낮은 공급전압에서 높은 출력전력과 고효율을 요구함으로 설계가 까다로울 뿐만 아니라 집적화가 어렵고 가격이 매우 비싸 CMOS 기술이 가장 적합하다 할 수 있다 [9]. 본 논문에서는 중간 전력 RF 응용(200mW)을 위해 2.4GHz대역과 저전압에서 동작하는 간단한 구조를 가지는 CMOS Class E 2단 전력증폭기를 제안하였다. 0.35 μ m CMOS를 사용하여 2.4GHz대역의 동작주파수, 2.5V의 공급전압에서 최대 출력전력과 최대효율을 얻었다.

표 1.에서는 다른 외국논문의 결과값을 요약하여, 전력증폭기 관련 연구동향과 특성값을 알아보았다.

표 1. 전력증폭기 관련 연구 동향
Table.1. Trend of foreign Study for Power Amplifier

Reference	Tech.	Specification	Fo	Intergration	Chip Size
[1]	0.25 μ m CMOS	2.5V, 224Bm 44% efficiency	2.4GHz	Off-Chip	-
[2]	0.35 μ m CMOS	2E, 100Bm 41% efficiency	1.9GHz	Off-Chip	-
[3]	0.8 μ m CMOS	2.5V, 36dBm 62% efficiency	800MHz	On-Chip	1.5mm ²
[4]	0.8 μ m CMOS	3V, 100Bm 16% efficiency	1.9GHz	On-Chip	-
[5]	0.8 μ m GaAs	2.5V, 244Bm 50% efficiency	835MHz	On-Chip	8.4mm ²
[6]	3.3 μ m GaAs	2.25V 29% efficiency	1.9GHz	-	-
[7]	Bipolar	3.3V 27dBm 35% efficiency	2GHz	-	-

II. Class E 증폭기의 동작특성

2.1. 전력증폭기의 비선형성

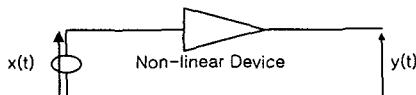


그림 1. 비이상적인 소자
Fig. 1 Nonlinear Device and Power Series

$$y(t) = a_1x(t) + a_2x(t)^2 + a_3x(t)^3 + \dots \quad (1)$$

$$x(t) = A\cos(\omega t) \quad (2)$$

$$y(t) = \frac{1}{2}x(t)a_2A^2 + (a_1A + \frac{3}{4}a_3A^3)\cos(\omega_1t) + \frac{1}{a_2}A^2\cos(2\omega_1t) + \frac{1}{4}a_3A^3\cos(3\omega_1t) \quad (3)$$

증폭기는 일반적으로 입력신호의 크기가 증가함에 따라 이득이 감소하고 위상이 증가하는 현상을 가지고 있다.

비선형증폭기는 식(1)과 같이 입, 출력특성을 입력의 power series로 모델링할 수 있다. x(t)는 증폭기의 입력, y(t)는 출력을 나타낸다. 식(2)와 같이 정현파가 증폭기로 입력되면 식(3)을 얻게 된다. 이때 a_3 가 0보다 작은 값을 갖는다면 선형 출력성분 $a_1A\cos(\omega_1t)$ 이 $(a_1A + \frac{3}{4}a_3A^3)x\cos(\omega_1t)$ 보다 작아져 입력성분이 커질수록 주파수 ω_1 의 출력 성분중 비선형성 성분이 커지게 되며 입력이 증가함에 따라 이득이 감소하는 현상을 보여준다.

2.2. Class E 증폭기의 동작

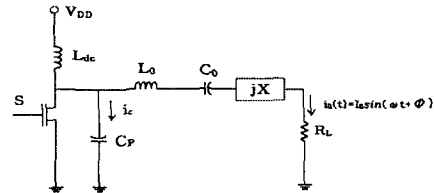


그림 2. 이상적인 E급 전력증폭기
Fig. 2 Ideal Class E Amplifier configuration

그림 2.는 이상적인 E급 전력증폭기를 나타낸 것으로 MOSFET, L_{dc} , 리액턴스 성분 jX , 부하 저항 R_L 그리고 L_0 과 C_0 공진기로 구성되어 있다. MOSFET은 스위치로 동작하며 입력신호의 동작주파수에서 주기적으로 턴-온, 턴-오프 된다.

C_0 와 L_0 은 공진기로서 동작주파수에 해당되는 1차 하모닉 성분만을 사인과 신호형태로 부하저항에 전달한다. 리액턴스 성분인 jX 는 출력전압과 스위치양단의 전압간의 위상을 변화시킨다. 스위치의 턴-오프시 RF Chock L_{dc} 를 통한 전류

가 부하와 C_p 로 흐르게 되는데 이때 C_p 는 스위치 내의 기생성분을 포함한 성분으로 스위치의 양단 전압을 아주 낮게 유지하지만 충전되었다가 다시 접지로 방전되면서 전력손실을 발생시켜 전력손실에 기여하는 성분으로 볼 수 있다.

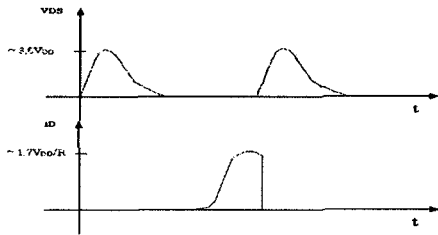


그림 3. E급 전력증폭기의 드레인단의 파형
Fig. 3 Drain waveforms of Class E amplifier

그림 3.은 E급 증폭기의 드레인에서의 전류와 전압파형을 나타낸 것으로 스위치의 턴-온시 Zero전압이 나타나야하며 기울기가 Zero를 유지해야 전력손실이 없다. 드레인의 전류와 전압은 같은 시간에 서로 겹치지 않아야 이상적인 Zero의 전력손실을 얻을 수 있으나 스위치가 턴-오프되었을 때 드레인전류가 최대값을 보이고 스위치가 무한히 빠르지 못하므로 이때의 스위칭 손실이 발생할 것을 예상할 수 있다.

증폭단의 MOSFET은 내부의 기생저항성분으로 인해 전력손실이 발생되므로 손실을 최대한 줄이기 위해서 큰 게이트 폭을 가지도록 설계되어야 한다.

MOSFET의 기생저항성분은 최대효율에 영향을 미치는 성분이고 기생커패시턴스는 최대동작주파수를 제한한다. 전력 증폭기의 일반적인 주요 특성지수관련 식은 아래와 같다.

· 출력 전력 $P_{OUT}(dBm) = 10 \log(P_{OUT})$ (4)

· 전력 이득 $G_p = 10 \log\left(\frac{P_{OUT}}{P_{RFIn}}\right)$ (5)

· 전력부가효율 $PAE = \frac{P_{OUT} - P_{RFIn}}{P_{dc}}$ (6)

· 드레인 효율 $\eta = \frac{P_{OUT}}{P_{dc}}$ (7)

III. E급 2단 전력증폭기 설계

3.1. E급 2단 전력증폭기 설계

그림 4.는 설계과정을 블록으로 나타낸 것이다. 먼저 목표로 하는 설계값들의 Spec.을 설정하고 그에 적절한 소자모델을 선택하였다. 단일 칩의 전력증폭기의 제작을 위해 회로는 간단한 2단 구조를 선택하여 수동소자를 최소화하였고, 각 단의 임피던스 매칭 네트워크의 최적화 작업을 수행하였다.

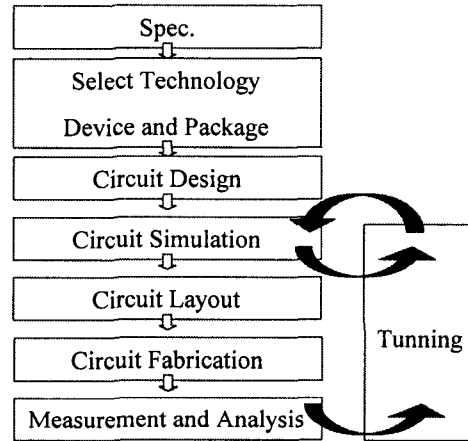


그림 4. 설계 순서
Fig. 4 Design Flow

그림 5.는 일반적인 2단 전력증폭기의 구조도를 나타낸 것으로 입력단, 출력단 및 내부단에는 매칭을 위한 수동소자들로 구성이 된다. 특히 내부단에서는 비선형 왜곡성분을 제어하기 위해 여러 가지 기술들을 사용하는 것을 볼 수 있는데, 수동소자의 수가 많아짐에 따라 전력증폭기의 크기가 커져 단일칩 제작에 어려움이 있을 것으로 예상할 수 있다.

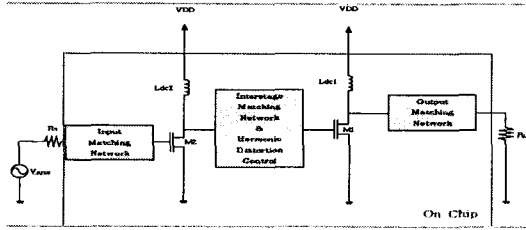


그림 5. 2단 전력증폭기의 기본 회로
Fig.5 Basic Circuit of Two Stage Power Amplifier

그림 6.은 본 논문에서 제안한 2단 전력증폭기로서 임피던스 매칭 네트워크를 최적화 작업을 통해 설계되었다.

입력단에는 Pi type의 매칭회로를 두었고, 간단한 L type의 매칭회로를 입력단과 출력단 사이에 두어 선형적인 신호가 출력단의 입력이 되도록 하였다.

출력단은 E급 증폭기의 부하로 구성되며 L_0 와 C_0 공진기의 Q값은 5를 넘지 않도록 하였다. RFC(RF Chock)는 DC Path로 튜닝작업을 통해 비교적 낮은 값이 선택되었다.

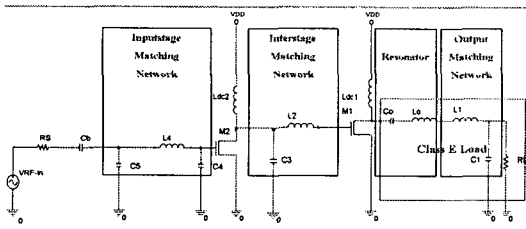


그림 6. 제안된 2단 전력증폭기
Fig. 6 Proposed Two Stage Power Amplifier

3.2. 회로 시뮬레이션

제안된 2단 전력증폭기는 그림 7.에서 보듯 Hspice Circuit Simulator를 이용하여 시뮬레이션 하였다.

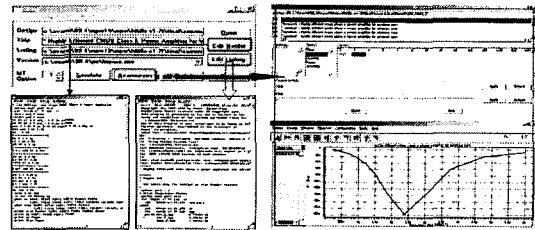


그림 7. 회로 시뮬레이션
Fig. 7 Circuit Simulation

3.3. 임피던스 매칭

본 논문은 Trade-Off 관계에 있는 선형성과 효율을 임피던스 매칭네트워크의 최적화를 통해서 보상하도록 하였다. 그림 8.은 개략도로서 출력단(R_{in1})→내부단(R_{in2})→입력단(R_{in3})의 순서로 튜닝 작업을 통한 최적화 작업을 수행하였다.

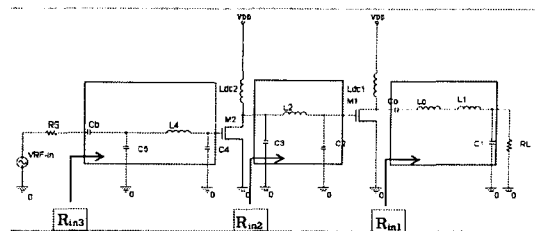


그림 8. 임피던스 매칭 네트워크의 최적화
Fig. 8 Impedance Matching Network Optimization

3.3.1 출력단 매칭(R_{in1})[8]

출력단 매칭은 Sokal의 이론을 바탕으로 그림 9.와 같이 실행되었다.

$$L_0 = \frac{QR_{in}}{w} \quad (8)$$

$$C_0 = C_p \left(\frac{5.447}{Q} \right) \left[1 + \frac{1.42}{(Q-2.08)} \right] \quad (9)$$

$$C_b = \frac{1}{wR_{in} \left(\frac{\pi}{4} + 1 \right) \left(\frac{\pi}{2} \right)} = \frac{1}{w(R_{in} \times 5.447)} \quad (10)$$

$$P_{out} = 0.577 \times \frac{V_{DD}^2}{R_{in}} \quad (11)$$

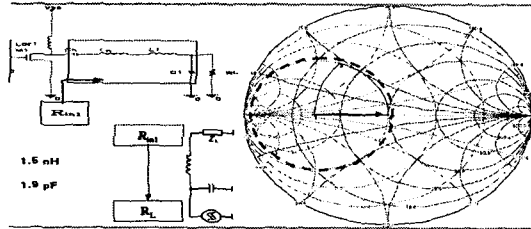


그림 9. 스미스차트를 이용한 출력단 매칭
Fig. 9 Output-Stage Matching using Smith Chart

3.3.2. 내부단 매칭(R_{in2})

내부단 매칭은 그림 10.과 같이 하모닉 성분의 왜곡없이 첫단의 출력신호가 이상적으로 둘째단의 드레인 전압 및 전류의 형태로 전달되도록 튜닝 작업을 통해 최적화하였다.

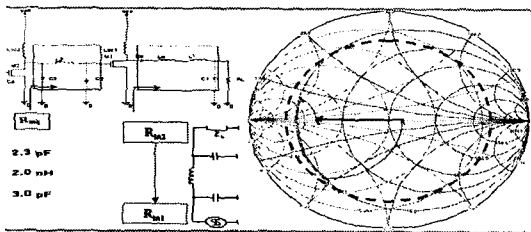


그림 10. 스미스차트를 이용한 내부단 매칭
Fig. 10 Inter-Stage Matching using Smith Chart

3.3.3. 입력단 매칭(R_{in3})

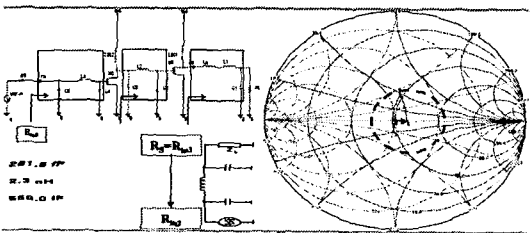


그림 11. 스미스차트를 이용한 입력단 매칭
Fig. 11 Input-Stage Matching using Smith Chart

입력단 매칭은 그림 11.과 같이 RF 입력신호가 입력단에 선형적으로 전달되도록 튜닝작업을 통해 Pi 형태로 구성하였다.

IV. 시뮬레이션 결과

그림 12.에서는 본 연구에서 제안한 2단 전력 증폭기의 전압파형을 나타내었다. 출력전압은 최대 6V, 출력전류는 최대 118mA의 값을 보였으며 시뮬레이션 시간의 범위에서 일정한 값을 보였다. 2.44GHz의 정현파를 RF 입력신호로 인가했으며 그림에서와 같이 그에 따른 거의 선형적인 출력신호를 얻을 수 있었다.

출력단의 드레인 전압은 턴-온 상태에서 거의 제로에 가까운 기울기를 가짐을 확인 할 수 있었으나 그 크기가 제로의 값은 나타내지 못함을 볼 때 약간의 전력손실이 있는 것으로 사료된다. 출력단의 드레인 전압은 약 12V정도의 값을 나타내었다.

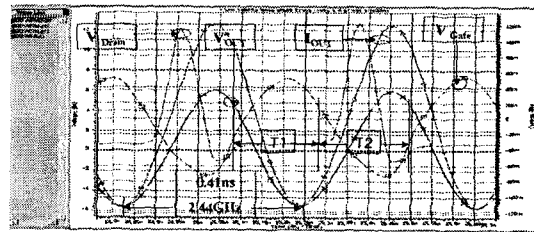


그림 12. 제안된 전력증폭기의 전압 및 전류 파형
Fig. 12 Voltage and current waveforms of proposed power amplifier.

그림 13.은 출력단의 드레인에서의 전류파형을 나타낸다. 역시 드레인 전류가 턴-온상태에서 턴-오프(T1)시 최대 전류를 보이고 턴-오프(T1)이후에도 잔류전류가 있어 약간의 전력손실이 일어난 것으로 사료된다.

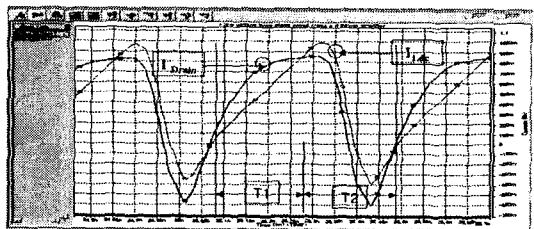


그림 13. 제안된 2단 전력증폭기의 전류 파형
Fig. 13 Current waveforms of proposed two stage PA

그림 14.는 드레인 전압과 전류를 나타낸 것으로 스위칭의 턴-오프가 있을 후 턴-온이 일어날 때까지 전류와 전압사이의 약간의 오버랩이 일어난다. 오버랩되는 부분이 주요 전력손실 부분으로 사료된다.

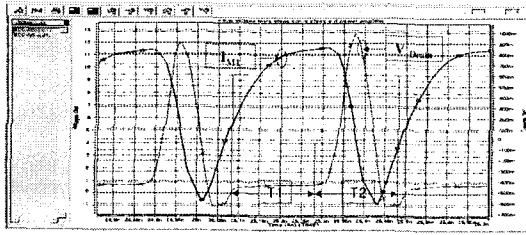


그림 14. 제안된 2단 PA의 드레인전압, 전류파형
Fig. 14 Drain voltage and Current of proposed PA

그림 15.에 공급전압에 따른 출력전압과의 관계를 그래프로 나타내었다. 2.5V에서 최대값인 약 6V의 일정한 출력전압을 얻을 수 있었다.

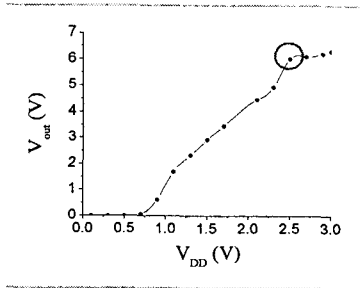


그림 15. 공급전압에 따른 출력전압
Fig. 15 Output voltage versus Supply voltage

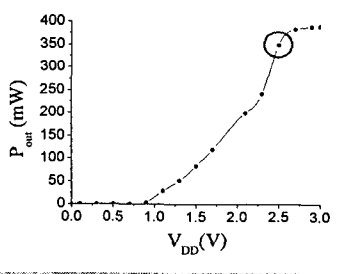


그림 16. 공급전압에 따른 출력전력
Fig. 16 Output power versus Supply voltage

그림 16.은 공급전압에 따른 출력전력 나타낸 것으로 2.5V에서 최대출력전력 약350mW (25.44dBm)를 보였다.

그림 17.은 공급전압에 따른 전력부가효율 (PAE)로 약 39% 이상의 값을 얻었다.

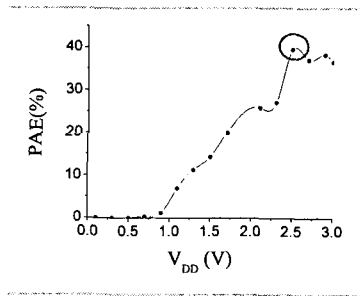


그림 17. 공급전압에 따른 전력부가효율
Fig. 17 PAE versus Supply voltage

그림 18.은 주파수변화에 따른 PAE와 출력전력을 나타낸 것으로 Bluetooth 대역 내에서 거의 일정한 값을 얻을 수 있음을 확인 할 수 있었다.

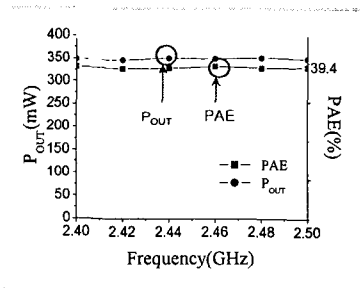


그림 18. 주파수에 따른 출력전압과 전력부가효율
Fig. 18 Pout and PAE versus Frequency

표 2.에서는 본 논문의 결과값을 요약하였다.

표 2. 결과값 요약
Table.2. Results Summary

Parameter Name	Value
Technology of Implementation	0.35um CMOS Full Custom
Frequency Range	2.4GHz Band(ISM)
Maximum Output Power	25.4dBm
Drain Efficiency	39.5%
Power Added Efficiency(PAE)	39.4%

V. 레이아웃

전력증폭기의 레이아웃은 Mentor 툴을 이용하였고 회로의 제작은 0.35um 2-poly, 4-metal CMOS공정을 이용하였다. MOSFET은 면적의 최소화 및 소스드레인의 공핍영역 감소를 위해 multi-finger 형태로 설계하였다. 패드부분을 제외한 전체 크기는 0.9x0.8(mm²)이었다.

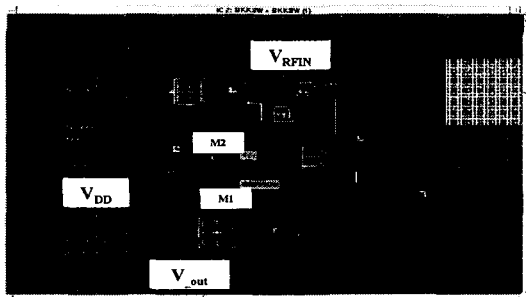


그림 19. 제안된 전력증폭기의 레이아웃
Fig. 19 Layout of proposed power amplifier

그림 20.은 커패시터와 인덕터 레이아웃을 나타낸 그림으로 커패시터는 선형성이 우수하고 기생성분 또한 $C_p < \frac{1}{10} C$ 로 우수한 특성을 가지는 2-poly 평판 커패시터기법을 사용하였다.

인덕터는 top layer인 metal-4 layer를 사용하여 인덕터(Hollow Spiral Inductor)를 레이아웃하였다. 관련식식은 아래와 같다.

$$L \approx \frac{45\mu_0 n^2 a^2}{22r - 14a} \quad (12)$$

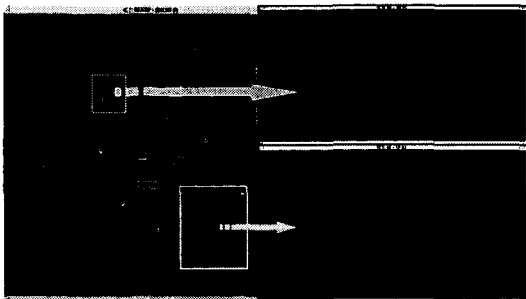


그림 20. 제안된 전력증폭기의 인덕터 및 커패시터
Fig. 20 Inductor and Capacitor of proposed PA

VI. 결론

본 논문에서는 0.35um CMOS를 이용하여 간단한 구조의 2단 CMOS Class E 전력증폭기를 설계 및 시뮬레이션 하였다. 출력단, 내부단 그리고 입력단의 매칭네트웍을 순차적으로 각각 최적화하였다. 2.5V의 공급전압에서 25.4dBm의 출력전력과 39% 이상의 PAE를 보였다.

이는 2.4GHz ISM Open Band의 Bluetooth응용을 위한 전력증폭기로 사용하기에 충분한 출력전력과 효율이며, 간단한 회로구조로 고집적화가 가능해 저가격의 경쟁력있는 전력증폭기의 제작이 기대된다. 설계된 회로는 0.35um CMOS 공정으로 Mentor 툴을 이용하여 레이아웃하였으며 현재 제작중에 있다.

감사의 글

본 연구는 2000학년도 부경대학교 연구년 연구비에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참고문헌

- [1] Giry, A. Fourniert, J.-M. Pons, M. "A 1.9 GHz low voltage CMOS power amplifier for medium power RF applications", Radio Frequency Integrated Circuits (RFIC) Symposium, 2000. Digest of Papers. 2000 IEEE, pp. 121-124, 2000
- [2] King-Chun Tsai Gray, P.R. "A 1.9-GHz, 1-W CMOS class-E power amplifier for wireless communications", Solid-State Circuits, IEEE Journal of, Volume: 34 Issue: 7, pp. 962-970, July 1999
- [3] S. David, M. McFarland, "A 2.5V, 1W Monolithic CMOS RF Power Amplifier", Hewlett-Packard Laboratories, Palo Alto, California, IEEE Custom Intergrated Circuits Conference, pp. 189-192, 1997
- [4] Chen, Y.J.E. Hamai, M. Heo, D. Sutono, A. Yoo, S. Laskar, J. "RF power amplifier integration in

CMOS technology", Microwave Symposium Digest. 2000 IEEE MTT-S International , vol.1, pp. 545-548, 2000

[5] Sowlati, T. Salama, C.A.T. Sitch, J. Rabjohn, G. Smith, D. "Low voltage, high efficiency GaAs Class E power amplifiers for wireless transmitters", Solid-State Circuits, IEEE Journal of, Volume: 30 Issue: 10, pp. 1074-1080, Oct. 1995

[6] K. Yamamoto and al., "A GaAs RF Transceiver IC for 1.9GHz Digital Mobile Communication Systems", ISSCC, pp. 340-341, 1996

[7] S. Weber and G. Donig, "An Integrated 2GHz 500mW Bipolar Amplifier", RFIC, pp. 139-142, 1997

[8] N. O. Sokal and A. D. Sokal, "Class E-A new class of high-efficiency tuned single-ended switching power amplifier", IEEE J. Solid-State Circuits, vol.SC-10, pp.168-176, June 1975

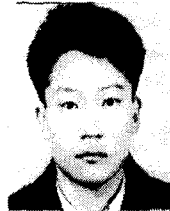
[9] P. Gray and R. Meyer, "Future directions of silicon IC's for RF personal communications," in Proc. Custom Integrated Circuits Conf., pp. 83-90, May, 1995.

저자소개



최혁환(Hyek-Hwan Choi)

1979년 2월 경북대학교 전자공학과 공학사
 1982년 11월~1988년 8월 MBC 문화방송사
 1990년 12월 Arizona state University 공학석사
 1993년 5월 Arizona state University 공학박사.
 1994년 3월~현재 부경대학교 전자컴퓨터정보통신공학부 부교수
 ※관심분야: 적외선 센서 제작 분야, 유전체 비휘발성 메모리 제작 분야, 박막형 초전도체 제작 분야, 태양전지 제작 분야, RF 집적 회로 설계



김성우(Sung-Woo kim)

2000년 2월 부경대학교 전자공학과 공학사
 2002년 8월 부경대학교 전자공학과 공학석사

※관심분야: 전력증폭기, LNA, Mixer, CMOS RF 집적회로설계



임채성(Chae-Sung Lim)

2001년 2월 부경대학교 전자공학과 공학사
 2001년 3월~현재 부경대학교 전자공학과 석사과정

※관심분야: Mixer, 전력증폭기, LNA, CMOS RF 집적회로설계



오현숙(Hyun-Suk Oh)

2001년 2월 부경대학교 전자공학과 공학사
 2001년 3월~현재 부경대학교 전자공학과 석사과정

※관심분야: LNA, 전력증폭기, Mixer, CMOS RF 집적회로설계



권태하(Tae-Ha Kwon)

1975년 8월 경북대학교 전자공학과 공학사
 1990년 2월 경북대학교 전자공학과 공학석사
 1993년 5월 경북대학교 전자공학과 공학박사

1982년 3월~현재 부경대학교 전자컴퓨터정보통신공학부 교수

※관심분야: 적외선 센서 제작 분야, 유전체 비휘발성 메모리 제작 분야, 박막형 초전도체 제작 분야, 태양전지 제작 분야, RF 집적 회로 설계