
고성능 Two-Step SOVA 복호기 설계

전덕수*

Design of a High Performance Two-Step SOVA Decoder

Deok-Su Jeon*

이 논문은 2001년도 강릉대학교 장기해외파견연구 지원에 의하여 수행되었음

요 약

새로운 two-step SOVA 복호기 구조가 제안된다. Trace-back단의 survivor memory에 dual-port RAM 개념이 적용되어, 기존 two-step SOVA 방식에 비해서 복호 지연의 현격한 감소가 가능해진다. Path metric 차이의 절대값이 ACS단 내부에서 계산됨으로써, 기존 two-step SOVA 방식에 비해 시스템의 복잡성이 크게 줄어든다. 제안된 SOVA 복호기 구조는 verilog HDL로 기술되어 동작 시뮬레이션을 거쳐 구조의 타당성이 검증되었으며, FPGA로 구현되었다. 구현된 SOVA복호기는 종래의 비터비 복호기에 가까운 데이터 처리율을 보여주었으며, 구현에 사용된 FPGA 소자 자원은 종래의 비터비 복호기의 약 1.5 배 정도이다.

ABSTRACT

A new two-step soft-output Viterbi algorithm (SOVA) decoder architecture is presented. A significant reduction in the decoding latency can be achieved through the use of the dual-port RAM in the survivor memory structure of the trace-back unit. The system complexity can be lowered due to the determination of the absolute value of the path metric differences inside the add-compare-select (ACS) unit. The proposed SOVA architecture was verified successfully by the functional simulation of Verilog HDL modeling and the FPGA prototyping. The SOVA decoder achieves a data rate very close to that of the conventional Viterbi Algorithm (VA) decoder and the resource consumption of the realized SOVA decoder is only one and a half times larger than that of the conventional VA decoder.

키워드

터보부호, 비터비 알고리즘, SOVA, dual-port RAM

I. 서 론

최근에 탁월한 오류 정정 능력과 제3세대 이동 통신 방식인 IMT2000에의 적용 등으로 인하여 터보부호 [1]에 대한 관심이 높아지고 있다. 터보부호의 반복적인 복호 방식에 접합한 알고리즘으로는 soft-output Viterbi algorithm(SOVA)과 maximum a posteriori (MAP) 알고리즘이 있다.

이 중에서 SOVA가 하드웨어 구현에 있어 선호되는 방식인 데, 그 이유는 성능에 있어서는 MAP 알고리즘 보다 약간 뒤지지만 구조 및 계산상의 복잡함에 있어서는 SOVA가 MAP에 비해 훨씬 간단하기 때문이다. SOVA 복호 방식은 1989에 소개되었으며[2], 그 이후 계산의 복잡성

과 memory 요구량을 줄이기 위한 많은 연구가 진행되었다. 그 결과, 약 40% 정도의 메모리 요구량을 줄일 수 있는 two-step SOVA 방식이 출현하였다[3,4].

본 논문에서 제안하는 SOVA 복호기 구조는 이 two-step SOVA 방식에 기초를 두고 있으며, 크게 2가지 측면에서 성능 개선을 시도하였다. 첫째, survivor memory에 dual-port RAM을 적용한 trace-back (TB) 단이 제안되는 데, 이렇게 함으로써 Viterbi algorithm (VA)에 의한 trace-back 과정인 첫 번째 단계와 신뢰도 갱신을 위한 과정인 두 번째 단계의 동시 수행이 가능해져 복호지연 (decoding latency)을 크게 줄일 수 있게 된다. 둘째, 신뢰도 갱신에 이용되는 path metric 차이의 절대값 계산이 add-compare-select (ACS) 단 내부에서 이루어지게 되어 기존 two-step SOVA 방식보다 회로의 복잡성을 줄일 수 있게 된다.

II. 고속 Trace-back 구조

본 논문에서는 survivor memory 관리 방법으로 trace-back 방법 [5]을 선택한다. 그 이유는 이 방법이 register exchange 방법 [6]에 비해 전력 소모가 적기 때문이며, 본 논문의 결과로 구현되는 SOVA 복호기는 전지를 전원으로 사용하는 이동 통신용 단말기에의 사용을 목적으로 하기 때문이다.

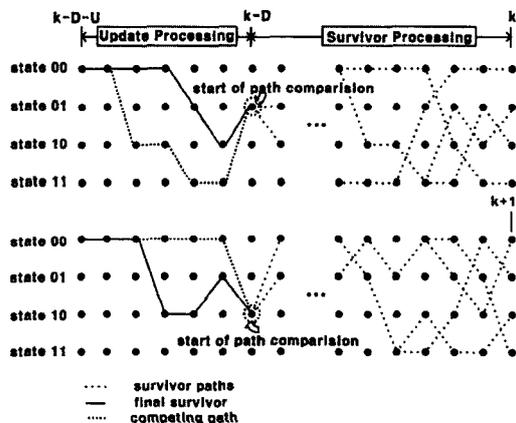


그림 1. Two-step SOVA의 보기
Fig. 1 Two-step SOVA example

일반적인 two-step SOVA [3, 4]는 그림 1과 같이 2개의 처리 단계로 이루어진다. 첫 번째 단계는 VA를 이용하여 최종 survivor sequence를 구하는 과정이며, 그 길이는 D개의 clock cycle 동안이다. 첫 번째 단계에서 최종 survivor 경로가 구해지면, 두 번째 단계에서는 구해진 최종 survivor path 상에서만 신뢰도 값(reliability value) 갱신이 이루어지며, 두 번째 단계의 길이는 U개의 clock cycle 동안이다. 기 발표된 연구 결과[7]에 의하면, D의 길이는 구속장(constraint length) K의 6배, U의 길이는 K의 3배일 때 two-step SOVA의 성능을 최적화 할 수 있다고 하며, 이것은 U가 D의 1/2로 설정함으로써 고성능 SOVA를 설계할 수 있다는 다른 연구[4] 결과와도 일치한다고 볼 수 있다. 따라서, SOVA 방식에 비해서, two-step SOVA 방식에서는 두 번째 단계에서 최종 survivor path에 대해서만 신뢰도 갱신을 위한 계산을 수행하고 그 결과를 저장할 메모리가 요구된다. 따라서, 기존 SOVA 방식에 비해 two-step SOVA에서는 메모리 요구량을 대폭 감소시킬 수 있게 된다. 그러나, two-step SOVA 방식이 최초 SOVA 방식에 비해 메모리 요구량의 감소 등으로 회로의 복잡성을 줄일 수 있지만, 복호지연 (decoding latency)은 두 번째 단계의 길이 U clock cycle 만큼 증가하게 된다.

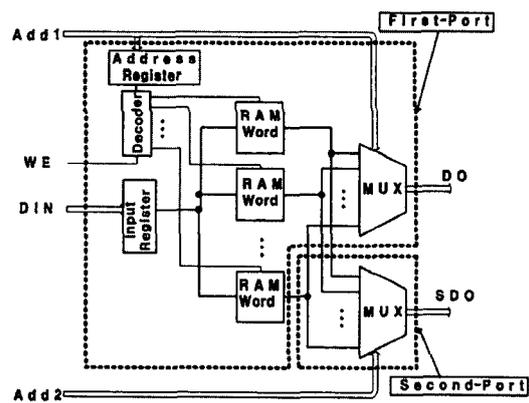


그림 2. Dual-port RAM 구조의 보기
Fig. 2 A dual-port RAM structure

본 논문에서는 two-step SOVA 방식의 이와

같은 단점을 보완할 수 있는 trace-back방법을 제시하고자 한다. 즉, 메모리 요구 량을 기존 two-step SOVA 방식과 거의 같은 수준으로 유지하면서, 복호지연은 최초 SOVA방식과 같게 하여 전체 시스템의 데이터 처리율을 증가시키는 방법을 제안하고자 한다. 이와 같은 목적을 달성하기 위해 그림 2와 같은 dual-port RAM 구조를 survivor memory에 적용하고자 한다. 이 dual-port RAM구조는 기존 single-port RAM으로 이루어진 survivor memory에 약간의 조합 회로를 추가함으로써 구현할 수 있다. Dual-port RAM을 채용한 survivor memory 구조는 그림 3과 같다. 그림 3에서 볼 수 있듯이 통상적인 memory address decoder대신에 ring counter를 사용하여 조합회로에서의 전달 지연을 줄이고자 한다. 첫 번째 단계인 trace-back 과정을 위한 memory address는 ring counter #1에 공급되며, 이 address의 memory 내용은 2 개의 memory 출력 port 중 first output port에서 출력된다. 즉, 이 port를 통해 출력된 decision bit들이 최종 survivor path 결정을 위해 사용된다. 두 번째 단계인 신뢰도 갱신 과정을 위한 memory address는 ring counter #2에 공급되며, 이 단계의 survivor memory 출력은 second output port를 통해 이루어진다. 기존의 two-step SOVA방식에 비해서, 복호지연의 감소가 가능한 것은 dual-port RAM의 특성을 이용한 두 처리 과정을 위한 survivor memory address의 동시 공급으로 survivor memory에서 2개의 출력이 동시에 가능해지는 데 있다. 즉, dual-port RAM을 survivor memory구조에 적용함으로써, 기존 two-step SOVA방식에서는 차례 차례 처리되었던 2개의 과정이 동시에 처리 가능해진다는 것이다. 따라서, 본 trace-back방식으로 최초 SOVA방식과 같은 복호지연 수준을 유지할 수 있게 되며, 이는 최종 survivor path를 구하기 위한 과정의 최적의 길이가 구속장 K의 5-6배에 해당하는 clock cycle정도의 길이임을 감안하면, 기존 two-step SOVA방식에 비해 약 50% 정도의 복호지연 감소가 가능하다는 것을 의미한다.

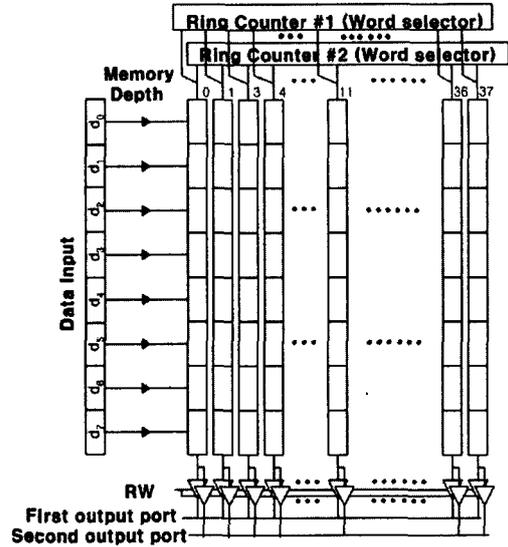


그림 3. Dual-port RAM을 이용한 survivor memory 구조

Fig. 3 Survivor memory structure utilizing dual-port RAM structure

III. 확장된 Add-Compare-Select 단

ACS단은 SOVA 복호기 전체 칩 면적의 약 절반을 차지한다. 따라서, ACS단의 회로를 간단하게 하는 것은 시스템 칩 면적의 효율적인 사용 측면에서 아주 중요한 점이다. Two-step SOVA방식에 있어서, 두 번째 단계에서의 신뢰도 갱신을 위해서는 각 state에서의 path metric 차이의 절대값이 요구된다. 기존의 two-step SOVA방식에서는 이를 위해, 복호기로 입력된 수신된 symbol들을 그대로 첫 번째 단계의 길이만큼 지연시켜서, ACS와는 별도의 block에서 path metric 차이의 절대값을 계산하는 방식을 사용하고 있다. 즉, 이 방식들에서 ACS는 decision bit들의 결정에만 사용된다.

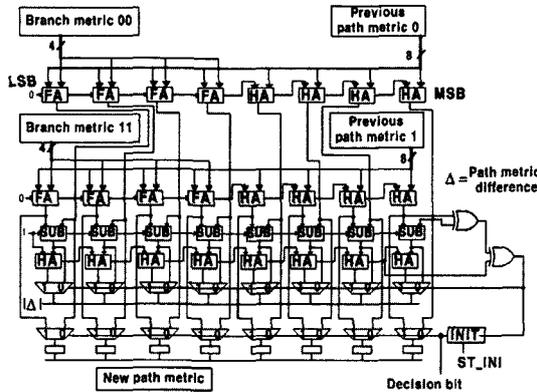


그림 4. 확장된 ACS단의 일부분
Fig. 4 Part of the extended Add-Compare-Select unit

본 논문에서 제시하는 확장된 ACS에서는, survivor path 결정을 위한 decision bit를 생성하며, 이에 덧붙여 소수의 조합회로의 추가로 신뢰도 갱신에 사용될 path metric 차이의 절대값 계산을 ACS 내부에서 수행한다. 따라서, 기존 two-step SOVA 방식보다 시스템 전체의 회로를 훨씬 간단하게 유지할 수가 있게된다. 그림 4는 하나의 state에 대한 확장된 ACS 구조를 보여준다. 또한, 그림 4에서 볼 수 있듯이, ACS에서 path metric 값 누적에 따른 데이터 표현 상의 문제 해결을 위한 rescaling은 modulo normalization 방법[8]을 이용한다.

IV. 제안된 복호기 구조와 FPGA prototyping

2장과 3장에서 제시된 성능 개선 내용을 포함하는 전체 복호기 구조는 그림 5와 같다. 그림 5의 제안된 two-step SOVA 복호기 구조는 구성장 $K=4$, 코드율 $R=1/2$ 인 경우이다. 여기서 extended ACS unit (EACSU)은 3장에서 기술된 확장된 ACS단이며, Trace-Back Unit (TBU)은 2장에서 소개된 dual-port RAM을 survivor memory에 적용한 trace-back 단이다.

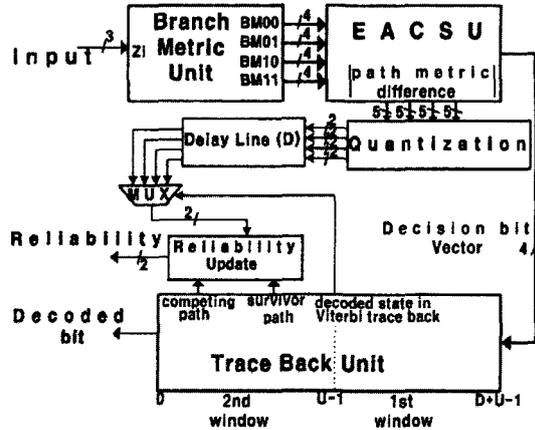


그림 5. 제안된 two-step SOVA 복호기 구조
Fig. 5 The proposed two-step SOVA decoder architecture

먼저 3 bit로 표시되는 수신 soft-input symbol은 Branch Metric Unit (BMU)로 입력되어, branch metric 계산에 사용된다. EACSU에서는 modulo normalization 방법이 사용되며, 각 path metric값은 그림 4에서 보이는 것처럼, 이 방법 [8]의 원칙에 따라 이 경우 8 bit로 표현된다. EACSU에서 결정된 decision bit vector는 TBU의 survivor path memory에 저장되어, 최종 survivor path 결정에 이용된다. EACSU에서 구해진 path metric의 차이의 절대값은 Quantization block에서 양자화 되어 Delay Line을 거쳐 Reliability Update block에서 신뢰도 갱신에 이용된다. TBU에서 복호된 1 bit 정보는 2 bit의 신뢰도 값과 합쳐져 3 bit의 soft-output으로 출력된다.

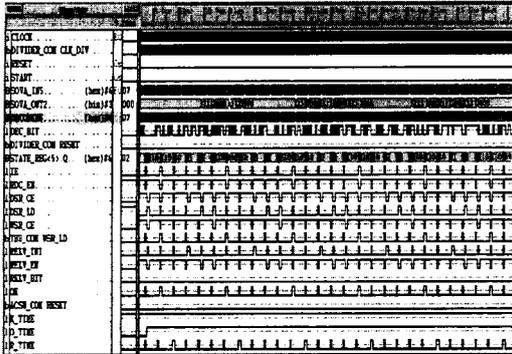


그림 6. 제안된 two-step SOVA 복호기의 동작 시뮬레이션 결과

Fig. 6 Functional simulation result of the proposed two-step SOVA decoder

그림 5의 복호기는 Verilog HDL로 기술되어 functional simulation을 거쳐 회로의 정상 동작이 검증되었다. Functional simulation 결과는 그림 6과 같다. 또한 Verilog HDL로 기술된 복호기 회로는 논리합성을 거쳐 약 6만 gate급의 Xilinx XCV50 Virtex FPGA [9]로 구현되었으며, 표 1은 사용된 FPGA 자원의 요약이다.

V. 결 론

새로운 고성능의 two-step SOVA 복호기 구조가 제시되었다. Trace-back단의 survivor memory에 dual-port RAM을 채용함으로써, 시스템 하드웨어의 증가 없이 복호기의 복호지연을 기존의 two-step SOVA 방식보다 50% 정도 줄일 수 있게 되었다. 또한 신뢰도 갱신에 이용되는 path metric 차이 값의 절대값을 ACS내부에서 구할 수 있게 함으로써 기존 two-step SOVA 방식 보다 회로의 복잡성을 줄일 수 있었다. 제시된 복호기 구조는 HDL로 기술되고 functional simulation을 거쳐 구조의 타당성이 검증되었으며, 또한 FPGA chip에 의한 prototyping이 성공적으로 수행되었다. 제안된 SOVA 복호기 구조는 IMT2000과 같은 차세대 이동 통신 시스템에서 하나의 요소로 사용될 수 있을 것이다.

표 1. FPGA prototyping에 사용된 소자 자원의 내역
Table 1. Resource utilization of XCV50 for SOVA prototyping

사용소자	xcv50-6bg256		
	사용량	최대량	사용률
slice	565	768	73%
slice F/F	686	1536	44%
4 input LUT	683	1536	44%
bonded IOB	12	184	6%
Tristate Buffer	304	768	39%
Global clock	1	4	25%

참고문헌

- [1] C. Berrou, A. Glavieux, and P. Thitimajshima, "Near Shannon limit error-correcting coding and decoding: Turbo-codes (1), " in Proc. IEEE Int. Conf. On Commun., Geneva, Switzerland, May 1993, pp. 1064-1070.
- [2] J. Hagenauer and P. Hoher, "A Viterbi algorithm with soft outputs and its application, " in Proc. IEEE Global Telecommun. Conf. GLOBECOM, Nov. 1989, pp. 47.1.1- 47.1.7
- [3] O. Joeressen, M. Vaupel, and H. Meyer, "High-speed VLSI architectures for soft-output Viterbi decoding, " J. VLSI Signal Process., vol. 8, pp. 169-181, Oct. 1994.
- [4] C. Berrou, P. Adde, E. Angui, and S. Faudeil, "A low complexity soft-output Viterbi decoder architecture, " in Proc. IEEE Int. Conf. Commun., Geneva, Switzerland, May 1993, pp. 737-740.
- [5] C. Rader, "Memory management in a Viterbi decoder, " IEEE Trans. on Comm., vol. COM-29, pp. 1399-1401, Sept. 1981.
- [6] G. Clark and J. Cain, *Error-Correction Coding for Digital Communications*. New York: Plenum, 1981.
- [7] O. J. Joeressen, M. Vaupel, and H. Meyr, "Soft-output Viterbi decoding: VLSI implementation issues, " in Proc. 1993 IEEE Vehicular Technology Conf. pp. 941 - 944.

- [8] A. P. Hekstra, "An alternative to metric rescaling in Viterbi decoders, "IEEE Trans. On Comm., vol. 37, pp. 1120-1222, Nov. 1989.
- [9] The Programmable Logic Data Book, Xilinx, 1998.

저자소개



전덕수(Deok-Su Jeon)

1978년 서울대학교 공학사
1985년 플로리다대학교 공학석사
1990년 플로리다대학교 공학박사
1978년~1983년 국방과학연구소
연구원

1991년~1992년 한국전자통신연구원 선임연구원
1992년~현재 강릉대학교 정보전자공학부 부교수

※관심분야: VLSI설계, 반도체소자