

- MRAM Technology and Research Trends -

MRAM의 기술 및 연구동향

김창경*

한양대학교 신소재공학부 나노스핀소자 연구실

I. 서론; 기존 Memory 소자의 장/단점 및 MRAM과의 비교분석

미 IBM Corp.을 필두로, 몇몇의 반도체생산 기업들이 새로운 비휘발성 Memory의 제품화에 박차를 가하기 시작했다. 사용자가 열망하는 '고속, 저소비전력'의 비휘발성 Memory. 이러한 Memory개발을 우리가 먼저 할 수 있다면, 40조원 (Memory 세계시장은, DRAM과 Flash, EEPROM의 합계만으로도 40조원을 가볍게 넘는다.) 을 넘는 막대한 시장의 획득이 가능하다. 그 중, 가장 유망한 것이 자성재료를 사용하는 MRAM으로서, 2000년 12월 7일 IBM에서는 지난 1974년부터 개발해 오고 있던 하드디스크와 메모리의 중간형 제품인 MRAM의 상용화 계획을 발표하기에 이르렀다. IBM과 Motorola는 2004년에 0.13 micron process technology를 사용한 256Mbit 급 MRAM을 출시한다 계획을 발표하였다.

이는 현재 사용하고 있는 비휘발성 메모리가 많은 단점을 가지고 있기 때문이다. 예를 들면 플래쉬 메모리의 단점은 바로 속도와 사용전력에 있다. 데이터를 읽을 때는 큰 차이가 나지 않지만 데이터를 기록할 때에는 일반 DRAM보다 무려 1000배 정도 느리다는 단점이 있으며, 기록시의 전력소모도 상당히 높다. 반면에 DRAM의 경우에는 속도는 빠른 반면에 전기를 계속 공급해 주지 않으면 기록되어 있는 내용이 지워진다는 단점이 있다. DRAM의 맨 앞에 있는 'D'는 전기적

으로 계속 충전(refresh) 시켜줘야 하는 DRAM의 특성을 나타내는 dynamic의 약자이다.

DRAM에서는, 최소 가공수치에 의하지 않고, 일정한 전하량을 Capacitor에 축적 시켜야 한다. 미세화를 진행해 나가기 위해서는 Memory Cell의 점유면적을 축소시키지 않으면 안 되기 때문에, 이제까지는 capacitor의 구조를 3차원화 시키면서 필요한 축적 전하량을 확보해 왔다. 이 결과, Memory Cell면적에 있어서 Capacitor의 역할은 상대적으로 증가하고 있다. Transistor는 미세화에 의해, 작아질 수 있지만, Capacitor는 미세화에 의해 작아질 수 없다. 이 때문에 신재료 등을 계속 도입하지 않으면, Memory Cell의 면적을 이제까지의 추세로 축소해 가는 것이 어려워졌다. DRAM의 Memory Cell은 1개의 Capacitor와 1개의 Transistor로 이루어진다. 이중 transistor는 가공수치가 작아짐에 따라서, 작게 할 수 있다. 그러나 Capacitor는 단순히 작게 하는 것이 불가능하다. 가공수치가 작아져도, Capacitor의 용량은 작아질 수 없기 때문이다. 이미 Memory Cell의 대부분은 Capacitor가 점유, DRAM은 마치 Capacitor Array처럼 되고 있다. 그래도 이제까지는, DRAM의 전하축적에 필요한 Capacitor 용량을 3차원 구조의 채용 등에 의해 확보하여, capacitor의 점유면적을 계속 축소시키는 것이 가능했다(그림 1 참조).

하지만 3차원구조의 도입에 따르는 capacitor의 aspect 비(높이/가로 폭)는 계속 올라가서, 한계에 가까운 수준에 달하고

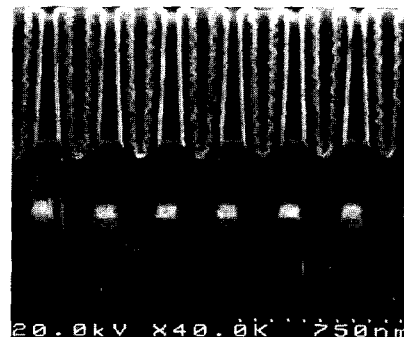
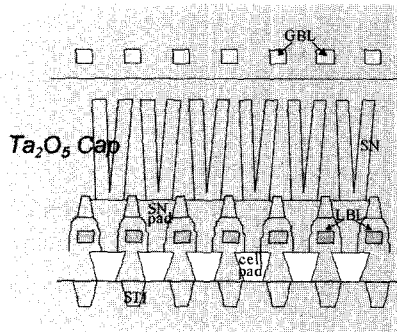


그림 1. 0.13 μm DRAM의 구조(Cylinder Cap).

*E-mail: cckim@email.hanyang.ac.kr

있다. 'Aspect 비가 5~8을 넘으면, 가공이 어려워져서, 수율 저하가 심각해진다.'(Fujitsu DRAM기술개발 Manager)라고 한다. 기존의 capacitor 절연막 재료를 계속 사용한다면, 2001년에 양산이 시작되는 0.13 um process에서 이 aspect 비에 도달한다. 이런 문제를 해결하고, 지금까지와 같은 Memory Cell 축소 추세를, 앞으로 시작되는 Gbit시대에도 유지하기 위해서는, '신재료와 신규 회로구조, 신 process의 도입이 필요해진다. 예를 들면, DRAM capacitor 절연막의 재료로서 장래, 강유전체를 사용해야만 하는 시대가 올지도 모른다.'(엘피다 Memory의 DRAM 개발책임자) 그렇게 되면, 기술적인 난이도는 현격히 증가할 것이다.

Capacitor 이외에도, 미세화에 의한 DRAM의 대용량화, 저 cost화에 대한 저해요인은 있다. 즉 Transistor에 관한 2개의 문제가 있는데, 우선 'Transistor의 channel길이가 0.1 um에 이르르면, short channel효과에 의해 누설전류가 증대하여, transistor의 off능력이 큰 폭으로 약해진다. 이것에 의해, capacitor에 모여 있던 전하가 결국 단기간에 소멸되어 버린다(독일 Infineon사). 그리고, 'Transistor의 short channel효과를 피하기 위해서, channel길이를 0.1 um로 유지한 채, transistor의 channel폭만을 축소해 가면, 이번엔 channel폭이 0.07 um로 된 시점에서 capacitor에 충분히 전하를 charge하는 것이 불가능하게 된다.'(同사) 이는 transistor의 On전류를 충분히 취할 수 없게 되기 때문이다. 이상의 문제를 회피하기 위해서는, 종래 DRAM의 구조를 상세히 고찰할 필요가 있다. 미 IBM과 독일 Infineon사가 전자 device기술 국제회의(1999 International Electron Device Meeting-1999 IEDM)에서 발표한 세로형 transistor들은 그 일례다. 종래의 DRAM에서는 transistor의 channel을 실리콘 Wafer에 대하여 수평방향으로 형성했지만, 세로형 transistor에서는 이것을 수직방향으로 만들 수 있다. Channel길이를 짧게 하지 않아도 Memory Cell 면적을 축소할 수 있도록 했다.

앞서 언급한 DRAM과 플래시 메모리의 장점 즉, 읽고 쓰는 속도가 빠르고 소비전력이 적으면서도 전원이 끊어져도 정보를 그대로 유지하면서도 그들의 단점을 극복할 수 있는 메모리가 바로 IBM에서 '74년부터 줄기차게 개발해 오던 MRAM이다. 위에서 하드디스크와 메모리의 중간 형태라고 표현한 이유는 바로 이 메모리가 하드디스크의 정보를 기록하는 소재인 마그네틱 재료를 사용하고 있기 때문이다. MRAM의 아이디어 자체는 오래 전부터 나와 있던 것이지만 지금에서야 실현 가능해진 이유는 미세한 자기를 제어해야만 하는 TMR(Tunneling Magnetoresistance) 현상을 적용하기 때문이다. 이 메모리가 실현된다면 노트북의 Sleep Mode와 하이버네이션 간의 구분은 의미가 없어질 것으로 생각된다. 하이버네이션이란 메모리에 있는 정보를 보존하기 위해 하드

디스크로 옮겨놓는 방법이다. MRAM은 속도가 빨라 메인 메모리로 사용되기에 무리가 없고 전원이 차단되어도 데이터가 소실되지 않기 때문에 하이버네이션 상태로 진입할 경우 메인 메모리의 데이터를 옮겨올 필요가 없다.

실제, 비휘발성 메모리의 수요는 최근 급속히 확대되고 있다. 대표적인 비휘발성 메모리인 Flash, EEPROM(Electrically Erasable Programmable Read Only Memory)은 휴대전화 및 Digital Camera등에서 수요가 확대되고 있지만 공급이 따라 갈 수 없을 정도다. Toshiba, Hitachi, Fujitsu등 대형 반도체 Maker 각 사는 증산을 향한 설비투자를 속속 발표하고 있다. PC등에도 비휘발성 메모리에 대한 수요가 강하다. 만약, DRAM에 필적하는 가격, 성능의 비휘발성 메모리가 가능하다면 거대한 시장은 약속된 것과 마찬가지로 다. 처음부터 DRAM은 대체할 만한 적당한 소자가 없기 때문에 사용하고 있을 뿐, 한번 기억된 Data를 기억하지도 못하는 메모리를 애써 사용해야 할 이유가 없기 때문이다. 또한 PC의 수요 층이 확대되면서, '왜 TV와 달리 바로 사용 할 수 없는 것일까?'라는 불만이 커지고 있다. PC가 Instant-On 되려면 OS 등의 문제도 있지만 그것을 실현하는 데 전제 조건으로서 메모리가 비휘발성이 되는 것이 불가결하다. (NEC 부사장 戸坂肇氏) 결국 『약속된 거대 Market』의 선점을 목적으로 선 발 반도체 Maker들은 비휘발성 메모리의 개발을 적극적으로 추진하고 있다. 몇몇 기업은 1990년부터 개발을 시작한 강유전체 메모리의 본격양산에 드디어 착수했다. 또한, 몇 개의 기업은 수년 전에 급부상한 MRAM의 제품화를 위해 개발을 가속화 하고 있다. 더욱이 제3의 후보로써 상변화 메모리라고 하는 광DISK의 재료를 사용한 메모리도 Ovonyx라는 회사에서 만들고 있다(<http://www.ovonics.com>). 게다가, 고속 Write가 가능한 Flash EEPROM, 비휘발성의 개량형 DRAM 등 제4, 제5의 후보도 등장할 것이다. 이러한 경쟁이 결실을 맺을 때, 모든 메모리는 비휘발성이 될 것으로 예측된다.

차세대 비휘발성 Memory의 개발을 가속화하고 있는 회사는 앞서 언급한 몇 개의 회사만이 아니다. 예를 들면, Motorola는 MRAM개발에서 IBM사를 맹추격하고 있다. 이제까지 목소리를 낮추고 있던 Memory 경쟁사, 독일의 Infineon Technologies AG. 도 2000년 12월, IBM사와 MRAM을 공동 개발할 것을 돌연 발표했다. 그 수일 후에는, 강유전체 Memory(FerRAM)에 관해서, Toshiba와 제휴했다. 휴대전화기에의 채용을 목표로, 2002년 말까지 32Mbit제품을 공동 개발할 것이다. 미 Intel도 독자적 길을 모색하고 있는데, 공표하지는 않았지만, 광disk용 상변화막을 기억소자로 이용한 비휘발성 Memory인 상변화 Memory의 개발을 진행시켜 나가고 있는 것으로 예상된다.

이와 같이 여러 회사에서 개발하고있는 Memory의 종류는

다르지만, 이런 기업들의 목표는 모두 같다. 즉 'DRAM급의 용량, Cost, 속도를 갖춘 비휘발성 Memory를 타사에 앞서 양산한다.'(Infineon사)라는 것이다. 물론 그 개발에 따르는 위험은 크지만, 성공을 이룰 때는 거대한 보상을 얻을 수가 있다. 실제로 최근 수년, 비휘발성 Memory 시장은 급속히 확대되기 시작하고 있다. 미국 반도체 공업회(SIA: Semiconductor Industry Association)에 의하면, 1993년부터 1998년까지 거의 포함이던 시장규모는, 이제 DRAM의 약 1/3규모에 달하고 있다고 한다. 이것은 2000년에 전년대비로 130% 성장한 수치이며 2001년은 44% 성장을 달성할 것으로 예상된다. 이러한 시장확대를 견인하고 있는 것은, 휴대전화기와 Memory Card이다. 휴대전화기가 기능을 확대시켜가는 과정에서, Software와 Data를 저장하기 위한 Memory용량이 급속히 확대되었다. 동시에, 여러 digital 정보 기기간에 data를 교환하고 싶다는 요구가 높아졌고, Memory Card가 급속하게 보급되었다. 결국, 이제까지의 비휴대 기기에서 Hard Disk장치(HDD)와 Floppy Disk장치 등이 맡아 왔던 기능의 일부를, 휴대기기에서는 반도체 Memory가 담당하기 시작한 것이다. 이러한 반도체 메모리(Solid State Memory)는 외형수치와 소비전력이 작다는 점이, 휴대기기 Maker의 요구에 맞았다고 할 수 있다. 그러나, 이유는 그것뿐이 아니다. 미세화의 진전에 의해 Memory의 bit단가가 민생기기에 사용할 수 있는 수준에 까지 떨어진 것이다. 참고로 1995년에는 2만원 정도였던 Mbyte당 단가는 2000년에는 약 3000원까지 떨어졌다.

여기에 저가적으로 고속의 비휘발성 Memory가 투입되면, 우선은 휴대전화기와 Memory Card등, 기존의 비휘발성 Memory의 사용 분야로 침투해 들어가고 비휴대형의 기기에 까지 용도는 넓어져 갈 것이다. 예를 들면, 휴대전화기의 분야에서는, Flash EEPROM의 write속도가 문제가 되고 있다. 1대의 휴대전화기에 대한 제어 프로그램의 write시간이 15분을 넘어, '휴대전화기 생산에 시간문제가 가장 걸림돌이 되고 있다.'(Fujitsu의 휴대전화기부문). '만일 DRAM급의 cost로 비휘발성 Memory가 등장한다면, PC등의 Memory구성은 크게 변한다.'(NEC취재부 상무 NEC Solutions Company 부사장) 다른 예로, 현재의 PC에서는 대용량 기억 매체인 HDD에, 중간기억 매체인 DRAM, Cache용도의 기억 매체인 SRAM을 조합 시키고 있다. 이 중 DRAM과 SRAM은 휘발성이기 때문에, OS와 Application Software등의 Data는 HDD에 저장해 두어야 한다. 이러한 현 체계에 MRAM 및 강유전체 Memory 등의 비휘발성RAM이 등장하면 컴퓨터의 Memory 계층이 변화한다. 휘발성 RAM을 Main Memory로 사용하던 종래의 컴퓨터는 전원을 넣은 후 OS 및 Application software 등을, Access시간이 긴 HDD에서 DRAM으로 옮겨야 했기 때문에 전원을 켜 후 수분이 걸렸다. 비휘발성의

RAM을 메인 메모리로 사용하면 사전에 OS 및 Application Software를 저장해 두는 것이 가능하기 때문에 전원을 켜 후 시간이 거의 걸리지 않는 컴퓨터를 실현 할 수 있다. 게다가 CPU로부터의 Access 시간단축도 가능하다. 한 예로, 동화상 Data의 최초 부분만을 비휘발성 RAM에 저장해 두고 나머지 동화상 부분은 Background에서 HDD로부터 비휘발성 RAM으로 전송하도록 하면, 전원 후 바로 동화상을 감상 할 수 있다. 이런 저가적, 고속의 비휘발성 Memory는 PC를 비롯한 다양한 기기의 사용 편리성을 비약적으로 개선시킬 것이다. 현실적으로 그것을 곧 실현할 수 있는 Memory는 없지만, 그것만의 잠재능력을 갖고 있는 Memory는 몇 개가 제안되고 있다. 그것들이 FeRAM, MRAM, 상변화 Memory 등이다.

이런 비휘발성 Memory는 모두 DRAM Capacitor를 다른 소자로 대체한 구조를 채용한다. 이 때문에, 이들 Memory는 기존의 반도체 Memory와 구조가 흡사하다. 결코 생소한 Memory가 아닌 것이다. FeRAM은 단지 DRAM Capacitor에 사용하는 상유전체를 강유전체로 대체한 것이고, MRAM은 capacitor를 차세대 HDD용 Head로서 도입이 검토되고 있는 TMR소자로, 상변화 Memory는 광disk용의 상변화막으로 치환할 수 있다. 그러나, FeRAM은 capacitor를 작게 만들기 어렵다고 하는, DRAM과 똑같은 난제를 가지고 있다. 또 강유전체 재료의 형성이 곤란하고, 대용량화/저cost화를 향한 기술적인 벽이 DRAM보다도 높다. 2001년에 제품화가 시작되는 8Mbit 제품이, 현재 가능한 최대 용량이다.

FeRAM보다도 Memory용량을 높이기 쉬운 것이 MRAM 일 것이다. 이는 DRAM보다 빠른 속도가 실현가능하고, 게다가 기억부인 TMR소자가, transistor보다 작기 때문에, DRAM보다 Memory Cell면적을 작게 할 수 있는 가능성이 있다. 2004년에는 256Mbit제품이 등장하여, Flash EEPROM과 DRAM등의 치환을 목표로 한다. 상변화 Memory는 'FeRAM 및 MRAM과 동등한 성능을 적은 Mask매수로 실현할 수 있다.'(미국 Ovonyx, Inc.)는 강점을 지니고 있다. 역시 Flash EEPROM과 DRAM의 대체를 목표로 한다.

현재로서, 위의 3종류 Memory가 DRAM수준의 가격과 속도를 달성할 가능성이 있다. 이 가능성을 어떻게 현실화시킬 것인가에 대해선, Memory Maker 마다 자세와 전략이 다르다. 새로운 Memory의 제품화에 적극적인 자세를 갖는 회사들은 IBM, Motorola, Intel 등의 미국 Maker, Memory분야의 경쟁상대인 Infineon사와 한국 Samsung Electronics Co., Ltd 등을 들 수 있다. 따라서, 현재 한국 반도체 Maker들이 주력하는 FeRAM과 DRAM의 장래는 결코 낙관할 상황이 아니다. 현재 FeRAM의 연구, 개발에 몰두하고 있는, 미 Texas Instruments Inc.(TI사)의 한 Director는 'FeRAM과 운명을 같이 할 마음은 없다. 5년 후의 시점에서 최고의

Memory가 될 수 있는 비휘발성 Memory는 무엇인가를 지금 필사적으로 찾고 있다.라고 말한다. 'FeRAM만으로 승부를 걸기엔, 너무 risk가 크다.'는 것이다. FeRAM에서는, data를 read할 때마다 rewrite하는 비파괴 read방식을 취한다. 이 때문에, 재료의 rewrite회수에 대해서, 불안감이 있다. 또 capacitor를 어디까지 작게 만들 수 있을까라는 불안도 크다. 이런 상황이기 때문에, FeRAM과 MRAM의 개발을 동시에 진행해야 한다는 것이 Infineon사의 의견이다. Infineon사는 FeRAM과 MRAM은 장래적으로 응용분야를 나누어 개발해야 한다고 생각한다. 즉, 'FeRAM은 소비전력이 낮기 때문에, 휴대기기에 최적인 한편, MRAM은 대용량 Memory가 필요한 모든 기기에 최적이다. 그러므로, 금후 10년~20년 후를 내다보고, 장래기술에 대해서 투자를 시작해야 하는 시기가 바로 지금'(Infineon사, Executive Vice President)이라는 것이다. '어차피 대담하게 신기술을 도입해야만 한다면, MRAM 등의 기능면에서 우수한 비휘발성 Memory에 투자하는 방법이 좋다.'는 해외 Maker의 지적을 국내 반도체 Maker 들도 귀담아 들을 필요가 있다.

Flash EEPROM에 관하여도, 종래의 pace에서 단가를 낮추기 위해서는 여러 가지 신기술의 도입이 필수가 된다. 'NOR형 Flash EEPROM과 DINOR형 Flash EEPROM은, 이미 0.13 um process를 도입한 시점에서 cell면적축소의 pace가 둔화할 가능성이 있다. 이들 Flash EEPROM은 동작 시에 cell나의 transistor의 source, drain간에 큰 전압을 건다. 이 때문에, 본질적으로 transistor의 short channel효과에 약하다. 즉, transistor를 off로 해 두어도, 늘 drain으로부터, source로 전류가 흘러 버린다. 이 때문에 "0", "1"의 data를 판별할 수 없게 되어, Memory로서의 기능을 잃는다. NAND형 Flash EEPROM은 source, drain사이에 큰 전압을 걸지 않기 때문에 short channel효과에 의한 문제는 없다. 그러나, '최소가공 수치가 0.07 um로 된 시점에서, 인접하는 Memory Cell끼리의 기생효과가 심각하며, 이것이 Memory Cell 축소의 큰 방해가 되기 때문에, 신기술의 도입이 필수'(Toshiba)라고 말한다. 예를 들면, 'aspect비가 1일 때에는, 90%를 확보할 수 있던 수율이, aspect비의 상승에 따라, 차차 떨어져, aspect 비가 5를 넘으면, 50%로 떨어진다.' (Fujitsu)라는 것이다. SiO₂ 계의 capacitor 절연막을 사용하는 경우, 0.8 um process에서 약 6.5~1이었던 aspect 비는, 2001년에 양산이 시작된 0.13 um process에서는 5~7로 상승해 버린다.

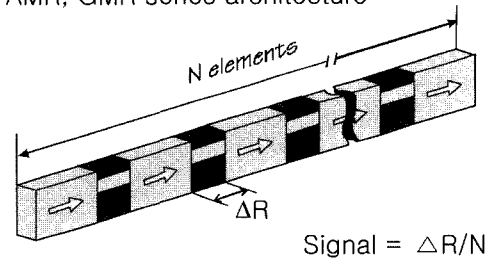
이상에서 본 바와 같이 MRAM은 DRMA 등의 기존 Memory소자 및 FeRAM 등의 차세대 비휘발성 메모리소자들과 비교해 볼 때 모든 면에서 비교우위에 있다(표1 참조). 이에 본 해설에서는 MRAM의 구조 및 원리를 살펴보고 국내외의 연구동향을 알아보려고 한다.

II. 비휘발성 자기 Memory의 종류와 특성

MRAM은 자성재료를 이용하여 전원이 없어도 남아있는 자화(magnetization)를 통하여 정보를 기록하여 다시 전원이 들어왔을 때 이전의 정보기록을 바로 꺼낼 수 있는 기억소자이다. 1970년대에 패라이트 코어를 대형 컴퓨터에 사용하였으나 컴퓨터 소형화에 따라 다른 메모리로 대체되었다. 현재 자기메모리 소자는 자기저항(MR: magnetoresistance) 현상을 이용한 것으로서, 이방성 자기저항(AMR: anisotropic magnetoresistance)과 거대자기저항(GMR: giant magnetoresistance) 및 터널링 자기저항(TMR: tunneling magnetoresistance) 현상 등을 이용한다. AMR 현상을 이용한 메모리 소자는 1980년대 중반에 처음 제작되었으며, 군사 및 우주용으로 현재 제한적으로 사용되고 있다. AMR을 이용한 MRAM(AMRAM)은 NiFe/TaN/NiFe의 3층막으로 구성되어 있으며, MR 비는 2% 정도이나 실제 소자에서 이용되는 MR비는 약 0.5% 정도로서 매우 낮다. 이처럼 낮은 MR 비는 소자의 밀도를 높이는데 큰 문제가 되고 있으며, 또한 소자의 속도를 느리게 하는 요인이 된다. 반면 GMR 및 TMR 현상을 이용한 메모리 소자(이를 각각 GMRAM 및 TMRAM 간략히 칭함)는 출력이 AMR에 비하여 매우 높아 AMRAM이 가지는 문제들을 근원적으로 해결할 수 있을 것으로 기대되고 있다.

특히 1988년 GMR현상이 발견된 후 GMRAM에 대한 연구가 활발히 진행되었으며, AMRAM에 대한 경험을 가지고 있는 Honeywell과 Motorola를 중심으로 이루어져 왔다. 현재 Honeywell에 의하여 상용화되어 있는 GMR 소자는 기존의 자기기록에서 사용되고 있는 다층막보다 구조가 간단한

AMR, GMR series architecture



MTJ crosspoint architecture

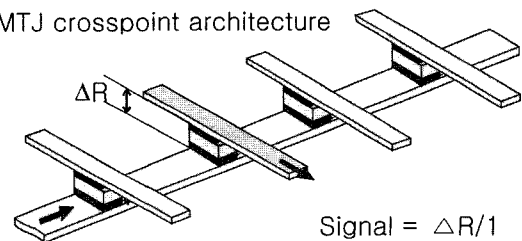


그림 2. GMRAM과 TMRAM의 모식도.

pseudo spin-valve이다. 이 새로운 구조는 하드 디스크 드라이브에서 read head로 사용하는 spin-valve와 달리 고정층이 반강자성(antiferromagnet) 층에 의해 고정되지 않고, 자기 반자계에 의한 형상이방성을 통하여 고정층과 자유층의 보자력 차이를 이용하여 자화를 고정시키는 방법을 사용하고 있다. 기술적인 측면에서 볼 때 GMRAM은 이미 기술이 확보된 AMRAM과 유사하기 때문에 상업화에 유리한 측면을 가지고 있다. 그러나 1995년에 개발된 TMR 소자의 MR 비가 GMR에 비하여 월등히 높은데다가(TMR: 40%, GMR: 10(20%)), 그림 2에서와 같이 GMRAM의 경우 다수의 cell들이 series로 연결되어 있어 실제 얻을 수 있는 출력은 개개 소자의 출력에 비해 낮은 반면 (즉, signal: MR/N) TMRAM은 개개의 cell이 곧바로 트랜지스터와 연결되는 cross-point architecture를 이루고 있어서 소자의 출력을 그대로 얻을 수 있어 출력이 매우 크다(즉, signal: MR/1). 따라서 연구의 관심이 TMRAM으로 급격히 바뀌고 있는 상황이다.

III. 자기 터널링 접합(Magnetic Tunneling Junction)

MRAM 소자 구현의 핵심 기술은 우수하고 안정적인 자기 저항 특성을 나타내는 박막 소재의 개발 기술과 기존의 반도체 회로와 공정을 이용한 집적 공정 기술이라 할 수 있다. 최근 활발히 연구되고 있는 TMR 현상을 나타내는 자기저항 박막, 즉 자기 터널링 접합(Magnetic Tunneling Junction)은 우수한 특성의 비휘발성 MRAM 소자 개발에 가장 적합한 박막 소재로 각광을 받고 있다. 그림 3은 MRAM에 이용되고 있는 자기 터널링 접합(MTJ)의 구조를 보여준다.

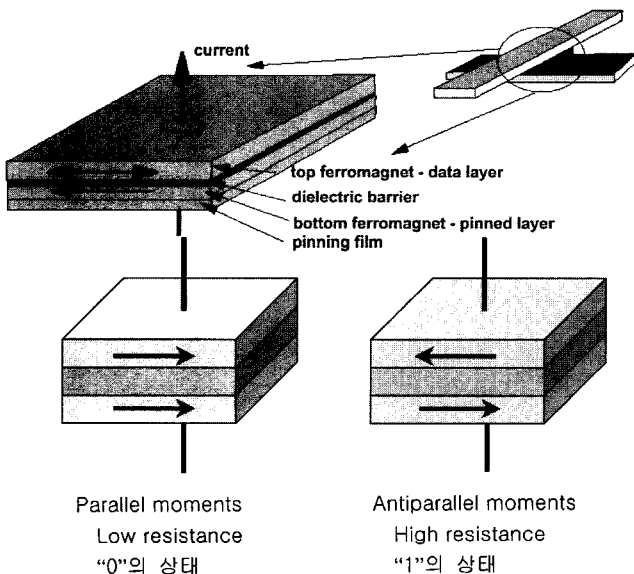


그림 3. 자기 터널링 접합의 모식도.

MTJ의 구조는 터널링 장벽(tunneling barrier)으로서 절연층(일반적으로 Al_2O_3)을 사이에 둔 두 강자성층(ferromagnetic layer)의 샌드위치 구조로 되어 있다. 전류가 각 층에 평행하게 흐르는 GMR과는 달리 MTJ에서는 전류가 각 층에 수직하게 흐른다. 이 때 두 강자성층의 스핀 방향이 같으면(parallel) 전류의 터널링 확률이 크며 저항이 작다. 하지만 두 강자성층의 스핀 방향이 정반대이면(antiparallel), 터널링 확률이 작으며 저항이 크다. 즉, 자기 터널링 접합(MTJ)에서 터널링 전류는 두 강자성층의 상대적 자화방향에 의존한다. 이 현상은 1975년 Julliere에 의해 실험적으로 처음 발견되었다. 이를 Tunneling Magnetoresistance(TMR)이라고 하며 다음과 같은 식으로 표현된다.

$$TMR = \frac{\Delta R}{R} = \frac{I_p - I_{ap}}{I_{ap}} = \frac{2P_1P_2}{1 - P_1P_2}$$

여기서 P_1, P_2 는 각 강자성층의 스핀분극을 말하며 현상론적으로 페르미 준위에서 다수전자와 소수전자에 대한 상태밀도의 상대적 차이로 정의된다. 그림 4는 자기 터널링 접합(MTJ)의 에너지 밴드구조와 스핀분극 이동현상을 도식적으로 보여준다.

이와 같이 전류가 자기 스핀의 방향에 따라 소자의 저항치가 달라지는 성질을 이용해서, 시스템은 해당 비트가 "0"

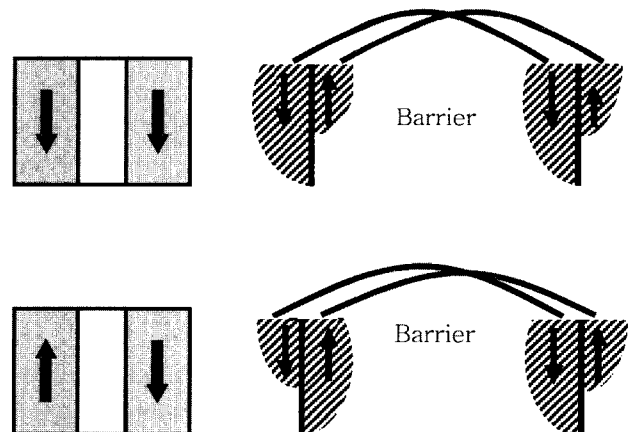
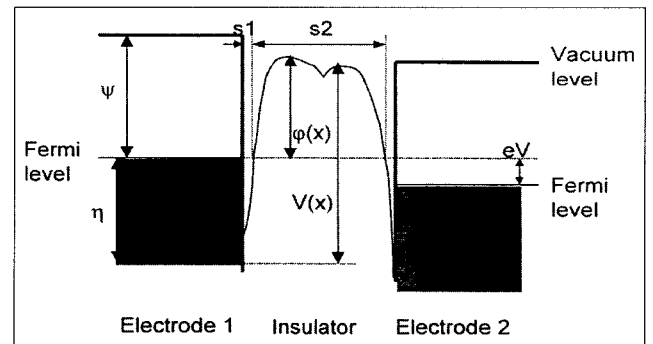


그림 4. 자기 터널링 접합의 에너지 밴드구조와 스핀분극 이동현상.

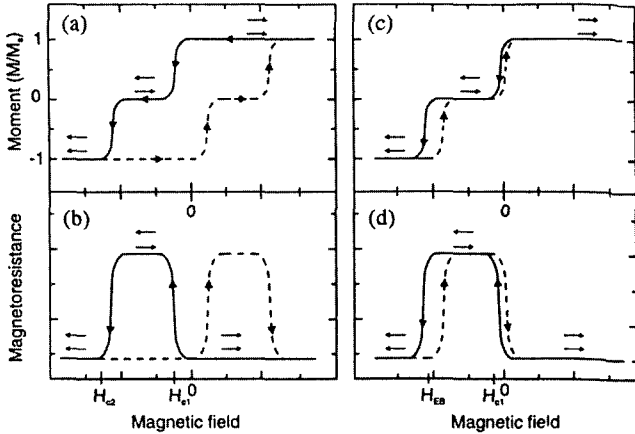


그림 5. (a), (b) 보자력차이에 의한 (c), (d) 교환 바이어스 결합에 의한 자기 터널링 접합의 이력곡선 및 저항

Ta Oxidation barrier
Ni ₈₀ Fe ₂₀ layer (170 Å)
Co ₈₀ Fe ₂₀ electrode (30 Å)
Co ₈₀ Fe ₂₀ electrode (30 Å)
Antiferromagnetic Layer Ir ₁₉ Mn ₈₁ (100 Å)
Ni ₈₀ Fe ₂₀ layer (40 Å)
Ta seed layer (50 Å)
Substrate

그림 6. 한양대학교에서 연구중인 교환 바이어스 결합을 이용한 자기 터널링 접합.

(parallel 할때)과 “1” (antiparallel 할때) 인지를 판별하고 외부로부터 자기장을 걸어 정보를 입력한다. MTJ가 워드선과 비트선 사이에 끼여 있어 공간을 차지하지 않아서 집적도를 향상시킬 수 있다.

그림 5는 두 가지 형태의 MTJ를 보여준다. 그림 5(a)의 구조는 앞서 설명한 pseudo spin-valve형으로서 보자력이 다른 두 강자성층을 이용하여 스핀의 방향을 제어할 수 있으며 그림 5(c)의 구조에서는 반강자성층(antiferromagnetic layer)의 교환 바이어스 자기장(exchange biasing field)으로 한 강자성층을 고정함으로써 다른 강자성층의 스핀방향을 조절 할 수 있다. 그림 6은 현재 한양대학교에서 연구 개발중인 MTJ의 상세한 단면구조를 보여준다.

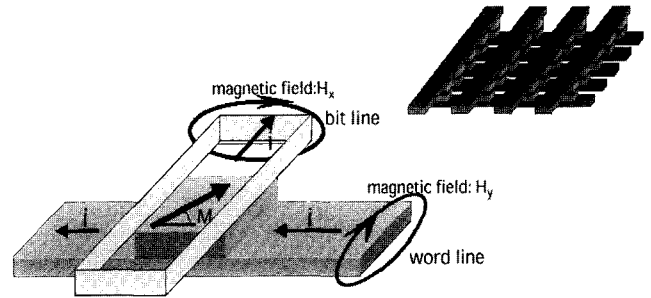


그림 7. MRAM에서의 전류흐름과 자기장의 관계.

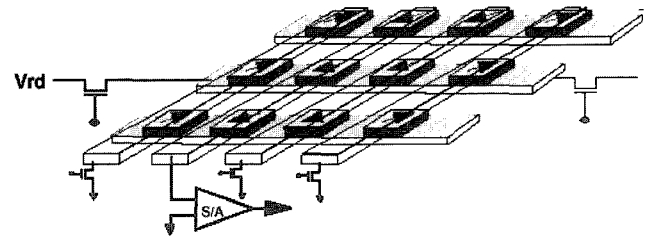


그림 8. Word line, Bit line을 포함한 MRAM의 매트릭스구조.

IV. MRAM의 작동원리 및 구조

MRAM의 가장 큰 특징은 “0”과 “1”을 판별하는데 전자의 전하가 아니라 전자의 스핀을 이용한다는 점이다. MRAM 모듈은 기본적으로 그림 7에서 보듯이 자기소자와 x 및 y방향의 두 전류선으로 구성된다. x방향의 선에 전류가 흐르면 선 주위로 자기장이 형성되고 자기소자의 스핀을 특정방향으로 정렬시킨 다음 y방향의 전류에 의해 스핀은 쉽게 왼쪽 또는 오른쪽으로 정렬된다. 따라서 앞서 설명한 바와 같이 자기소자의 저항은 자기모멘트의 방향에 의존하므로 디지털 정보 (“0”과 “1”)는 자기모멘트의 정렬로 저장되고 저장된 정보는 자기소자의 저항을 판별해서 읽게 된다.

비트선과 워드선으로 구분되어 하나의 기억장소를 찾아 데이터를 저장하고 다시 찾아가는 과정은 기존의 DRAM과 설계 방법이 같다. 메모리 셀을 구성하기 위하여 전류선들은 가로줄(row)과 세로줄(column)의 매트릭스 구조를 갖는다(그림 8 참조). 두 전류선(비트선과 워드선)을 통해 흐르는 전류의 크기를 조정하면 이 교점에 있는 자기 기억소자만을 기록할 수 있다. 즉, MRAM에서 기록은 비트선 및 워드선에 동시에 전류가 흐르는 하나의 선택된 메모리 셀에서만 일어난다. 이는 비트선이나 워드선 중 하나만 선택된 셀에서는 자유층의 반전을 일으키기에는 한 방향으로 흐르는 전류가 생성하는 자기장이 충분하게 강하지 않으므로 스핀 정보가 변하지 않는다.

이 원리를 그림 9에 도시한 바와 같이 메모리 셀의 자화반전을 일으키는 동작점을 보여주는 Stoner and Wohlfarth 모

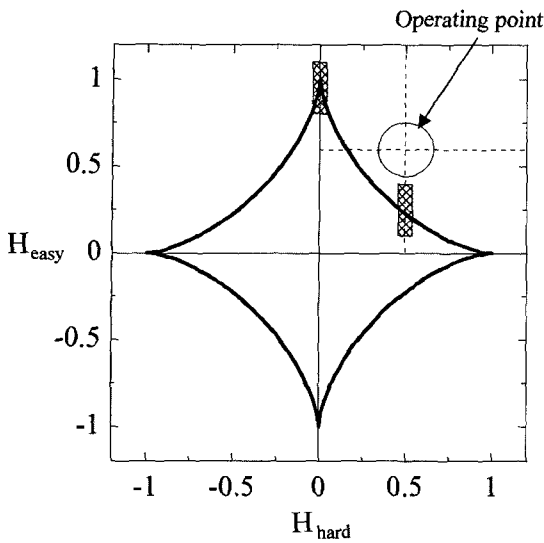


그림 9. 소자의 동작점에 관한 Stoner-Wohlfarth model.

델에 의한 아스테로이드 곡선(asteroid curve)으로 설명하면 다음과 같다. 즉, 비트선과 워드선에 흐르는 전류에 의해 각각 자화용이축과 자화곤란축으로 생성되는 자기장이 동시에 메모리 셀에 가해지면 자유층의 자화반전은 한 방향에 대해 자기장을 가했을 때보다 작은 자기장으로 자화반전을 시킬 수 있다. MRAM의 작동시 하나의 셀은 비트선이나 워드선 중 하나만 선택된 경우가 매우 많기 때문에 이러한 셀들이 반복적으로 간섭을 받으며, 따라서 자기적 creep 현상이 나타나 자화가 중간 상태로 가거나 완전히 자화반전이 일어날 가능성이 있다. 이는 메모리 소자의 에러를 유발하기 때문에 반강자성층에 의한 자화의 강한 고정성이 필요한 이유이다.

그림 10은 자기 터널링 접합 기억소자를 이용한 MRAM과 기존의 DRAM의 단면구조를 보여준다. MRAM은 비트선과 워드선으로 구분되어 하나의 기억장소를 찾아 데이터를 저장하고 다시 읽는 과정은 기존의 DRAM과 유사하지만 근본적인 차이점은 Capacitor 대신에 기억의 저장을 위하여 저장내용을 비휘발성인 기억소자의 스핀 배열로 바꾼 것이다. 즉, MRAM은 자기 기억소자와 트랜지스터로 구성된 반면 DRAM은 Capacitor와 Transistor로 구성된다.

V. MRAM 기술 개발의 현안

최근 수년간 자기 터널링 접합소자(MTJ) 연구에 있어서 많은 진전이 있어 왔다. 가장 큰 관심 중의 하나가 MR 비를 증가시키는 것이며, 이에 대한 집중적인 연구가 행해졌다. 이러한 연구의 결과 상온에서 통상의 스퍼터링 방법에 의해 제조된 TMR 소자에서 40% 이상의 MR비가 얻어졌다. MR 비가 MRAM의 출력, 나아가서 밀도 및 속도에 큰 영향을 미치기 때문에 중요한 요소이다. 그러나 MR 비 못지 않게 MRAM의 성공적인 실용화에 큰 영향을 미치는 요소들에 대해서도 큰 진전이 있었다. 대표적으로 다음과 같은 두 가지를 들 수 있다. 첫째는 자기 터널링 접합소자의 저항(구체적으로는 저항에 접합면을 곱한 비저항, $R(A)$ 을 $60 \Omega\mu m^2$ 의 매우 낮은 값에서부터 $10^9 \Omega\mu m^2$ 의 매우 높은 값까지 변화시키는 것이 가능하다. 이는 기본적으로 두 강자성층 사이에 있는 산화막의 두께와 특성을 제어함으로써 가능하다. 실제로 TMR을 연구하는 많은 연구그룹들이 이상적인 절연막, 절연층의 두께, 산화조건, 열처리시 절연층의 변화 등에 대해 연구를 진행하고 있다. 이러한 사항을 감안할 때 절연층의 조절에 의해 접합소자의 면저항을 넓은 범위에 걸쳐서 조절하는 것이 가능하면 소자의 설계를 쉽게 한다.

또 하나의 중요한 진전으로는 저항 및 MR 비를 매우 균일하게 제어하는 것이 가능하다는 점이다. IBM에서 많은 수의 접합체를 대상으로 연구한 결과에 의하면, 저항 및 MR

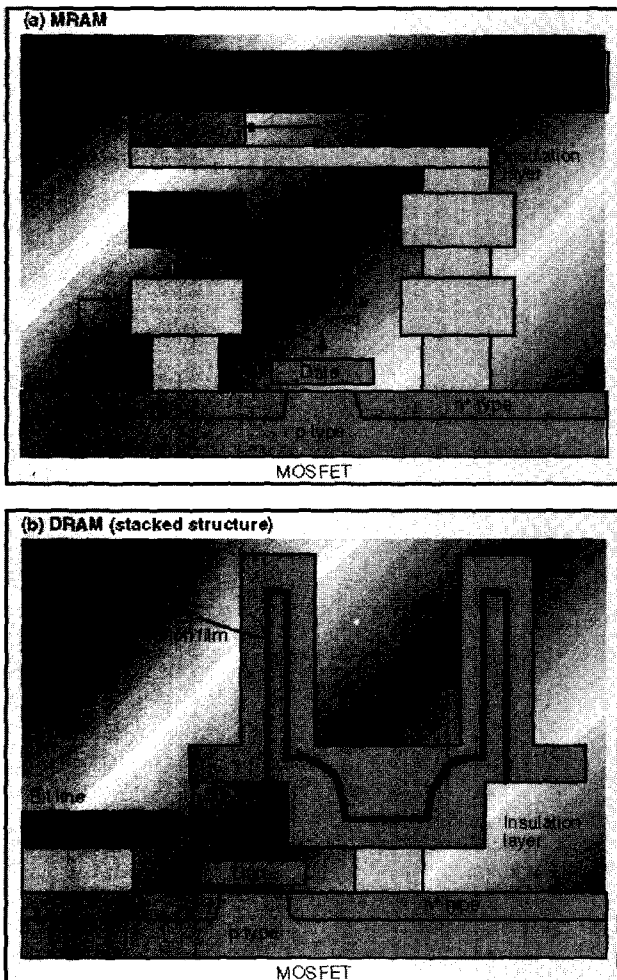


그림 10. MRAM과 DRAM의 단면구조비교.

비를 $\pm 1.5\%$ 이내의 오차에서 제어하는 것이 가능함을 보인다. 이는 저항 값 자체와 MR 비가 산화층의 두께와 상태에 매우 민감하다는 점을 고려할 때 매우 중요한 기술적 진전이다. TMR 소자의 이러한 우수한 신뢰성은 성공적인 상업화에 큰 기여를 할 것으로 생각된다.

그럼에도 불구하고, MRAM의 성공적인 실용화를 위해서는 아직도 해결되어야 할 부분들이 많으며, 이 중에서도 기록을 위한 자화의 반전(magnetic switching)과 관련된 문제를 해결하는 것이 가장 중요한 이슈가 되고 있다. 앞서 언급한 바와 같이 MR 비와 $R \times A$ 는 비교적 양호한 분포를 보이나 자기 터널링 접합소자($0.6 \times 1.2 \mu\text{m}$)의 자화반전이 일어나는 자기장은 상당히 불균일하다. 이러한 오차의 크기는 자기 터널링 접합 소자의 크기가 감소함에 따라 더욱 증가하는 것이 관찰되었다. 이에 대한 이유로서는 여러 가지를 생각할 수 있겠으나, 자구(magnetic domain)에 의한 복잡한 자화반전 거동 및 식각공정에 의해 제조된 패터닝 소자 형상의 불균일성을 주요한 요인으로 추정하고 있다.

정적인 상태에서의 자화반전 문제뿐만 아니라, 메모리 소자에서 자화의 반전이 통상 매우 짧은(수십 ns 이하) 펄스 자기장에 의해 일어나기 때문에 동적 상태에서의 자화반전 거동을 이해하는 것 또한 중요하다. 웨이퍼 수준에서는 자유층의 보자력 및 바이어스(bias) 자기장이 작기 때문에 자화의 반전과 관련된 문제가 경미할 것으로 예상되더라도 불구하고 이러한 문제가 발생하는 것은 다음과 같은 이유 때문이다. 자기 터널링 접합소자의 크기는 밀도와 직접적으로 연관되며 밀도를 높이기 위해서는 소자의 크기를 줄여야 한다. 현재 경쟁 관계에 있는 다른 메모리 기술과 경쟁하기 위해서는 소자의 크기는 submicron 수준이 되어야 하며, 이러한 크기에서 자화반전을 포함한 자기 터널링 접합소자의 자기적 거동은 전체 자기에너지에서 큰 부분을 차지하는 정자기에너지(magnetostatic energy)에 의해 큰 영향을 받게 된다. 이를 구체적으로 언급하면, 자기 반자계가 원인인 형상 이방성에 의해 자성층의 보자력은 크게 증가하며, 또한 자성층 상호간의 정자기 자기장에 의해 바이어스 자기장 (또는 offset 자기장)의 크기도 크게 변하게 된다. 이러한 이유로 인하여 실제로 MRAM에 사용되는 패터닝 소자의 경우 자유층의 자화반전을 위해서는 매우 높은 자기장이 요구된다. 이는 전류선에 큰 전류를 흘려주어야 한다는 것을 의미한다. 그러나 전류선의 전류 밀도는 electromigration 및 발열에 의한 온도 상승 등 여러 가지 이유로 인하여 적정 수준 이하가 되어야 하기 때문에, 이는 전류선의 크기를 증가시키게 될 것이며 나아가서 메모리 소자의 밀도를 줄이는 요인이 된다. 이러한 점을 감안할 때, 가급적 낮은 자기장에서 자화를 반전시키는 것이 필요하다.

VI. 국내외의 연구동향

현재 자기저항 소자 및 이를 이용한 메모리 디바이스 연구를 주로 수행하고 있는 기관으로는 IBM(Almaden Research Center, San Jose), Motorola(Tempe, Arizona), Honeywell(Plymouth, Minnesota) 및 Carnegie Mellon University (CMU) 등이 있다. 이들 기관 중에서 자기 터널링 접합소자를 이용한 MRAM의 개발은 Parkin 연구 그룹이 이끄는 IBM이 선두를 유지하고 있으며 다량의 특허를 보유(신청) 중에 있다. Motorola도 GMR 및 TMR을 이용한 MRAM을 개발하고 있다. Honeywell은 GMR을 이용한 MRAM을 연구개발하고 있다. 이외에 미 해군 연구소는 반도체 홀소자를 이용하여 MRAM을 개발하였으며 이 방법은 Honeywell사로 기술이전되었다. 그 밖에도 유수의 기업들이 MRAM의 개발에 전력을 다하고 있으나, 각 사의 개발수준 및 방향을 알아내기는 매우 어렵다. 이는 MRAM의 상용화가 머지 않았음을 반증하는 것이다. 상용화 직전의 기술은 외부에 공개하기 힘든 노하우이기 때문이다.

국내의 동향을 살펴보면 현재까지는 디바이스를 종합적으로 고려한 설계기술보다는 부분적인 성능의 평가에 많은 연구가 이루어졌다. 현재 국내의 수준은 자기 터널링 접합소자 및 이를 이용한 메모리 디바이스에 대한 연구 자체가 도입단계의 겨우 벗어난 정도이기 때문에 MRAM 설계 및 공정기술에 대한 연구는 거의 이루어지지 못하고 있다. 그러나 메모리 디바이스를 고집적화, 고속화하고 또한 고신뢰성을 확보하기 위해서는 현재의 연구 수준을 향상시키는 것이 필요하다는 인식을 하고 있으며, 따라서 이러한 방향으로의 연구가 활발히 진행되고 있다. 자기 터널링 접합소자에 대한 연구는 한양대를 비롯하여 KAIST, 한국과학기술연구원(KIST), 고려대, 숭실대 등에서 각각 독자적으로 이루어지고 있으며 현재 자기 터널링 접합구조를 형성할 수 있는 단계에 와 있다. 특히 KIST는 그동안 자기 터널링 접합소자 이외에도 자기기록용 자성박막으로서 연자성 박막, 자기기록매체를 비롯하여 구조상 자기 터널링 접합소자와 상당히 유사한 GMR 박막에 대해서도 오랫동안 연구를 수행해 왔기 때문에 이러한 연구경험을 적절히 활용한다면 MRAM에 대한 선진국과의 기술 격차를 단기간에 줄일 수 있을 것으로 생각된다. MRAM의 기본 구조에 관한 설계 및 공정에서 한국은 뒤늦게 출발하였으나, “테라급 나노소자 개발” 프론티어 사업의 일환으로 KIST와 현대전자, 삼성전자 및 다수의 대학연구팀이 연구개발에 참여하는 등 점점 관심이 집중되고 있는 상황이다. 국내의 반도체기업, 학교 및 연구소는 MRAM의 기억소자에 해당하는 자기 터널링 접합소자 연구와 반도체 공정의 기반 기술이 확보 되어 있으므로 조속한 MRAM 기술기

표 1. 여러 가지 Memory 소자의 비교

	MRAM	DRAM	SRAM	FLASH	FRAM
Cell Structure	1TR.+1TMR	1TR.+1 Capacitor	6(4) TR.	1TR.	1TR.
Density	High	High	Low	Very high	High
Power for data	None	Required	Required	None	None
Refresh	None	Required	None	None	None
Read speed	Very Fast (~3ns)*	Fast (~60ns)	Very Fast (~2ns)	Fast (10ns)	Fast (60 ns)
Write speed	Very Fast (~3ns)*	Fast (~60ns)	Very Fast (~2ns)	Very Slow (0.2s~200ms)	Fast (~60ns)
Power dissipation	Small	Small	Large	Very small	small
Non-volatility	○	×	×	○	○
Application	Main memory~	Main memory	Cache memory	BIOS memory	BIOS memory

표 2. MRAM 관련 국내 연구기관 및 연구개발 현황

구분	연구기관	연구 개발 현황
국내	KAIST 고려대학교 한양대학교 서울대학교 숭실대학교 상지대학교 광운대학교 삼성종합기술원 KIST	Shadow mask 기법, plasma 및 ozone 산화법을 이용한 시료제작, 열처리에 따른 효과 연구 In-situ shadow mask, dry and wet etching, plasma 산화법, lithography를 이용한 터널접합 제작, 산화조건연구, 기하학적 형상에 따른 터널비저항 변화에 대한 연구, ESD에 관한 연구 TEM, FE-AES, XPS, RBS 등을 이용한 금속 산화막 계면에 대한 미세구조 및 자기적, 화학적 분석 Tilted-cut Si 기판, synthetic layer를 이용한 면방향 GMR 효과 및 이를 이용한 저장 셀의 구동 Shadow mask, 플라즈마 산화법 이용한 터널접합제작, 열처리 따른 효과, 반복 쓰기에 따른 효과 연구 sub- μ m lithography 기술 연구 Granular TMR 시료제작 및 연구 Dry etching에 관한 연구, S-F 접합에 관한 연구 Photolithography를 이용한 자기 터널링 접합소자 제조 및 공정조건 확립(TMR: 40%), 산화조건 연구, 기하학적 형상에 따른 TMR 변화에 대한 연구,
	기업 삼성전자 현대전자	DRAM기반의 architecture에 관한 연구 CMOS 공정을 적용한 MRAM 설계 및 제조 기술연구

발의 가능성을 시사하고 있다. 표 2에 MRAM 관련 국내 연구기관 들과 연구개발 현황을 요약하여 나타내었다.

VII. 결 론

정보저장기기는 현재 컴퓨터를 비롯하여, 비디오, 오디오, 캠코더 등에 매우 광범위하게 사용되고 있으며, 향후에는 디지털 TV 등의 가전용 AV 시스템, 홈 멀티미디어 서버, 의료용 영상을 비롯하여 개인 휴대통신기기에 이르기까지 정보산업 전 분야로 그 응용범위가 크게 확장될 것으로 전망되고 있다. 이들 정보산업이 발달할수록 급격하게 증대되는 정보량에 대응하기 위해서는 대용량 초고속의 정보저장기기에 대한 요구는 더욱 확대될 것으로 판단된다. 특히 마이크로 PDA(Personal Digital Assistant), 휴대폰, 디지털 카메라 등과 같은 휴대 정보기기에 내장될 수 있는 초소형의 정보저장기기에 대한 수요는 급증할 것으로 전망됨에 따라 이들 정보저장기기의 소형화 및 저가격화의 필요성이 크게 대두되고 있으며 향후 이러한 휴대기기에는 MRAM과 같은 칩형의 비휘발성 메모리소자가 이용될 것으로 예상된다. 이와 같이 소형의 정보저장기기가 정보산업 전반에 미치는 경제적 및 산업적 파급효과가 매우 크기 때문에 선진 각국이 앞 다투어 이 분야에 대한 기술경쟁에 범 국가적으로 총력을 기울이고 있다.

정보저장기기의 세계시장은 1998년에 약 740억불 규모이며 연 17% 정도로 시장규모가 성장하여 2003년경에는 약 1,300억불 정도가 될 것으로 전망되고 있다. 이 중에서 HDD가 현재 약 400억불 규모의 시장을 형성하고 있고 소형 정보기기에 사용되는 Flash memory는 약 30억불 규모이다. 이들 정보저장기기 시장 중에서 현재 주요 정보저장기기로 사용되고 있는 드라이브형의 HDD를 비롯하여 Flash memory 등 대부분의 정보저장기기가 향후 MRAM으로 대체될 것으로 예상되며 따라서 이 MRAM 기술개발은 현재 국내의 반도체 산업이 수행해 온 역할을 대신할 수 있는 유일한 대안이 될 것으로 판단된다.

MRAM 구현을 위하여 향후 개발되어야 할 핵심기술로는 자기 소자 제조 기술, 자기 소자의 자화반전 제어기술 및 기존의 반도체와 자기 소자를 효율적으로 집적화 하는 공정기술을 들 수 있을 것이다. 이와 같이 MRAM은 가장 유망한 차세대 칩형 비휘발성 메모리소자로서 향후 각종 휴대기기를 포함한 거의 모든 정보기기의 정보저장 소자로서 사용될 것으로 전망된다. 따라서 현재 기술적 우위를 확보하고 있는 국내 반도체 공정기술과 MRAM의 핵심 소자인 MR 소재소자 및 공정의 핵심 원천기술의 국내개발을 통해 차세대 비휘발성 메모리 소자인 MRAM을 개발함으로써 국내 정보기기 산업의 국제경쟁력을 확보할 수 있을 것으로 판단된다.