

고속 무선 전송시스템을 위한 All-Digital QPSK 복조기의 설계[†]

(A Design of All-Digital QPSK Demodulator for High-Speed Wireless Transmission Systems)

고 성 찬*, 정 지 원**
(Sung-Chan Ko, Ji-Won Jung)

요약 본 논문에서는 QPSK 방식을 채용하는 고속 무선 전송 시스템에 적용될 수 있는 all-digital QPSK 복조기에 대해서, 복조기에 소요되는 알고리즘들을 고찰하고 이를 구현하기 위한 H/W 구조에 대해서 언급한다. All-digital QPSK 복조기를 구현하기 위해서, 비트 동기를 포착하는 심볼 동기부와 반송파 동기를 포착하는 반송파 동기부가 구현되어야 하는데, 심볼 동기부로는 Gardner 알고리즘을, 반송파 동기부로는 빠른 반송파 포착을 위한 Decision-Directed 동기화 알고리즘을 적용하여 설계, 구현하였다. 설계한 QPSK 복조기를 Altera사의 Design Compiler를 이용하여 CPLD-EPF10K100GC 503-4 칩에 합성해 본 결과 약 2.6 Mbps의 전송속도까지 복조가능하였다. Speed grade 1인 CPLD칩에서 구현하면 5배 정도 고속화가 가능하고, 설계된 all-digital QPSK 복조기를 ASIC으로 구현할 경우 CPLD 속도의 5~6배 이상 고속화가 가능하므로 약 50 Mbps급 all-digital QPSK 복조가 가능하다.

Abstract High-speed QPSK demodulator has been an important design objective of any wireless communication systems, especially those offering broadband multimedia service. This paper describes all-digital QPSK demodulator for high-speed wireless communications, and its hardware structures are discussed. All-digital QPSK demodulator is mainly composed of symbol time circuit and carrier recovery circuit to estimate timing and phase-offsets. There are various schemes. Among them, we use Gardner algorithm and Decision-Directed carrier recovery algorithm which is most efficient scheme to warrant the fast acquisition and tracking to fabricate FPGA chip. The testing results of the implemented onto CPLD-EPF10K100GC 503-4 chip show demodulation speed is reached up to 2.6 [Mbps]. If it is implemented a CPLD chip with speed grade 1, the demodulation speed can be faster by about 5 times. Actually in case of designing by ASIC, its speed may be faster than CPLD by 5 times. Therefore, it is possible to fabricate the all-digital QPSK demodulator chipset with speed of 50[Mbps].

1. 서 론

현재 IS-95A,B 시스템에서 4.8 Kbps 이하의 음성, 저속 데이터, 팩스, 무선호출 서비스 뿐만아니라 115

Kbps급의 무선 ISDN급 음성, 데이터, 영상 등의 멀티 미디어 서비스 무선 데이터 서비스를 제공하고 있으며 IMT-2000(IS-95C) 또는 W-CDMA 시스템에서는 최대 약 2.3Mbps까지 데이터 전송을 수행할 수 있게 되었다.[1]

뿐만아니라 1 Mbps 전송속도의 블루투스제품들이 개발중에 있고, 무선 랜에 있어서도 11 Mbps급 802.11B, 54 Mbps급 802.11A등 계속 고속화되어가고

[†] 이 논문은 2001학년도 안동대학교 학술연구 조성비에 의하여 연구 되었음.

* 안동대학교 전자정보산업학부

** 한국해양대학교 전파공학과

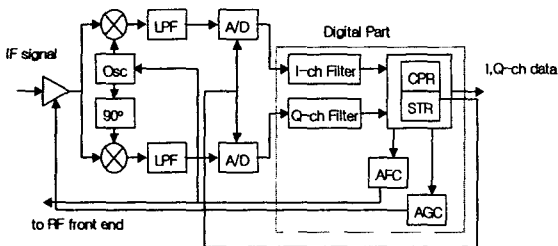
있는 추세이다.[2][3] 각 시스템 마다 적용되는 변조 기법 및 다중액세스 방식이 다르기는 하지만 본 논문에서는 QPSK 전송에 국한하여 복조기의 구현 측면을 고려하도록 한다. 복조기를 구현하는 방식은 크게 3가지로 구분된다. 즉, ① 기존에 널리 사용되고 있는 아날로그/디지털 혼합방식, ② IF레벨에서 직접 A/D변환을 수행하는 all-digital방식[4], ③ IF레벨 변환없이 RF레벨에서 직접 A/D변환을 수행하는 zero-IF방식이다.[5]

zero-IF 방식의 수신기는 RF단 칩과 디지털 LSI 기저대역 칩으로만 구성되기 때문에 IC 집적화가 용이한 장점이 있으나 RF 직접 변환에서 수반되는 I-채널과 Q-채널간의 위상불균형 문제등 아직까지는 해결해야 되는 여러 과제들이 남아있다. 반면 LSI 기술 및 A/D 변환기술의 향상으로 인하여 현재 all-digital 방식은 아날로그/디지털 혼합방식에 비하여 많은 장점을 가지게 되었다(이 두 방식간의 비교는 2장에서 언급하도록 한다). 따라서 본 논문에서는 기존에 널리 적용되었던 아날로그/디지털 혼합방식이 아닌 all-digital 방식의 QPSK 복조기 구현측면의 기술들을 고찰하고 이를 구현하기 위한 H/W 구조에 대해서 언급하며, 설계된 all-digital QPSK 복조기의 성능에 대하여 고찰한다.

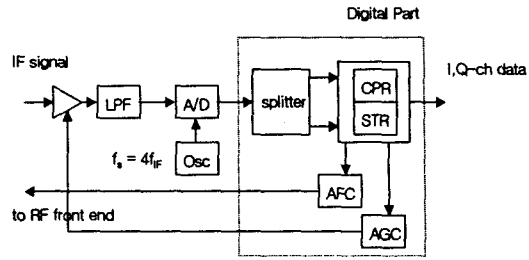
2장에서는 all-digital 방식의 QPSK 복조기 구조에 대하여 설명하였고, 3장에서는 소요 되는 기술 및 알고리즘들을 소개하였다. 4장에서는 H/W 구현 측면을 고찰하였고, 5장에서는 설계된 all-digital QPSK 복조기의 성능을 고찰하였다.

2. all-digital 방식의 QPSK 복조기 구조 분석

먼저 all-digital 방식과 아날로그/디지털 혼합방식을 비교하기 위하여 각 방식의 구성도를 그림 2-1에 나타내었다.



a) 아날로그/디지털 혼합방식



b) all-digital 방식

그림 2-1. all-digital 방식과 아날로그/디지털 혼합방식에 대한 복조 블럭도

여기서 CPR, STR은 각각 Carrier Phase Recovery Loop, Symbol Timing Recovery Loop을 의미하고, AFC, AGC는 Automatic Frequency 및 Gain Control을 의미한다. 그림에서 알 수 있듯이 all-digital 방식에서는 기존의 방식에서 아날로그 믹서부분을 제외시킬 수 있으며, 소요되는 필터(LPF)의 개수도 하나 더 줄일 수 있다. 뿐만 아니라 아날로그 믹서에서 발생할 수 있는 진폭 및 위상 불균형 등의 문제점도 해결할 수 있다. RF를 IF로 변환하는 과정에서 주파수 오프셋이 크지 않다면 AFC 부분의 구현도 필요 없게된다. 또한 합성하는데 있어서 과다하게 디지털 게이트 수를 요하는 디지털 필터를 사용하지 않고 간단한 splitter로 대신할 수 있다는 장점이 있다. 그러나 IF레벨에서 직접 샘플링된 신호를 기저대역으로 변환하기 위하여 A/D에 적용되는 샘플링 주파수가 IF 주파수의 4배가 되어야한다는 단점이 있으나 고속 A/D 변환기 사용이 가능해졌기 때문에 이는 큰 문제가 되지 않는다. all-digital QPSK 복조기 구현을 위하여 splitter, CPR(위상동기부) 루프, STR(심볼동기부) 루프, 그리고 AGC 루프가 구현되어야한다. 본 논문에서는 디지털 부분만을 고려하였으므로 AGC(자동이득조절부) 루프는 설계에서 제외하였다.

그림 2-2에 설계하는 all-digital QPSK 복조기의 블록도를 나타내었다.

RF단에서 IF레벨로 변환된 신호는 IF 주파수 보다 4배 빠른 발진기에 의해 샘플링 되어 디지털 복조기에 입력된다. 이 신호는 splitter에 의해 기저대역 신호로 변환되며 I채널 신호와 Q채널 신호로 각각 분리된다.

그림에서 이중실선으로 표현된 실선은 (I_{ch}, jQ_{ch})

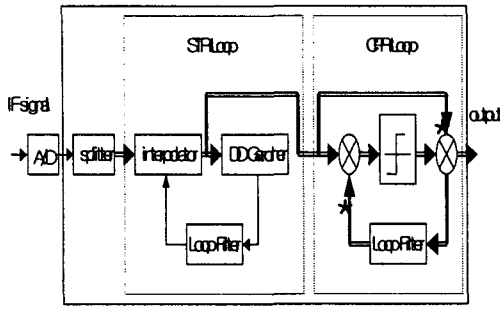


그림 2-2. 본 논문에서 설계하는 all-digital QPSK 복조기의 블록도

신호에 대한 복소수를 의미한다. 이 기저대역 신호를 이용하여 정확한 비트의 천이 시점을 추정하기 위해서 STR 루프에 입력된다.[6] 심볼 타이밍 에러를 최소화하기 위하여 샘플링 rate을 증가시킨 효과를 얻기 위하여 보간기가 적용된다. 이 신호를 1/2 decimation 하여 잔여 주파수 오프셋 및 위상 오프셋을 보상하게 되는 데 이 역할을 CPR 루프가 담당하게 된다.[7] 그림에 주어진 각 부분별 동작 및 상세 기능은 3장에서 설명하도록 한다.

3. all-digital QPSK 복조기 소요 기술 분석

3.1 splitter부

A/D 변환기의 샘플링 주파수 $f_s = 4f_{IF}$ 이므로 예를 들어 IF 캐리어의 $0, \pi/2, \pi, 3\pi/2$ 에서 각각 샘플 되었다면 I채널데이터 값은 1,0,-1,0으로 Q채널 데이터 값은 0,1,0,-1로 각각 주어지게 된다. 따라서 I채널에 대해서는 홀수번째 샘플치를 Q채널에 대해서는 짝수 번째 샘플치를 취하고 이중에서 나중의 샘플치에 대해서는 부호를 변환하면 I채널과 Q채널에 대한 기저대역 신호를 얻어낼 수 있다. 위에서는 $0, \pi/2, \pi, 3\pi/2$ 의 위상을 예시하였지만 $0 + \theta, \pi/2 + \theta, \pi + \theta, 3\pi/2 + \theta$ 인 경우에도 같은 결과를 얻을 수 있다. 이렇게 해서 얻은 I,Q채널 신호간에는 $T_s = 1/f_s$ 만큼의 지연이 존재하므로 이를 보상하면 IF 직접 샘플링에 의해 IF 신호를 기저대역 신호로 변환시킬 수 있다.

3.2 STR부

STR 루프의 종류로는 여러 가지가 있겠지만 처리 속도를 고속으로 유지하기 위해서 심벌당 샘플수를 최소화할 수 있는 Gardner 알고리즘[5]이 가장 널리 사용된다. 이 알고리즘은 BPSK/QPSK 변조 방식을 위한 타이밍 추출에 관한 것으로 포착과 추적의 어느 동작 모드에서도 유효하게 사용되고 반송파 동기에 독립적으로 동작하므로 CPR과 병행하여 타이밍 포착이 진행되는 장점이 있다. STR부는 3개의 서브블록으로 구성되며 각각에 대해 설명하면 다음과 같다.

3.2.1 Interpolator

본 논문에서는 여러 보간 공식중 비교적 구현이 쉬운 Lagrange 공식을 적용한 interpolator를 구현하였다. N개의 결과치 $y_i = f(x_i) [i=1,2,3,\dots,N]$ 를 알고 x 지점에서의 값을 결정할 때의 보간 공식은 식(3-1)과 같다. 여기서, x 는 최적의 심볼 타이밍 값이고, x_1, x_2, \dots, x_n 은 실제로 샘플링한 타이밍 값을 의미하며, y_1, y_2, \dots, y_n 은 샘플링 지점의 신호 값을 나타낸다.

$$P(x) = \frac{(x-x_2)(x-x_3)\dots(x-x_N)}{(x_1-x_2)(x_1-x_3)\dots(x_1-x_N)} y_1 + \frac{(x-x_1)(x-x_3)\dots(x-x_N)}{(x_2-x_1)(x_2-x_3)\dots(x_2-x_N)} y_2 + \dots + \frac{(x-x_1)(x-x_2)\dots(x-x_{N-1})}{(x_{N-1}-x_1)(x_{N-1}-x_2)\dots(x_{N-1}-x_{N-1})} y_N \quad (3-1)$$

3.2.2 DD-Gardner algorithm

DD-Gardner 알고리즘은 타이밍 검출기내의 hard limiter를 통과한 샘플값의 신호를 이용하여 타이밍 에러를 검출하는 방식이다. 구조는 그림 3-1과 같다.

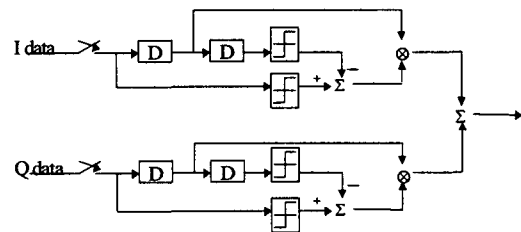


그림 3-1. DD-Gardner 심볼 동기 알고리즘

심볼당 2샘플로 동작하고 반송파 동기 루프에 독립적으로 동작하므로 빠른 초기 동기가 가능하다. 이 알고리즘의 에러 검출에 관한 식을 식(3-2)에 나타내었다. $\hat{y}_I(n)$ 과 $\hat{y}_Q(n)$ 의 값은 샘플시 I, Q채널의 경판정된 값이다.

$$e(n) = y_I(n - \frac{1}{2})\{\hat{y}_I(n) - \hat{y}_I(n-1)\} + y_Q(n - \frac{1}{2})\{\hat{y}_Q(n) - \hat{y}_Q(n-1)\} \quad (3-2)$$

이 구조는 hard limiter의 결정과정에 의해 실제 하드웨어로 구현할 때 곱셈기를 제거할 수 있으며 잡음 제거 효과도 가져올 수 있다. 궁극적으로 Gardner 알고리즘보다 타이밍 검출기 특성곡선의 선형구간이 넓고 이득도 크나 CNR이 낮을 경우에는 DD(결정지향)방식의 결정 오류로 인해 성능 열화가 발생할 수 있다.

3.2.3 Loop Filter

검출된 타이밍 에러신호를 누적하는 필터로서, 그림 3-2와 같이 설계하였고 필터동작은 식(3-3)에 나타내었다.

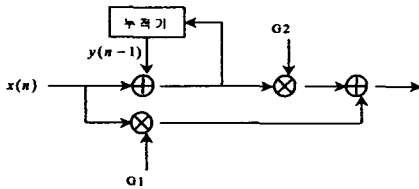


그림 3-2. Loop Filter 구조

Loop Filter Output =

$$G2 \times (x(n)) + y(n-1) + G2 \times x(n) \quad (3-3)$$

여기서 $x(n)$ 은 타이밍에러신호로서 입력이고, $y(n-1)$ 은 과거에 누적된 값이다. $G1, G2$ 는 Loop Filter의 이득이다.

3.3 CPR부

COSTAS Loop이나 Tan-lock Loop과 같이 DCO(digital controlled oscillator)를 이용한 PLL 형태의 CPR은 캐리어 포착시간이 다소 길고, hang-up 현상

이 발생하는 단점이 있다[7]. burst-mode 전송에서의 반송파 복원은 주로 date-aided 형식으로 수행되는데 반송파 복원을 지원하는 데이터들은 프레임내의 preamble 부분에 포함되어 전송된다. 따라서 burst-mode 전송에서는 preamble 데이터들로 인한 전송효율의 감소를 피할 수가 없다. 전송 효율을 극대화하기 위해서는 반송파 복원을 지원하는 preamble 데이터의 수를 가능한 한 작게 유지해야 하므로 빠르게 반송파를 포착할 수 있는 open-loop 형태의 CPR 루프를 설계하였다. 설계한 CPR 루프의 구조는 그림 3-3과 같다.

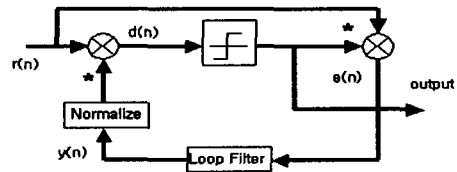


그림 3-3. 설계한 CPR 루프의 구조

QPSK 수신신호는 아래의 식(3-4)와 같이 표현할 수 있다.

$$r(n) = (a_n + jb_n) \times e^{-j\theta} + \eta(n) \quad (3-4)$$

여기서 a_n, b_n 은 각각 I 채널, Q 채널의 데이터열 ($\in \{1, -1\}$)이고, $e^{-j\theta}$ 는 위상 오프셋이고 $\eta(n)$ 은 가우시안 잡음이다. 위상 오프셋을 보상하기 위하여 LPF에서 출력되는 보정된 위상 잡음 신호를 Normalize하고 conjugate하여 곱하면 식(3-5)와 같다.

$$d(n) = \{(a_n + jb_n) \times e^{-j\theta} + \eta(n)\} \times e^{j\theta} \quad (3-5)$$

식(3-5)의 신호를 decision이 정확했다고 가정하면, $e(n)$ 은 식(3-6)과 같다.

$$e(n) = \{(a_n + jb_n) \times e^{-j\theta} + \eta(n)\} \times (a_n - jb_n) \quad (3-6)$$

해석의 용의상 $\eta(n)$ 을 무시하면, 식(3-6)은 식(3-7)과 같이 나타낼 수 있다.

$$e(n) = \sqrt{(a_n^2 + j b_n^2)} \times e^{-j\theta} \quad (3-7)$$

식(3-7)에서 신호의 진폭을 무시하고 AR(Auto-Regressive) LPF에 입력하면,

$$y(n) = \beta \times y(n-1) + (1-\beta) \times e^{-j\theta} \quad (3-8)$$

여기서 β 는 LPF의 파라미터이고 1보다 작은 값을 가진다. 식(3-8)을 전개하면 아래와 같이 일반화 시킬 수 있다.

$$\begin{aligned} y(1) &= \beta \times y(0) + (1-\beta)e^{-j\theta} \\ y(2) &= \beta \times y(1) + (1-\beta)e^{-j\theta} \\ &= \beta^2 \times y(0) + \beta(1-\beta)e^{-j\theta} + (1-\beta)e^{-j\theta} \\ y(3) &= \beta \times y(2) + (1-\beta)e^{-j\theta} \\ &= \beta^3 \times y(0) + \beta^2(1-\beta)e^{-j\theta} + \beta(1-\beta)e^{-j\theta} \\ &\quad + (1-\beta)e^{-j\theta} \\ &\vdots \\ y(k) &= \beta \times y(k-1) + (1-\beta)e^{-j\theta} \\ &= \beta^k \times y(0) + \beta^{k-1}(1-\beta)e^{-j\theta} + \beta^{k-2}(1-\beta)e^{-j\theta} \\ &\quad + \dots + (1-\beta)e^{-j\theta} \\ &= (1-\beta)e^{-j\theta}(1 + \beta + \beta^2 + \beta^3 + \dots + \beta^{k-1}) \\ &= (1-\beta)e^{-j\theta} \times \frac{1-\beta^k}{1-\beta} \\ &= e^{-j\theta}(1-\beta^k) \end{aligned} \quad (3-9)$$

식(3-9)은 정상 상태에서 결과적으로 식(3-10)과 같이 표현할 수 있고, 정확히 위상 에러를 추정할 수 있다.

$$y(n) = e^{-j\theta} \quad (3-10)$$

4. all-digital QPSK 복조기의 CPLD 구현

본 절에서는 all-digital QPSK 복조기의 H/W 구현 측면을 언급하되 간단한 논리회로로 구성될 수 있는 splitter부는 제외하고 CPR,STR의 주요부분과 승산기(multiplier)에 대해 언급하도록 한다.

4.1 Interpolator

설계한 interpolator의 H/W 구조는 그림 4-1과 같다.

splitter에서 I,Q채널에 대해 8비트 신호가 출력되어 interpolator에 입력된다. 8비트 입력 신호와 Loop Filter 결과에 의해 결정된 4개의 Interpolator 계수와 곱으로 출력된 4개의 Multiplier 결과 신호들을 3개의 Carry Save Adder를 이용하여 출력한다.

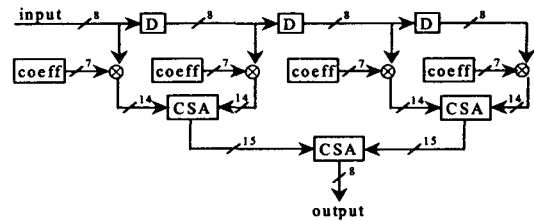


그림 4-1. Interpolator의 H/W 구조

하지만 Interpolator의 출력은 DD Gardner의 입력 신호일 뿐만 아니라, CPR의 입력 신호로도 동작하므로 16비트의 신호를 상위 2비트, 하위 6비트를 제거하여 8비트 신호로 출력하도록 설계하였다.

4.2 DD-Gardner 알고리즘

설계한 타이밍 에러 검출기의 H/W 구조는 그림 4-2과 같다. DD-Gardner 구조는 D flip-flop을 이용하여 입력 신호 D0과 지연된 신호 D1, D2를 얻은 다음에, D0과 D2신호를 경판정하고, D2의 보수와 D0를 더하여 그 결과치를 D1과 곱하여 error 정보를 추출하는 구조로 이루어져 있다.

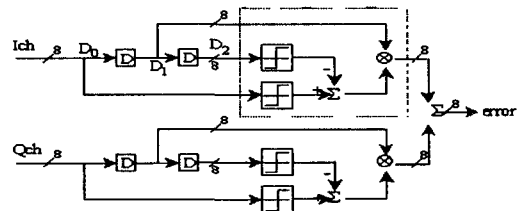


그림 4-2. DD-Gardner 알고리즘에 대한 H/W 구조

하지만 이러한 구조는 하드웨어 구현 시 아주 복잡하고, 많은 처리 시간을 요구하기 때문에 표4-1과 같이 D0와 D2신호의 부호 비트를 이용하여 간단한 논리 회로로 구현하였다.

표 4-1. 논리 회로의 진리값

D2	D0	출력
양수	양수	"00000000"
양수	음수	D1의 보수
음수	양수	D1
음수	음수	"00000000"

표 4-1에서의 출력값을 더해서 나온 9비트의 error

그리고 o1는 Loop Filter의 결과를 나타내는 신호로서 oput에 누적된다. 누적된 oput의 값은 Interpolator의 center를 나타내는 값으로서, Interpolator계수를 결정짓는 결과치이다. oput의 값이 100을 초과하게 되면 샘플링 지점이 늦다는 것을 나타내므로, oput에 -100을 더하고 Ins에 -1을 발생시켜서 한 클럭을 느리게 동작시키고, 반면에 oput의 값이 음수를 가지게 되면 100을 더하고 Ins에 1을 발생시켜서 한 클럭을 빠르게 동작시킨다. oput이 대략 70의 값을 가지면서 정확한 샘플링 지점을 포착하는 것을 알 수 있다. 심볼 타이밍을 정확히 포착한 지점에서의 보간값은 CPR의 입력으로 동작한다. 그림에서 o2는 CPR의 입력을 나타낸다.

그림 5-3은 반송과 동기를 포착하는 CPR의 동작과정을 나타낸 것이다. CPR회로는 57.2 ns 내에서 동작한다. oput11은 CPR을 동작시키는 제어신호로 각 심볼당 4개의 샘플치를 주었으므로, 4클럭 주기마다 발생한다. iputI, iputQ는 I 채널과 Q 채널 신호로서 랜덤한 데이터에 임의로 만큼의 잡음을 부여하여 생성한 신호이다. oput22, oput33는 I 채널과 Q 채널의 잡음신호를 필터링 한 LPF의 결과치이다. 입력되는 잡음 신호가 zero로 수렴하면서 결과값이 15로 귀결됨을 알 수 있다. oput44, oput55는 decision 되어진 I 채널과 Q 채널 신호이다. 시뮬레이션 결과값과 발생한 데이터가 동일함을 확인하였다.

그림 5-4는 비트 동기를 포착하는 STR과 반송과 동기를 포착하는 CPR을 연동시켜서 동작한 시뮬레이션 결과이다. 시뮬레이션에 이용한 입력 신호는 임의의 timing error를 부가한 정현파 신호이다. Interpolator의 계수를 결정짓는 cntr은 점점 감소하면서 70으로 수렴함을 알 수 있다. 그리고 oput11과 oput22는 복조된 신호이다. 신호의 결과치는 2비트로 표현되므로 십진수 3은 이진수 "11"로서 -1을 나타내므로, I채널과 Q채널의 입력값이 동시에 1, 0, 1, 0이므로 정확히 복조됨을 알 수 있다. STR과 CPR을 연동한 회로는 192.8 ns내에서 동작한다. 클럭을 4분주하여 사용하였으므로, FLEX10K100 GC503-4 칩에 합성한 회로는 1.30 Msps 즉 2.60 Mbps의 처리 속도를 가진다.

한편 STR 및 CPR의 포착 및 추적성능을 각각 그림5-5, 그림5-6에 나타내었다. 그림에서 알 수 있듯이

심볼 타이밍 오프셋과 위상 오프셋을 정확하게 포착하고 추적함을 알 수 있다. 그림 5-5에서 preamble 인덱스는 심볼 동기를 위해 패킷 data에 +1, -1을 주기적으로 발생하는 패턴이 존재하는 경우를 의미한다. 그림 5-6에서는 설계한 CPR의 성능을 COSTAS Loop과 비교하여 도시하였다. 포착은 매우 빠르나 위상 추적과정에서 위상 jitter가 조금더 발생하였다.

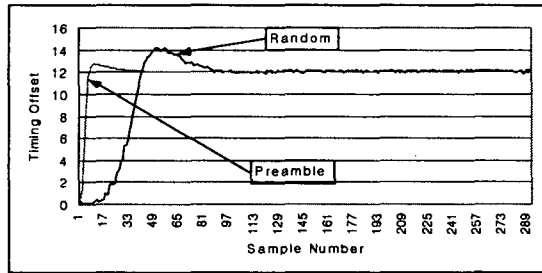


그림 5-5. STR의 포착 및 추적 성능

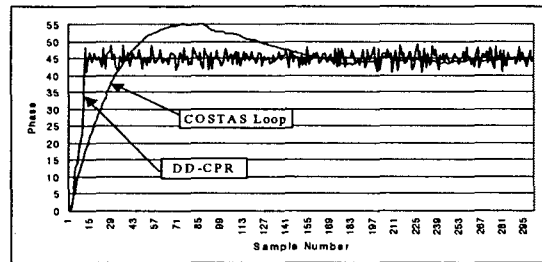


그림 5-6. CPR의 위상 포착 및 추적 성능

6. 결 론

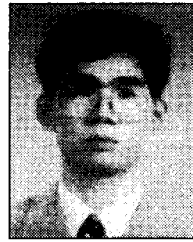
본 논문에서는 기존의 아날로그/디지털 혼합형 복조기와 all-digital 방식의 QPSK 복조기를 비교하였고, all-digital QPSK 복조기 구현에 소요되는 요소기술들을 분석하였다. 그리고 실제 H/W 설계측면에서 설계 방식들을 제안하였으며 설계한 all-digital 방식의 QPSK 복조기를 CPLD 칩에 구현하여 그 동작을 검토하였다. 설계한 all-digital QPSK 복조기는 splitter에 의한 기저대역 변환, DD-Gardner 방식을 기초로 한 STR과 Decision-Directed 동기화 방식으로 설계한 CPR로 나누어 구현하였다. STR에서는 샘플링 rate를 증가 시켜 오차를 줄이는 효과를 얻기 위해 Interpolator를 적용하였고, DD-Gardner의 구조를 곱셈기를 제거한 간단한 논리 회로로 대체하였으며, Loop Filter는 2

차 구조를 사용하여 구현하였다. CPR에서는 STR을 구현할 때에 사용한 Multiplier를 기초로 하여 구현하였으며, LPF도 역시 STR 구현할 때에 사용한 Loop Filter를 기반으로 구현하였다.

이러한 기술들을 적용하여 CPLD 칩으로 구현한 결과, EPF10K100GC503-4 칩에 합성한 복조기는 총 100,000 게이트 중에 87%를 사용하였고, 복조기의 경우는 2.6 Mbps 처리 속도를 가진다. Speed grade 1인 CPLD 칩에서 구현하면 5배 정도 고속화가 가능하고, 설계된 all-digital QPSK 복조기를 ASIC으로 구현할 경우 CPLD 속도의 5~6배 이상 고속화가 가능하므로 약 50 Mbps급 all-digital QPSK 복조가 가능하다.

참 고 문 헌

- [1] 3GPP Technical Specification 25.213
- [2] Specification of the Bluetooth system, version 1.0B
- [3] IEEE Std 802.11a-1999 : part11:Wireless LAN Medium Access Control and Physical Layer specifications
- [4] J.J.Poklamba, et.al., "A digitally Implemented Modem : Theory and Emulation Results," COMSAT Technical Review, 1992
- [5] J.K.Cavers, et.al., "Adaptive Compensation for Imbalance and Offset Losses in Direct Conversion Transceivers," IEEE Trans on Vehicular Technology, Nov., 1993
- [6] F.M. Gardner, "A BPSK/QPSK Timing- Error Detector for Sampled Receivers", *IEEE Trans. On Comm.*, Vol. 34, NO. 5, May 1986.
- [7] M.P. Fitz, "Decision-Directed Burst-Mode Carrier Synchronization Techniques", *IEEE Trans. On Comm.*, Vol. 40, NO. 10, Nov. 1992.
- [8] 양오, 디지털시스템 설계 및 응용, 북두출판사, 1998
- [9] D.L. Perry, VHDL, McGraw-Hill, Inc. 1995.



고 성 찬 (Sung-Chan Ko)

1987년 2월 : 성균관대학교
전자공학 학사

1989년 2월 : 성균관대학교
통신공학 석사

1993년 2월 : 성균관대학교
통신공학 박사

1993년 3월 ~ 1996년 2월 : 한국전자통신연구소
선임연구원

1997년 3월 ~ 1998년12월 : 한국전자통신연구원
초빙연구원

1996년 3월 ~ 현재 : 안동대학교 정보통신학과
부교수

<관심분야> 위성통신, 이동통신, 변.복조기술,
채널코딩, FPGA 기술 등



정 지 원 (Ji-Won Jung)

1989년 2월 : 성균관대학교 전자공학
학사

1991년 2월 : 성균관대학교 전자공학
석사

1995년 2월 : 성균관대학교 전자공학
박사

1991년 1월 ~ 1992년 2월 : LG 정보통신 연구소

1995년 9월 ~ 1996년 8월 : 한국통신 선임연구원

2001년 8월 ~ 2002년 8월: 캐나다 CRC 초빙연구원

1997년 3월 ~ 1998년12월 : 한국전자통신연구원 초빙
연구원

1996년 9월 ~ 현재 : 한국해양대학교 전파공학과
부교수

<관심분야> 위성통신, 이동통신, 변.복조기술,
채널코딩, FPGA 기술 등