

論文2003-40SD-10-4

Evanescent-Mode를 이용한 MOSFET의 단채널 효과 분석

(Evanescent-Mode Analysis of Short-Channel Effects in MOSFETs)

李知映*, 申炯淳*

(Ji-Yeong Lee and Hyung-Soon Shin)

요약

Super-steep retrograded channel (SSR)을 갖는 bulk MOSFET, fully-depleted SOI, double-gate MOSFET 구조에 대하여 단채널 효과를 비교 분석하였다. Evanescent-mode를 이용하여, 각 소자 구조에 대한 characteristics scaling-length (λ)를 추출할 수 있는 수식을 유도하고 추출된 λ 의 정확도를 소자 시뮬레이션 결과와 비교하여 검증하였다. 70 nm CMOS 기술에 사용 가능하도록 단채널 효과를 효과적으로 제어하기 위해서는 최소 게이트 길이가 5λ 이상이어야 하며 SSR 소자의 공핍층 두께는 약 30 nm 정도로 스케일링 되어야 한다. High- κ 절연막은 equivalent SiO₂ 두께를 매우 작게 유지하지 않을 경우 절연막을 통한 드레인 전계의 침투 때문에 소자를 스케일링하는데 제한을 갖는다.

Abstract

Short channel effects (SCE) of bulk MOSFET with super-steep retrograded channels (SSR), fully-depleted SOI, and double-gate MOSFET have been analyzed using a evanescent-mode analysis. Analytical equations of the characteristics scaling-length (λ) for three structures have been derived and the accuracy of the calculated λ was verified by comparing to the device simulation result. It is found that the minimum channel length should be larger than 5λ and the depletion thickness of the SSR should be around 30 nm in order to be applicable to 70 nm CMOS technology. High- κ dielectric shows a limitation in scaling due to the drain-field penetration through the dielectric unless the equivalent SiO₂ thickness is very thin.

Keyword : Short-channel effect, CMOS structure, evanescent-mode, characteristics scaling-length

I. 서론

CMOS 소자의 스케일링은 chip의 동작 속도 향상을 위한 가장 주요한 요소이다. 높은 동작 속도와 고 집적

도를 이루기 위하여 CMOS 소자의 크기를 지속적으로 스케일링 하여 왔으며 따라서 단채널 효과를 제어하는 것이 더욱 어려워지고 있는 추세이다. 고속 동작 processor 기술을 위하여 MOSFET의 게이트 길이는 100 nm 이하로 축소되고 있으며 2 nm 이하의 산화막 두께를 적용하여 단채널 효과를 제어하고 있다.

* 正會員, 梨花女子大學校 情報通信學科
(Department of Information Electronics Engineering
Ewha Womans University)

※ 본 연구는 하이닉스 반도체의 연구비 지원에 의하여 수행되었습니다.

接受日字:2003年1月8日, 수정완료일:2003年10月9日

International Technology Roadmap for Semiconductors (ITRS)에^[1] 따르면 2006년까지 70 nm CMOS을 이용한 반도체 소자의 대량 생산을 목표로 현재의

소자 스케일링 경향은 계속될 것이다. 따라서, sub-100 nm MOSFET에서 threshold voltage roll-off, drain-induced barrier lowering (DIBL), 그리고 subthreshold slope과 같은 단채널 효과를 효과적으로 제어하면서 소자의 성능을 향상시키는 것이 더욱 중요해 지고 있다. 기존에 발표된 다양한 소자 구조들 중 super-steep retrograded (SSR) channel을 갖는 bulk MOSFET^[2], fully-depleted SOI (FDSOI)^[3], 그리고 double-gate (DG) MOSFET^[4,5] 단채널 효과를 제어하는 소자 구조로 그 적용 가능성이 가장 높은 소자들이다.

짧은 게이트 길이를 갖는 소자에서 전압분포는 2차원 (2-D) 형태를 갖기 때문에, subthreshold 영역에서의 단채널 효과를 분석하려면 2-D Poisson 식을 고려하여야 한다. 따라서 기존의 분석 방법은 2-D 소자 시뮬레이터의 사용이 필수적이었으나 본 논문에서는 evanescent-mode를 이용하여 2-D scaling length (λ)를 예측할 수 있는 수식을 유도하였으며 그 정확도를 검증하였다. 또한, 계산된 λ 를 이용하여 소자의 구조 변화에 의한 단채널 효과의 변화를 비교 분석하여 sub-100 nm CMOS 소자 구조의 최적화를 위한 guideline을 제시하였다.

II. CHARACTERISTIC SCALING-LENGTH(λ)

각각의 소자 구조에 대하여 게이트 길이 변화에 따른 단채널 효과를 정확하게 예측하려면 소자 시뮬레이터를 이용하여 2-D 효과를 분석하여야 한다^[6]. 그러나 subthreshold 영역에서 2-D 효과를 고려한 최근의 분석 결과는^[7,8] characteristic scaling-length가 이러한 2-D 효과를 효과적으로 대변할 수 있음을 보이고 있다. MOSFET 채널 영역의 전압 분포는 source/drain 영역에 인가된 전압에 의하여 영향을 받는다. 소자가 subthreshold 영역에 있도록 전압이 인가된 경우, 채널 내의 전압 분포는 exponential 함수, $\psi(x,y) \propto \exp(\pm \frac{x}{\lambda})$, 형태를 갖는다. Exponential decay constant(λ)는 characteristic scaling-length라 정의되고, 주어진 소자 구조에서 단채널 효과를 평가하는데 사용된다. 즉 λ 가 큰 값을 갖는 소자 구조는 드레인 전계가 소오스 방향으로 더욱 깊숙하게 침투하는 경우이므로 단채널 효과가 크다. 따라서 V_T roll-off나 DIBL과 같은 단채널 효

과의 중요한 파라미터들은 λ 와 상관관계를 갖고 있다. Characteristic scaling-length를 예측할 수 있는 수식은 소자 구조 변화에 따른 단채널 효과 감소를 효과적으로 예측하고 소자 구조의 guideline을 설정하는데 매우 유용하다.

III. EVANESCENT-MODE ANALYSIS

Evanescent-mode analysis는^[9] 채널 전압 분포의 2-D 효과를 포함한 단채널 효과를 분석하는 유용한 방법이다. 본 논문에서는 이 방법을 다양한 소자 구조에 적용하여 소자 구조 변화에 따른 단채널 효과의 증감을 비교하고 그 원인을 분석하였다.

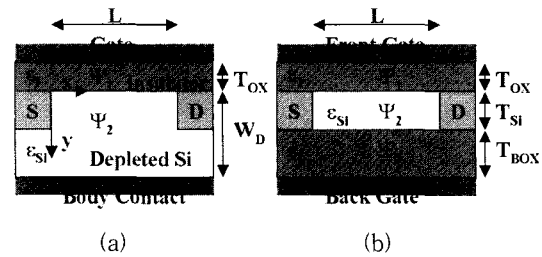


그림 1. 단면도 (a) SSR (b) FDSOI structures. DG MOSFET의 경우 $T_{ox} = T_{box}$
 Fig. 1. Schematic diagrams of (a) SSR and (b) FDSOI structures. $T_{ox} = T_{box}$ for DG MOSFET.

<그림 1>은 SSR, FDSOI 및 DG MOSFET의 단면도이다. Superposition을 이용하여 MOSFET의 절연막 및 채널에서의 전압은 (ψ_1, ψ_2) 다음과 같이 표현된다.

$$\begin{aligned} \psi_1 &= \psi_{L1}(y) + \psi_{S1}(x,y) \\ \psi_2 &= \psi_{L2}(y) + \psi_{S2}(x,y) \end{aligned} \quad (1)$$

여기서 ψ_{Li} 는 주어진 게이트 전압 상태에서 Poisson 식을 만족시키는 long-channel solution이다. ψ_{Si} 는 Laplace 식을 만족시키는 short-channel solution으로 source/drain에 인가된 전압의 영향을 포함하고 있다^[9]. ψ_S 는 Fourier expansion을 이용하여 다음과 같이 무한 급수로 전개할 수 있다.

$$\psi_{S1} = \sum_{n=1}^{\infty} \sin(n \frac{y+T_{ox}}{\lambda}) [A_{1Ln} \exp(\frac{-nx}{\lambda}) + A_{1Rn} \exp(\frac{nx}{\lambda})] \quad (2)$$

$$\Psi_{S2} = \sum_{n=1}^{\infty} \sin\left(n \frac{y - W_D}{\lambda} + n\pi\right) [A_{2Ln} \exp\left(\frac{-nx}{\lambda}\right) + A_{2Rn} \exp\left(\frac{nx}{\lambda}\right)]$$

높은 차수의 성분들은 매우 빠르게 감소하기 때문에 가장 낮은 차수의 성분이 단채널 효과에 가장 중요하다.

$$\begin{aligned} \Psi_{S1} &\approx \sin\left(\frac{y + T_{OX}}{\lambda}\right) [A_{1Ln} \exp\left(\frac{-x}{\lambda}\right) + A_{1Rn} \exp\left(\frac{x}{\lambda}\right)] \\ \Psi_{S2} &\approx \sin\left(\frac{y - W_D}{\lambda} + \pi\right) [A_{2Ln} \exp\left(\frac{-x}{\lambda}\right) + A_{2Rn} \exp\left(\frac{x}{\lambda}\right)] \end{aligned} \quad (3)$$

여기서 x 는 source/drain에 대한 수평 방향이고 y 는 수직 방향이다. 식 (3)은 gate/SiO₂ 경계면 및 SSR의 공핍층 하단에서 경계조건 $\Psi_{Si} = 0$ 을 만족시키도록 y 에 대하여 sine 함수 형태를 갖고 있다. 또한 Ψ_{Si} 는 boundary 사이에서 sine 함수의 1/2 주기를 갖는다. Si/SiO₂ 경계면에서 만족하여야 하는 dielectric 경계조건은 다음과 같다.

$$\begin{aligned} \Psi_{S1}(x, 0) &= \Psi_{S2}(x, 0) \\ \epsilon_J \frac{\partial \Psi_{S1}}{\partial y}(x, 0) &= \epsilon_{Si} \frac{\partial \Psi_{S2}}{\partial y}(x, 0) \end{aligned} \quad (4)$$

따라서 식 (3)에 식 (4)의 경계 조건을 적용하면 λ 에 대한 수식을 각각의 MOSFET 구조에 대하여 유도할 수 있다.

$$\frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot \tan \frac{T_{OX}}{\lambda} + \tan \frac{W_D}{\lambda} = 0 \quad \text{SSR} \quad (5a)$$

$$\begin{aligned} \tan \frac{T_{Si}}{\lambda} + \frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot \left(\tan \frac{T_{OX}}{\lambda} + \tan \frac{T_{BOX}}{\lambda} \right) \\ = \left(\frac{\epsilon_{Si}}{\epsilon_{ox}} \right)^2 \cdot \tan \frac{T_{Si}}{\lambda} \cdot \tan \frac{T_{OX}}{\lambda} \cdot \tan \frac{T_{BOX}}{\lambda} \quad \text{FDSOI} \end{aligned} \quad (5b)$$

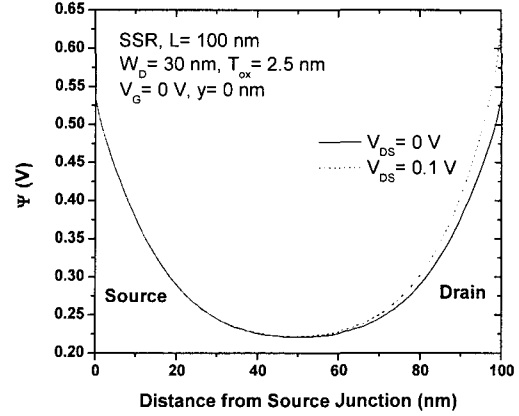
$$\frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot \tan \frac{T_{OX}}{\lambda} \cdot \tan \frac{T_{Si}}{2\lambda} = 1 \quad \text{DG} \quad (5c)$$

여기서 T_{OX} , T_{BOX} , T_{Si} , W_D 는 각각 front gate-oxide, back gate-oxide, Si-film, 공핍층의 두께를 나타낸다. 위의 수식들은 채널이 inversion 전하가 매우 낮은 경우를 가정하고 유도되었으므로 subthreshold 영역에서만 적용이 가능하다.

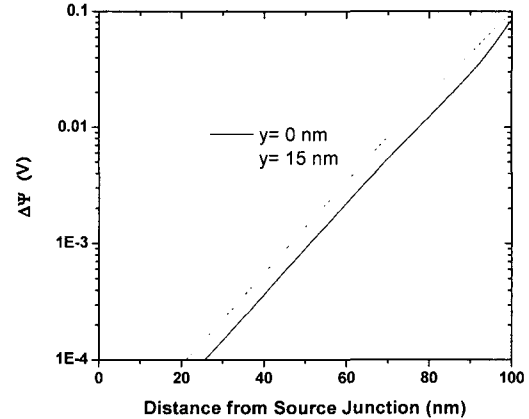
IV. 결과 및 토의

Evanescent-mode analysis로 추출되는 λ 는 Si/SiO₂

경계면이나 채널 중간에서의 특성뿐만 아니라 채널 전체의 속성을 내포하고 있으므로 채널의 수직방향 위치에 무관하게 일정한 값을 갖는다. <그림 2>는 2차원 소자시뮬레이터인 MEDICI를 사용한 결과이다^[6]. <그림 2(a)>는 V_{DS}가 0 V, 0.1 V인 경우에 SSR의 Si/SiO₂ 경계면에서의 전압 분포를 나타낸 그림이며 <그림 2(b)>는 이 전압 차이를 $y = 0$ 과 15 nm인 곳에서 semi-log로 그린 그래프이다. $\Delta \Psi(x, y) \propto \exp\left(\pm \frac{x}{\lambda}\right)$ 이므



(a)



(b)

그림 2. (a) V_{DS}= 0 V, 0.1 V일 때 SSR 소자의 채널 전압 분포 (b) $y = 0$ nm, 15 nm에서의 ΔV

Fig. 2. (a) Potential along the channel of a SSR with applied source-drain biases of 0 V and 0.1 V. (b) The difference between the channel potentials with applied source-drain biases of 0 V and 0.1 V shown on a semi-log plot at two transverse positions in the channel.

로, λ 는 <그림 2(b)>에서 각 curve의 linear 영역에서의 기울기에서 추출할 수 있다. 각 선들이 동일한 기울기를 갖고 있으므로 characteristic scaling-length λ 가 수직방향 위치에 무관하게 일정함을 알 수 있다.

식 (3)에서 보는 바와 같이 채널에서의 전압은 식 $\psi \propto \exp(\pm \frac{x}{\lambda})$ 에 따라 변한다. 따라서 L/λ 는 각 소자 구조의 단채널 효과를 나타내게 되며 L/λ 가 작은 경우 DIBL과 같은 2-D 효과가 증가하게 된다. 단채널 효과와 L/λ 의 상관관계를 알아보기 위하여 두 가지 다른 구조의 MOSFET에 대하여 2-D 소자 시뮬레이션을 수행하였다.<그림 3> DIBL과 L/λ 사이의 관계가 두 구조에서 거의 완벽하게 일치하였고, 그 기울기는 -3으로 이는 punch-through 전압이 L3에 비례하는 것에 기인한다^[10]. <그림 3>에서 보는 바와 같이 DIBL을 < 60 mV로 유지하기 위하여 최소 게이트 길이는 (L_{min}) 5 λ 보다 크게 유지하여야 한다. 따라서 70 nm CMOS technology에 적용 가능한 MOSFET들은 $\lambda < 14$ nm

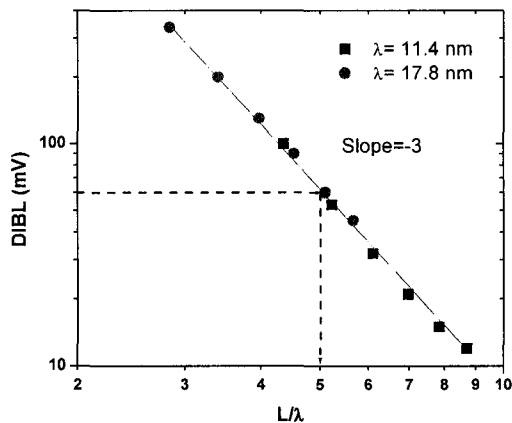


그림 3. 다른 λ 값을 갖는 두가지 소자에 대한 DIBL vs. L/λ 그래프. Symbol data는 SSR ($\lambda = 17.8$ nm, $W_D = 50$ nm, $T_{OX} = 2$ nm) 및 DG ($\lambda = 11.4$ nm, $T_{Si} = 30$ nm, $T_{OX} = 1$ nm) 구조에 대한 소자 시뮬레이션에서 추출된 결과이다. DIBL은 $V_T(V_{DS} = 0.1) - V_T(V_{DS} = 1.0)$ 으로 정의하였다.

Fig. 3. DIBL vs. L/λ , showing the dependence of SCE on channel length for two structures with different λ . Based on the device simulations of DG structure with $\lambda = 11.4$ nm ($T_{Si} = 30$ nm, $T_{OX} = 1$ nm), and SSR structure with $\lambda = 17.8$ nm ($W_D = 50$ nm, $T_{OX} = 2$ nm). DIBL is defined as $V_T(V_{DS} = 0.1) - V_T(V_{DS} = 1.0)$.

가 되도록 소자 구조를 최적화하는 것이 필요하다.

Evanescent-mode 분석의 정확도를 검증하기 위하여 <그림 4>와 같이 SSR 구조에 대하여 소자 시뮬레이션에서 추출된 λ 와 수식에서 계산된 λ 값을 비교하였으며

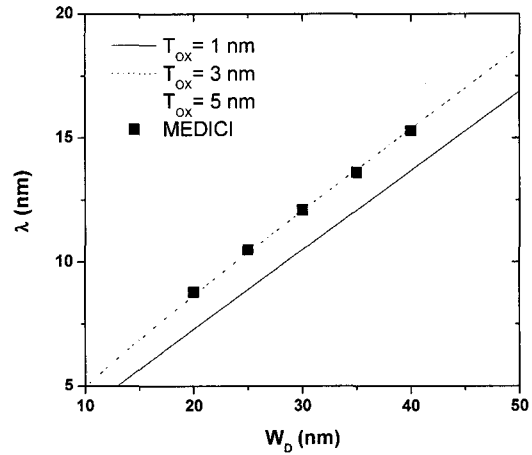


그림 4. Super-Steep-Retrograde Channel 소자에 대한 λ - W_D 그래프. Symbol data는 소자 시뮬레이션에서 추출된 결과이다.

Fig. 4. Plot of λ versus W_D for three values of T_{OX} for Super-Steep-Retrograde Channel. λ obtained from evanescent-mode analysis (lines) is compared with MEDICI simulation results (symbol).

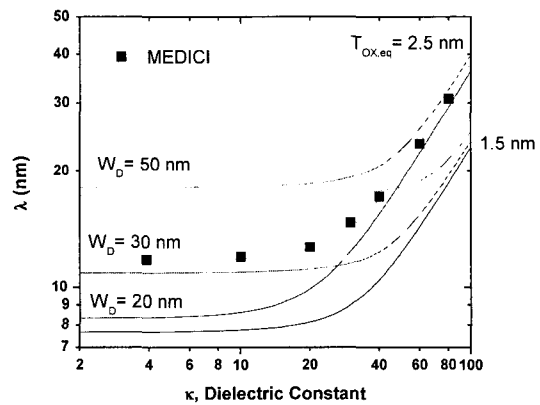


그림 5. 다양한 W_D 와 equivalent oxide thickness 값에 대한 λ - κ 그래프. Symbol data는 소자 시뮬레이션에서 추출된 결과이다.

Fig. 5. Plot of λ versus dielectric constant for three values of depletion depth and two values of equivalent oxide thickness. For comparison, the symbol data are value of λ extracted from MEDICI simulations.

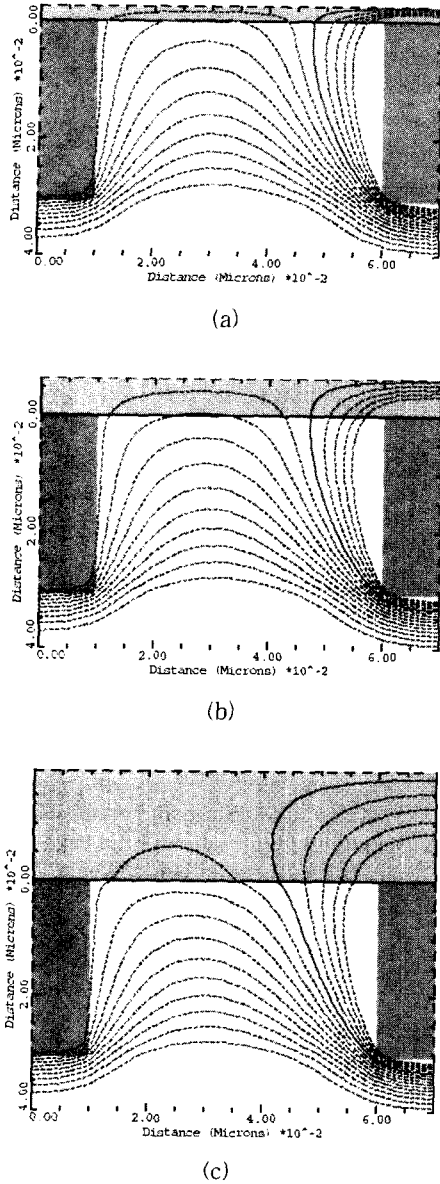


그림 6. SSR 소자의 전압 분포 ($V_{GS} = 0$ V, $V_{DS} = 1$ V, $L_{CH} = 50$ nm, $T_{ox,eq} = 2.5$ nm) (a) $\kappa = 3.9$, (b) 10, (c) 30. 실선은 0.6 V인 경우이며 각 contour의 ΔV 는 0.1 V임
 Fig. 6. Contours of potential ($V_{GS} = 0$ V, $V_{DS} = 1$ V, $L_{CH} = 50$ nm, $T_{ox,eq} = 2.5$ nm) for SSR structures with (a) $\kappa = 3.9$, (b) 10, and (c) 30. Solid line is contour of 0.6 V and $\Delta V = 0.1$ V for each contour.

evanescent-mode 분석으로부터 얻은 결과와 소자 시뮬레이션 결과가 일치한다. λ 값을 14 nm 정도로 유지하기 위하여 공핍층 두께 (W_D)가 30 nm 정도로 최소화

되어야 함을 알 수 있다. 또한 기울기가 T_{ox} 가 감소함에 따라 조금씩 감소하며 λ 는 W_D 에 대하여 linear하게 변화한다.

단채널 효과의 제어를 위하여 산화막 두께가 감소하여야 하며 이에 따라 direct tunneling에 의한 게이트 전류가 sub-100 nm 소자의 새로운 문제점으로 나타나고 있으며 이에 따라 high- κ 절연막에 대한 연구가 활발히 진행되고 있다. <그림 5>는 다양한 W_D 와 equivalent 산화막 두께 ($T_{ox,eq}$)에 대하여 λ 와 dielectric constant (κ)의 상관관계를 나타내고 있다. 여기서 symbol 데이터는 $W_D = 30$ nm, $T_{ox,eq} = 2.5$ nm 인 SSR 소자에 대한 소자 시뮬레이션 결과에서 추출된 λ 값으

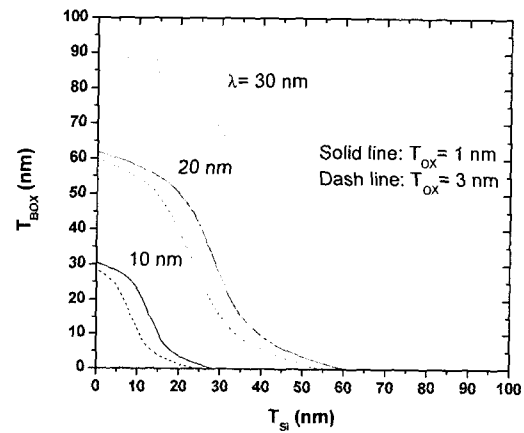


그림 7. FDSOI에서 $T_{BOX}-T_{Si}$ 그래프
 Fig. 7. Plot of T_{BOX} versus T_{Si} for three values of λ and two values of T_{ox} for FDSOI.

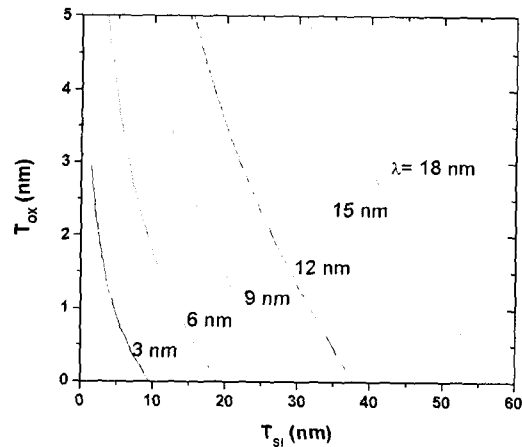


그림 8. DG MOSFET에서 $T_{OX}-T_{Si}$ 그래프
 Fig. 8. Plot of T_{OX} versus T_{Si} for DG MOSFET.

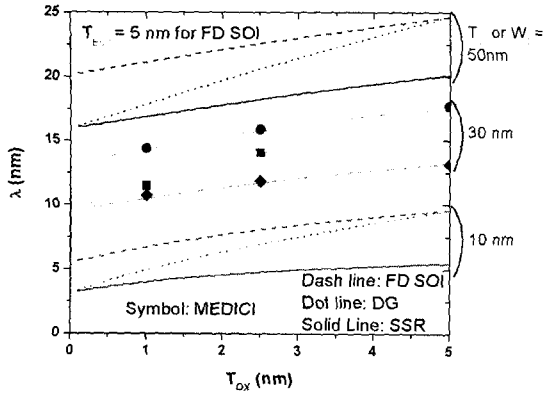


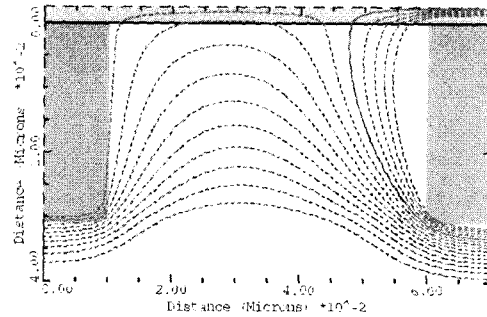
그림 9. T_{Si} (DG, FDSOI) 혹은 W_D (SSR)에 따른 λ vs. T_{OX} 그래프. FDSOI의 경우 $T_{BOX} = 5$ nm로 고정됨. Symbol data는 소자 시뮬레이션에서 추출된 값이다.

Fig. 9. λ vs. T_{OX} for various T_{Si} (DG, FDSOI) and W_D (SSR). T_{BOX} is fixed at 5 nm for FDSOI. λ obtained from evanescent-mode analysis (lines) is compared with MEDICI simulation results (symbol).

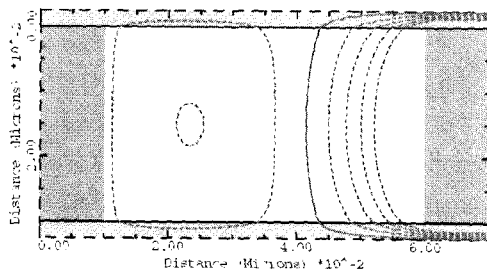
로 수식에서 계산된 결과와 일치함을 알 수 있다. 그림에서 보는 바와 같이 W_D 와 $T_{OX,eff}$ 의 선택에 따라 λ 가 증가하기 시작하는 최대값 k 가 존재한다. 따라서 k 가 20 이상인 절연막은 소자의 단채널 효과 증가가 심화되므로 사용이 불가능함을 알 수 있다. <그림 6>에 $T_{OX,eff} = 2.5$ nm인 SSR 소자에서 다양한 k 에 따른 전압 분포를 비교하였다. $k = 30$ 인 소자의 전압 분포에서 보는 바와 같이 드레인 전계가 절연막을 통하여 소스 쪽으로 깊게 침투하는 현상을 보이고 있으며 이에 따라 <그림 5>에서 보는 바와 같이 λ 가 증가하게 된다.

<그림 7>은 FDSOI에서 다양한 T_{OX} 및 λ 값에 따른 T_{Si} 와 T_{BOX} 의 상관관계를 보이고 있다. 그림에서 보는 바와 같이 T_{Si} 뿐만 아니라 T_{BOX} 를 스케일링하는 것이 단채널 효과를 제어하는데 중요하며, 70 nm CMOS technology를 위하여 T_{BOX} 는 40 nm보다 작아야 함을 보여준다. T_{OX} 와 T_{Si} 에 따른 DG MOSFET의 scaling-length의 변화를 <그림 8>에서 볼 수 있다. 그림에서 보는 바와 같이 DG MOSFET의 경우 λ 는 T_{OX} 보다 T_{Si} 증가에 따라 더 증가하게 된다. 따라서 T_{Si} 의 scaling 및 uniformity는 DG MOSFET의 최적화에 매우 중요하며 70 nm technology에 적용 가능하기 위하여 T_{Si} 는 40 nm보다 작아야 한다.

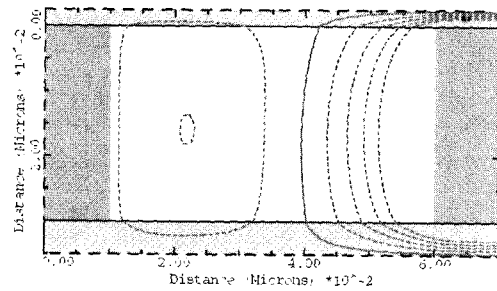
SSR, FDSOI 및 DG MOSFET 소자의 단채널 효과



(a)



(b)



(c)

그림 10. SSR, FDSOI, DG MOSFET의 전압 분포 비교 ($V_{GS} = 0$ V, $V_{DS} = 1$ V, $L_{CH} = 50$ nm). 실선은 0.6 V인 경우이며 각 contour의 ΔV 는 0.1 V임. (a) SSR ($T_{OX} = 2.5$ nm, $W_D = 30$ nm), (b) DG ($T_{OX} = 2.5$ nm, $T_{Si} = 30$ nm), (c) FDSOI ($T_{OX} = 2.5$ nm, $T_{Si} = 30$ nm, $T_{BOX} = 5$ nm)

Fig. 10. Contours of potential ($V_{GS} = 0$ V, $V_{DS} = 1$ V, $L_{CH} = 50$ nm). Solid line is contour of 0.6 V and $\Delta V = 0.1$ V for each contour. (a) SSR ($T_{OX} = 2.5$ nm, $W_D = 30$ nm), (b) DG ($T_{OX} = 2.5$ nm, $T_{Si} = 30$ nm), (c) FDSOI ($T_{OX} = 2.5$ nm, $T_{Si} = 30$ nm, $T_{BOX} = 5$ nm).

를 비교하기 위하여 식 (5)로 계산된 λ 를 세가지 소자에 대하여 비교하였다. 다양한 T_{Si} 와 (FDSOI 및 DG)

W_D (SSR)에서 T_{OX} 에 따른 λ 의 상관성을 <그림 9>에 보이고 있다. Symbol 테이터는 식 (5)의 정확성을 검증하기 위하여 소자 시뮬레이션 결과에서 추출한 값으로 수식 결과와 소자 시뮬레이션결과가 일치함을 알 수 있다. <그림 9>에서 보면 70 nm CMOS technology에 적용 가능한 $\lambda < 14$ nm 를 유지하기 위하여 T_{Si} 는 30nm 정도의 값을 가져야 한다. W_D , T_{Si} , T_{OX} 값을 고정한 상태에서 FDSOI의 λ 는 SSR의 λ 보다 항상 더 큰 값을 가지며 DG는 FDSOI와 SSR의 중간 값을 갖는다. <그림 9>에서 DG MOSFET의 기울기가 다른 소자에 비하여 큰 것은 front와 back 산화막 두께가 동시에 증가하기 때문이다. <그림 10>에 세가지 구조의 전압 분포를 비교하였다. FDSOI는 두꺼운 back-gate-oxide 때문에 드레인 전계가 소오스 방향으로 가장 크게 침투하는 현상을 보인다. 반면에 SSR은 substrate 전위에 의하여 potential contour의 침투를 감소시키는 현상을 보인다.

V. 결 론

Evanescent-mode analysis는 단채널 효과를 효율적으로 분석하는 방법이다. 소자시뮬레이터를 사용하는 경우 많은 양의 CPU 시간을 요구하는 반면에 Evanescent-mode analysis는 수식을 이용하여 짧은 시간 내에 소자의 구조변화에 따른 단채널효과의 변화를 예측하는 것이 가능하다. 이 방법을 SSR, FDSOI 및 DG 소자에 적용하여 characteristic scaling-length (λ)에 대한 수식을 유도 하였으며 세가지 소자의 단채널 효과를 비교하였다. DIBL과 L/λ 의 상관관계에서 DIBL < 60 mV를 유지하기 위하여 L_{min} 이 5λ 보다 크게 유지되어야 함을 알 수 있다. 따라서 70 nm CMOS technology에 적용 가능하려면 $\lambda < 14$ nm가 되어야 하며 SSR의 W_D 와 FDSOI 나 DG structure의 T_{Si} 는 30 nm 정도로 최소화되어야 한다. 절연막의 dielectric constant (κ)가 과도하게 증가하는 경우 절연막을 통한 drain 전계의 침투가 증가하여 단채널 효과를 증가시킨다. 따라서 gate tunneling current와 단채널 효과 사이의 trade-off에 의한 κ 및 $T_{ox,eq}$ 의 최적화가 요구된다.

참 고 문 헌

- [1] International Technology Roadmap for Semiconductors 2001 edition, <http://public.itrs.net/Files/2001ITRS/Home.htm>
- [2] I. De and C.M. Osburn, "Impact of Super-Steep-Retrograde Channel Doping Profiles on the Performance of Scaled Devices", IEEE Transactions on Electron Device, ED-46, p. 1711, 1999.
- [3] H. Meer and K. Meyer, "The Spacer/Replacer Concept: A Viable Route for Sub-100 nm Ultrathin-Film Fully-Depleted SOI CMOS", IEEE Electron Device Letters, EDL-23, p. 46, 2002.
- [4] K. Kim and J.G. Fossum, "Double-Gate CMOS: Symmetrical-Versus Asymmetrical-Gate Devices", IEEE Transactions on Electron Device, ED-48, p. 294, 2001.
- [5] M. Jeong, H. Wong, E. Nowak, J. Kedziers, and E. Jones, "High Performance Double-Gate Device Technology Challenges and Opportunities", in Proceedings of International Symposium on Quality Electronic Design, p. 18, March 2002.
- [6] MEDICI V.2001.4, Fremont: Avant!, 2001.
- [7] D.J. Frank, Y. Taur, and H.P. Wong, "Generalized Scale Length for Two-Dimensional Effects in MOSFET's", IEEE Electron Device Letters, EDL-19, p. 385, 1989.
- [8] S.H. Oh, D. Monroe, and J.M. Hergenrother, "Analytic Description of Short-Channel Effects in Fully-Depleted Double-Gate and Cylindrical, Surrounding-Gate MOSFETs", IEEE Electron Device Letters, EDL-21, p. 445, 2001.
- [9] T.N. Nguyen, "Small-geometry MOS Transistors: Physics and Modeling of Surface-and Buried-Channel MOSFETs", Ph.D. dissertation, Stanford Univ., Stanford, CA, 1984.
- [10] S. Wolf, Silicon Processing for the VLSI Era, Vol. 3 - The Submicron MOSFET, New York: Lattice Press, 1995, p.235.

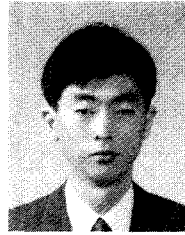
[1] International Technology Roadmap for

저 자 소 개



李 知 映(正會員)

2002년 2월 : 이화여자대학교 정보통신학과 졸업(학사). 현재 : 이화여자대학교 정보통신학과 석사과정 재학 중



申 炯 淳(正會員)

1982년 2월 : 서울대학교 전자공학과 졸업 (학사). 1984년 : 12월 미국 University of Texas at Austin 졸업 (석사). 1990년 5월 : 미국 University of Texas at Austin 졸업 (박사). 1990년~1994년 : LG 반도체 근무. 1995년~현재 : 이화여자대학교 공과대학 전자공학과 근무. 현재 : 교수. <주관심분야 : 반도체 소자 구조, 모델링, RF CMOS.>