

論文 2003-40SD-10-5

Gate-All-Around SOI MOSFET의 소자열화

(Hot Electron Induced Device Degradation in Gate-All-Around SOI MOSFETs)

崔洛從*, 劉宗根*, 朴鍾泰*

(Nag Jong Choi, Chong Gun Yu, and Jong Tae Park)

요약

SIMOX 웨이퍼를 사용하여 제작된 GAA 구조 SOI MOSFET의 열전자에 의한 소자열화를 측정·분석하였다. nMOSFET의 열화는 스트레스 게이트 전압이 문턱전압과 같을 때 최대가 되었는데 이는 낮은 게이트 전압에서 PBT 작용의 활성화로 충격이온화가 많이 되었기 때문이다. 소자의 열화는 충격이온화로 생성된 열전자와 홀에 의한 계면상태 생성이 주된 원인을 degradation rate와 dynamic transconductance 측정으로부터 확인하였다. 그리고 pMOSFET의 열화의 원인은 DAHC 현상에서 생성된 열전자 주입에 의한 전자 트랩핑이 주된 것임을 스트레스 게이트 전압변화에 따른 드레인 전류 변화로부터 확인 할 수 있었다.

Abstract

This work reports the measurement and analysis results on the hot electron induced device degradation in Gate-All-Around SOI MOSFET's, which were fabricated using commercially available SIMOX material. It is observed that the worst-case condition of the device degradation in nMOSFETs is $V_{GS}=V_{TH}$ due to the higher impact ionization rate when the parasitic bipolar transistor action is activated. It is confirmed that the device degradation is caused by the interface state generation from the extracted degradation rate and the dynamic transconductance measurement. The drain current degradation with the stress gate voltages shows that the device degradation of pMOSFETs is dominantly governed by the trapping of hot electrons, which are generated in drain avalanche hot carrier phenomena.

Keyword : Gate-All-Around SOI, Hot carrier effects, dynamic trans-conductance

I. 서론

MOSFET의 물리적인 크기가 나노 스케일로 축소되면서 회로의 동작속도는 크게 향상되고 있지만 단채널

현상과 DIBL(Drain Induced Barrier Lowering)현상이 더 심해지며 subthreshold 특성은 나빠지고 있다. 일반적으로 SOI MOSFET는 bulk MOSFET에 비해 단채널 현상이 작으며 FD(Fully Depleted) 소자가 PD(Partially Depleted) SOI 소자보다 단채널 현상이 작은 것으로 알려져 있다^[1].

몇 년 전부터 실리콘 박막을 중심으로 상층게이트와 하층게이트를 만든 double gate(DG) SOI 소자가 제안

* 正會員, 仁川大學校 電子工學科

(University of Incheon, Department of Electronics Engineering)

接受日字:2003年4月3日, 수정완료일:2003年10月13日

되어 단채널 현상이 작아지고 subthreshold 특성이 개선되었다는 연구들이 많이 발표되고 있다^{12, 11}. 단채널 현상을 줄이고 subthreshold 특성을 개선할 수 있는 것은 실리콘 박막의 전계분포를 상층과 하층 게이트가 효과적으로 제어할 수 있기 때문이다. 실리콘 박막의 전계를 효과적으로 제어하기 위하여 SGT(Surrounding Gain Transistor)¹⁵, DELTA(Depleted Lean-channel Transistor)¹⁶ 등의 다양한 구조의 SOI 소자들이 제안되었다. 1990년엔 J.P.Colinge 등이 게이트가 실리콘 박막 전체를 둘러싸는 구조인 GAA (Gate-All-Around) 구조 SOL소자를 제안하였으며 volume inversion 특성으로 구동전류가 게이트가 하나인 일반적인 SOL소자에 비해 4배가 크고 단채널 현상이 가장 작은 이상적인 소자임을 보여주었다¹⁷. 그러나 GAA구조 SOI소자는 기존의 SOI 공정기술로 제작이 어려워 실제 IC 제작에 응용하기는 기술적인 문제가 많으므로 최근에 상층게이트와 좌우게이트를 갖는 Pi-게이트 SOL소자가 제안되는 등 multi-gate SOI 소자에 대한 연구가 활발히 진행되고 있다^{18, 19}.

MOSFET 소자의 크기가 축소되면 열전자에 의한 소자열화가 많이 되는 데 SOI MOSFET에서도 이에 대한 연구가 지난 10여 년 동안 많이 진행되었다^{10, 12}. Bulk MOSFET 보다 SOI MOSFET가 열화가 적게 된다는 연구와¹³ 많이 된다는 연구¹¹가 있으며 PD SOI 보다 FD SOI 소자가 열화가 적게 되는 것으로 보고 있으나¹⁵ 최근에 FD SOI 소자의 실리콘 박막 두께가 얇아지면서 buried 산화층의 열화 즉 실리콘 박막의 계면 상태에서 트랩의 증가로 인하여 FD SOI 소자가 PD SOI 소자보다 열화가 많이 된다고 보고되고 있다¹⁶.

현재까지 GAA구조 SOI MOSFET의 I-V특성, 양자역학적 분석¹⁷, radiation damage 및 온도 의존성에 관한 연구¹⁸는 발표되었으나 열전자에 의한 증가형 GAA 소자열화에 관한 연구는 본 연구가 처음이다.

본 연구에서는 SIMOX 웨이퍼를 사용하여 제작된 GAA 구조 n채널 및 p채널 SOI MOSFET의 열전자에 의한 소자열화 현상을 측정 분석하였다.

스트레스 게이트 전압에 따른 드레인 전류변화로부터 nMOSFET와 pMOSFET의 열화가 최대가 되는 바이어스 전압을 구하였으며 게이트 산화층과 실리콘 박막 계면에서의 트랩이 소자 열화의 주요원인임을 dynamic transconductance 측정으로부터 확인하였다.

II. 소자구조 및 측정

GAA 구조 SOI MOSFET는 buried 산화층 두께가 400nm인 SIMOX 웨이퍼를 사용하여 3 μ m 공정규칙에 맞게 제작되었다. <그림 1>은 소자제작의 과정을 간단히 나타낸 것으로 실리콘 박막 위에 pad 산화층 및 Si₃N₄를 증착하고 채널 폭(W)을 정의한 후 bom을 이온 주입한다. 그리고 실리콘 박막의 가장자리를 둥글게 하기 위하여 wet 산화를 한 후 <그림 1(c)>와 같이 실리콘 박막 밑에 게이트 산화층을 만든 후 일반적인 MOSFET 공정을 수행하면 <그림 2>와 같이 모형화된 GAA 구조 SOI MOSFET가 된다. 상세한 공정과정은 참고문헌¹⁷에 자세히 서술되어 있다.

본 연구에 사용된 소자는 실리콘 박막의 두께가 80 nm, 게이트 산화층 두께가 30nm, 설계시 게이트길이는 nMOSFET는 1 μ m, pMOSFET는 2 μ m이며, 채널 폭은 모두 3 μ m이다.

열화 측정시 DC 스트레스는 DACH(Drain Avalanche Hot Carrier)에 의한 열전자가 생성 될 수 있게 하였고 게이트전압을 여러 조건으로 변경하였다. 그리

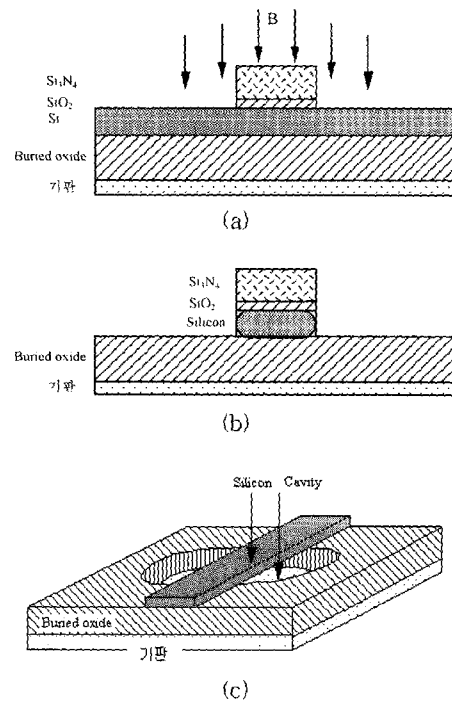


그림 1. GAA 소자 제작 과정
Fig. 1. Simplified process step for GAA device.

고 소자열화가 실리콘 박막과 게이트 산화층 사이의 계면상태 생성에 의한 것임을 확인하기 위하여 <그림 3>과 같은 측정시스템을 이용하여 dynamic transconductances를 측정하였다. <그림 3>에서 드레인 전압은 50mV를 인가하였고 게이트에는 HP4284A를 이용하여 DC=0.7V, AC=30mV 신호를 인가하였다.

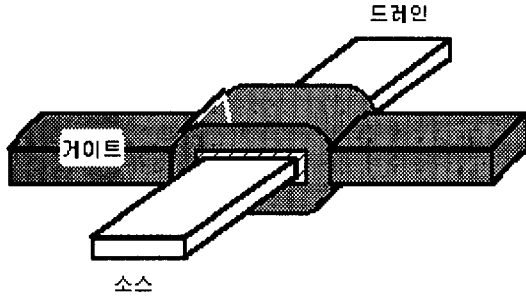


그림 2. GAA 소자의 3차원 도식도
Fig. 2. 3-dimensional view of GAA device.

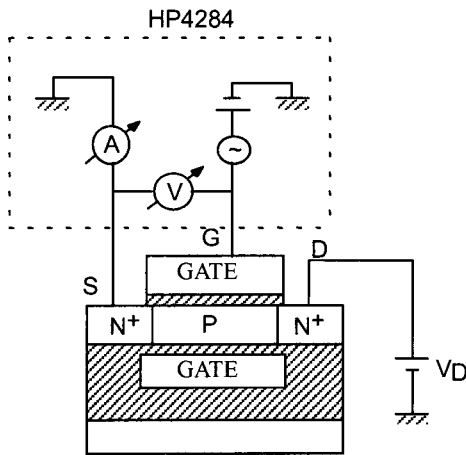


그림 3. Dynamic transconductance 측정 시스템
Fig. 3. Experimental set-up for dynamic transconductance.

III. nMOSFET 열화

사용된 nMOSFET의 기본적인 I-V특성 측정으로부터 유효채널길이 $L_{eff}=0.66\mu m$, 문턱전압 $V_{TH}=0.47V$, subthreshold swing $S=63mV/decade$, 포화전류는 $V_{DS}=2.0V$, $V_{GS}=1V$ 에서 약 $350\mu A$ 이었다. DAHC 현상에 의한 열전자 생성 및 이로 인한 소자열화를 측정하기 위하여 드레인에 3.5V 전압을 인가하고 게이트에는 0.3V~1.2V를 인가하였다.

<그림 4>는 스트레스 시간에 따른 선형영역에서의 드레인 전류변화를 나타낸 것으로 스트레스 시간과 power law 관계에 있음을 알 수 있다. 즉 $\Delta I_{DS}/I_{DS} \propto T_s^n$ 관계로부터 degradation rate n 이 약 0.5정도 되는 것을 알 수 있다. 일반적으로 SOI MOSFET에서 $n=0.25$ 일 때는 전자나 홀 주입이 지배적이며 $n=0.5$ 일 때는 전자와 홀이 동시에 주입되어 계면상태를 생성하는 것으로 알려져 있다^[19]. <그림 4>에서와 같이 스트레스 시간이 증가할수록 드레인 전류가 변화하는 것은 드레인 근처에서 생성된 열전자와 홀이 동시에 게이트 산화층으로 주입되면서 계면상태를 생성하고 그 계면 상태에 전자가 트랩핑 되었기 때문이다. 이런 해석은

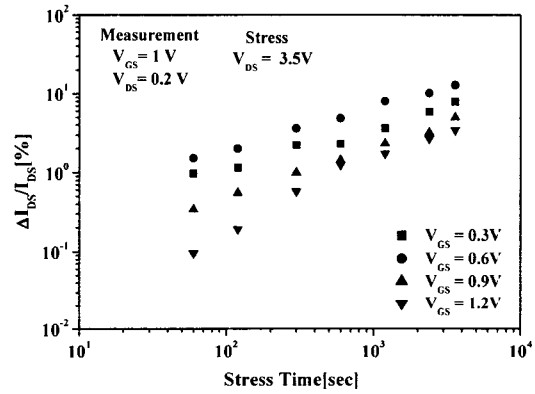


그림 4. 스트레스 시간에 따른 nMOSFET의 드레인 전류 변화
Fig. 4. Drain current degradation versus the stress time in nMOSFETs.

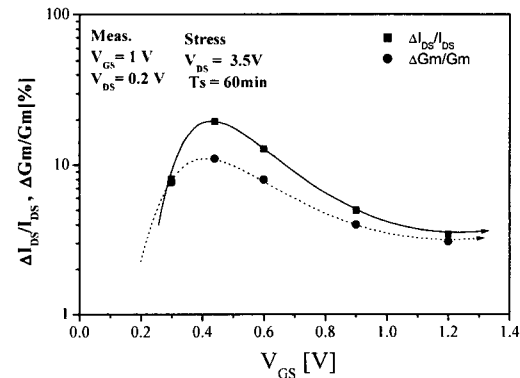


그림 5. 스트레스 게이트 전압에 따른 nMOSFET의 드레인 전류 및 최대 transconductance 변화
Fig. 5. Degradation of drain current and maximum transconductance versus the stress gate voltages in nMOSFETs.

다음의 dynamic transconductances 측정에서도 확인할 수 있었다.

<그림 5>는 스트레스 드레인 전압을 3.5V로 고정시키고 스트레스 게이트전압에 따른 선형영역에서의 드레인 전류 변화와 최대 transconductances 변화를 나타낸 것이다. 소자의 열화가 최대가 되는 게이트 전압이 V_{TH} 와 거의 일치함을 알 수 있다. 이런 현상은 기존의 FD SOI 소자의 열화가 $V_{GS}=V_{TH}$ 에서 최대가 되는 것은 실리콘박막이 floating 되어 있으므로 DAHC현상에서 생성된 홀에 의한 PBT(Parasitic Bipolar Transistor) 활성화에 의한 것과 같은 현상이다^[20].

스트레스 게이트 전압을 고정시키고 드레인 전압을 3.0~3.8V 인가한 경우 n 값은 약 0.5로 드레인 전압에 상관없이 거의 일정하였으며 3.8V에서는 스트레스 1시간 후에 드레인 전류 변화가 약간 포화되는 현상을 볼 수 있었다.

선형영역에서 드레인 전류 변화의 10%를 소자의 수명시간으로 정의한 결과 최대허용공급전압은 약 3.2V 정도임을 알 수 있었다. 같은 크기의 bulk MOSFET나 PD 또는 FD SOI 소자에 비해 최대 허용공급전압이 작음을 알 수 있었다. 이것은 GAA 구조 SOI MOSFET는 열전자에 의한 소자열화가 심하다는 것을 의미한다. 이런 결과는 GAA구조 SOI MOSFET의 공급 전압을 결정하는데 매우 중요한 것이므로 앞으로 multi-gate SOI 소자 응용을 위해 열전자에 의한 소자 열화 연구가 더 활발히 진행되어야 할 것이다.

앞에서 열전자에 의한 소자열화가 계면상태에 의한 것임을 추출한 n 값으로 설명하였는데 이를 확인하기 위하여 <그림 3>과 같은 측정시스템으로 스트레스 전후의 transfer admittance를 측정하였다. Transconductances의 역수에서 허수 값과 정규화된 transfer conductances G_p/ω 의 관계는 다음 식 (1)과 같다^[21].

$$\frac{G_p}{\omega} = -\frac{C_{ox}I_D}{(kT/q)} \text{Im}\left(\frac{1}{g_m(\omega)}\right) \quad (1)$$

G_p/ω 는 측정된 dynamic transconductances와 드레인 전류로부터 계산할 수 있다. 일반적으로 single level 계면상태인 경우 G_p/ω 는 계면상태 밀도인 D_{it} 에 비례한다.

$$\frac{G_p}{\omega} = qD_{it} \frac{\omega\tau_{it}}{1 + \omega^2\tau_{it}^2} \quad (2)$$

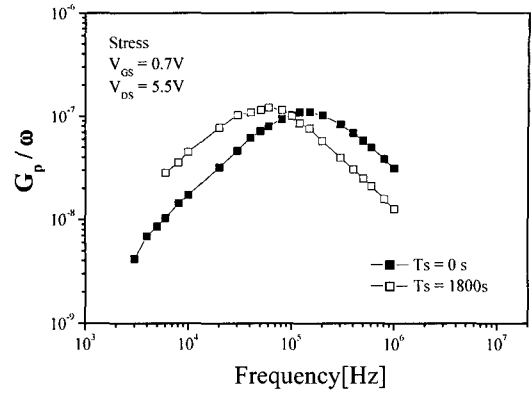


그림 6. 측정 주파수에 따른 스트레스 전후의 정규화된 transconductance

Fig. 6. Normalized transconductance versus the measurement frequency before and after the stress.

$$\tau_{it} = \frac{1}{n_s \sigma_n v_{th}} \quad (3)$$

여기서 n_s 는 표면에서 전자농도, σ_n 는 capture cross section, v_{th} 는 thermal velocity이다.

<그림 6>은 측정 주파수에 따른 G_p/ω 를 나타낸 것이다. 최대 G_p/ω 인 지점에서 $\omega=1/\tau_{it}$ 이면, 식 (2) $D_{it} = 2G_p/q\omega$ 인 관계가 있으므로 스트레스 후의 D_{it} 증가를 구할 수 있다.

<그림 6>으로부터 스트레스 전에는 약 $D_{it} = 1.0 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ 에서 후에는 약 $D_{it} = 1.5 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ 로 증가됨을 알 수 있다.

IV. pMOSFET 열화

사용된 pMOSFET의 기본적인 I-V특성 측정으로부터 유효채널길이 $L_{eff}=1.75\mu\text{m}$, 문턱전압 $V_{TH}=-0.41\text{V}$, subthreshold swing $S=69\text{mV/decade}$, 포화전류는 $V_{DS}=-2.0\text{V}$, $V_{GS}=-1.0$ 에서 약 $22\mu\text{A}$ 이 었다.

<그림 7>은 $V_{DS}=-8.0\text{V}$, $V_{GS}=-0.7\text{V} \sim -1.9\text{V}$ 일 때 스트레스 시간에 따른 드레인 전류 변화를 나타낸 것이다. Degradation rate n이 약 0.2임을 알 수 있는데 이것은 열전자가 게이트 산화층으로 주입되어 트래핑된 것을 의미한다. pMOSFET 열화는 인가게이트 전압에 따라 CHH(Channel Hot Hole)과 DAHC에 의한 것으로 나눌 수 있는데 <그림 7>의 결과는 DAHC 현상에 의한 열전자가 계

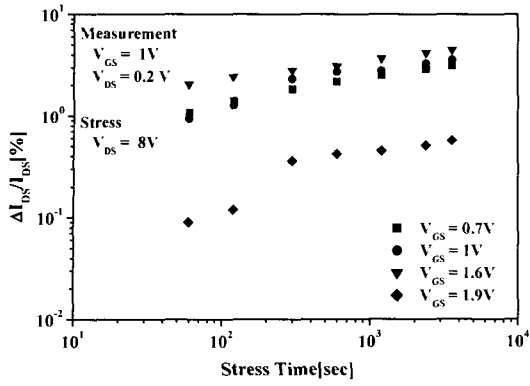


그림 7. 스트레스 시간에 따른 pMOSFET의 드레인 전류 변화

Fig. 7. Drain current degradation versus stress time in pMOSFETs.

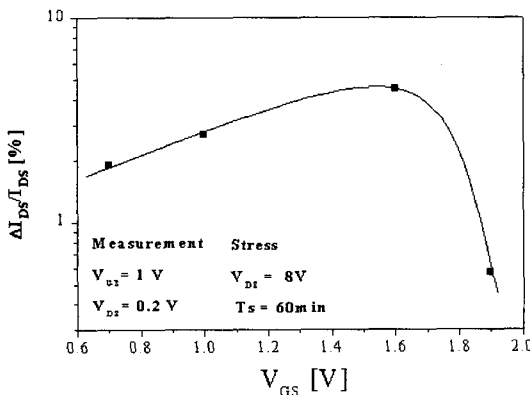


그림 8. 스트레스 게이트 전압에 따른 pMOSFET의 드레인 전류 변화

Fig. 8. Drain current degradation versus the stress gate voltages in pMOSFETs.

이트 산화층으로 주입 된 것이다. 본 연구에서는 $V_{DS}=V_{GS}$ 조건에서도 스트레스를 인가하여 문턱전압과 드레인 전류 변화를 측정하였으나 소자가 열화되지 않음을 관측하였다. 실리콘과 산화층 사이의 전위장벽이 전자에 대한 것보다 홀에 대한 것이 크므로 홀 주입이 되지 않았음을 알 수 있다.

<그림 8>은 스트레스 $V_{DS}=-8.0V$ 일 때 스트레스 게이트 전압에 따른 드레인 전류 변화를 나타낸 것이다. $V_{GS}=-1.6V$ 근처에서 소자열화가 최대가 되는 것을 알 수 있다. 본 연구에서는 게이트 산화층이 30nm로 비교적 두꺼워 게이트 전류를 측정하지 못하였으나 $V_{DS}=-8.0V$, $V_{GS}=-1.6V$ 에서 열전자에 의한 게이트 전류가 최대가 되었을 것으로 사료된다.

V. 결론

나노스케일 CMOS 소자로 가장 이상적인 GAA 구조 SOI MOSFET의 열전자에 의한 소자열화를 측정·분석하였다. nMOSFET의 소자열화의 주된 원인을 DAHC 현상에서 생성된 열전자와 홀이 게이트 산화층으로 주입되면서 계면상태가 생성되고 전자가 트랩핑된 것임을 degradation rate 값과 dynamic transconductances 측정으로 확인할 수 있었다. nMOSFET는 $V_{GS}=V_{TH}$ 조건에서 소자열화가 가장 심함을 알 수 있었다.

pMOSFET 열화의 주된 원인은 DAHC 현상에 의한 열전자의 게이트 산화층 주입에 의한 것이며 CHH 의한 소자열화는 관측되지 않았다.

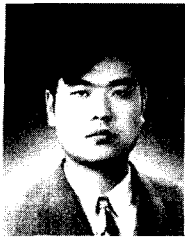
nMOSFET인 경우, bulk 나 기존의 PD 및 FD SOI 소자에 비해 소자열화가 심하게 됨을 알 수 있었다. 이는 실리콘 island edge 에서 고전계로 인한 소자 열화가 심한 것으로 판단되어 앞으로 multi-gate SOI 소자 응용을 위해 열전자에 의한 소자열화 연구가 많이 필요할 것으로 사료된다.

참고 문헌

- [1] J. P. Colinge, Silicon-On-Insulator Technology: Materials to VLSI, 2nd edition, MA ; kluwer 1997.
- [2] H-S. P. Wong, K.K. Chan and Y. Taur, "Self-Aligned (Top and Bottom) Double-Gate MOSFET with a 5nm thick Silicon Channel," Tech. Digest of IEDM, pp. 427-430, 1997.
- [3] P. Francis, A. Terao, D. Flandre, and F. Van de Wiele, "Modeling of Ultrathin Double-gate nMOS/SOI Transistors," IEEE Trans. on Electron Devices, vol. 41, no. 5, 1994.
- [4] E. Raully, O. Potavin, F. Balestra, and C. Rayn, "On the subthreshold swing and short channel effect in Single and Double Gate Deep submicron SOI-MOSFETs", Solid-State Electron Devices, vol. 43, no. 11, pp. 2033-2037, 1988.
- [5] H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, K. Hieda, F. Horiguchi, and F.

- Masuoka, "High performance CMOS Surrounding Gate Transistor (SGT) for ultra high density LSIs," Tech. Digest of IEDM, pp. 222-225, 1988.
- [6] D. Hisamoto, T. Kaga, Y. Kawamoto, and E. Takeda, "A fully depleted Lean-channel Transistor (DELTA) - A novel vertical ultrathin SOI MOSFET," Tech. Digest of IEDM, pp. 833-836, 1989.
- [7] J.P. Colinge, M.H. Gao, A. Romano-Rodriguez, H. Maes, and C. Claeys, "Silicon-On-Insulator Gate-All-Around Device," Tech. Digest of IEDM, pp. 595-598, 1990.
- [8] J.T. Park, J.P. Colinge, and C.H. Diaz, "Pi-Gate SOI MOSFET," IEEE Electron Device Letter, vol. 22, No. 8, pp. 405-406, 2001.
- [9] J.T. Park, and J.P. Colinge, "Multiple-gate SOI MOSFETs : Device Design Guideline," IEEE Trans. on Electron Devices, vol. 49, No. 12, pp. 2222-2229, 2002.
- [10] S. Cristoloveanu, S.M. Gulwadi, D.E. Ioannou, G.J. Campisi, and H.L. Hughes, "Hot-Electron-Induced degradation of front and back channels in partially and fully depleted SIMOX MOSFET's," IEEE Electron Device letter, vol. 13, no. 12, pp. 603-605, 1992.
- [11] T. Tsuchiya, T. Ohno, Y. Kado, and J. Kai, "Hot-Carrier-injected oxide region in front and back intertaces in ultra-thin(50nm), fully depleted, Deep-submicron NMOS and PMOSFET's / SIMOX and their Hot-carrier Immunity," IEEE Trans. on Electron Device, vol. 41, no. 12, pp. 2351-2356, 1994.
- [12] S.H. Renn, J.L. Pelloie, and F. Balestra, "Hot-carrier effects and reliable lifetime prediction in deep submicron N-channel and p-channel SOI MOSFETs," IEEE Trans. on Electron Devices. vol. 48, no.11, pp 2331-2342, 1998.
- [13] Z.J. Ma, H.J. Wann, M. Chan, J.C. King, Y.C. Cheng, P.K. Ko, and C. Hu, "Hot Carrier Effects in Thin-Film Fully Depleted SOI MOSFETS." IEEE Electron Device Letter, vol. 15, no. 16, pp. 218-220, 1994.
- [14] P.H. Woerlee, A.H. Ommen, H. Lifka, C.A.H. Juffermans, L. Plaja, and F.M. Klassen, "Half-micron CMOS on ultra-thin silicon on insulator," Tech. Digest of IEDM, pp. 821-823, 1989.
- [15] J.G. Fossum, J.Y. Choi, and R.sundaresan, "SOI Design for competitive CMOS VLSI," IEEE Trans. on Electron Devices, vol. 34, no. 3, pp. 724-729, 1990.
- [16] R.B. Hultachor, K.W. Kim M.A. Littlejohn, and C.M. Osburn, "Effects of Silicon Layer Properties on Device Reliability for 0.1um SOI n-MOSFET Design Strategies," IEEE Trans. on Electron Device, vol. 44, no. 5, pp. 815-821, 1997.
- [17] J.P. Colinge, X. Baie and V. Bayot, "Evidence of Two-dimensional Carrier Confinement in thin n-channel SOI Gate-All-Around(GAA) Device," IEEE Electron Device letter, vol. 15, no. 6, pp. 193-195, 1994.
- [18] A. Vandooren, J.P. Colinge, and D. Flandre, "Gate-All-around OTA's for rad-hard and high temperature analog applications," IEEE Trans. on Nuclear Science, vol. 46, no. 4, pp. 1242-1249, 1999.
- [19] S. Renn, E. Raully, J.L. Pelloie, and F. Balestras, "Hot-Carrier effects and lifetime prediction in off-state operation of deep submicron SOI n-MOSFETs," IEEE Trans. on Electron Device, vol. 45, no. 5, pp. 1140-1146, 1998.
- [20] J. Wang-Ratkovic, W.M. Huang, B.Y. Hwang, M. Racanelli, J. Forestner, and J. Woo, "Novel Device Lifetime Behavior and Hot-Carrier Degradation Mechanism under Vgs=Vth Stress for Thin-Film SOI nMOSFETS," Tech. Digest of IEDM, pp. 639-642, 1995.
- [21] H. Haddara, and G. Ghibahdo, "Analytical Modeling of Transfer Admittance in Small MOSFETs and Application to Interface State Characterization," Solid-State Electrons, vol. 31, no. 6, pp. 1077-1082, 1988.

저 자 소 개



崔 洛 從(正會員)

2000년 8월 : 안양대 전기전자공학
부(학사). 2001년 2월 : 인천대 전
자공학과(석사). 2003년 10월~현
재 : ICSUN 연구원. <주관심분
야 : 반도체 device 및 optical link
등>

朴 鍾 泰(正會員) 第40卷 SD編 第9號 參照

현재 : 인천대학교 전자공학과 교수

劉 宗 根(正會員) 第40卷 SD編 第9號 參照

현재 : 인천대학교 전자공학과 교수