

論文2003-40TC-10-12

다단 광 지연 버퍼의 손실률과 크기에 관한 연구

(A Study on the Loss Probability and Dimensioning of Multi-Stage Fiber Delay Line Buffer)

金 鴻 暲 * , 李 聖 昌 **

(Hong Kyoung Kim and Sung Chang Lee)

요 약

광 전송 네트워크의 스위칭 기술에서 자원 충돌 문제를 해결하기 위한 방법으로 버퍼링은 중요한 문제 중 하나이다. 본 논문은 가변길이 광 패킷 스위칭에 있어서 Fiber Delay Line(FDL)을 사용한 광 버퍼의 dimensioning과 패킷의 손실률에 대하여 연구하였다. 우선, 단단(single-stage) FDL 버퍼에서의 granularity와 버퍼 손실에 대한 관계를 고찰하고 간단한 구조의 다단(multi-stage) FDL 버퍼 구조를 제안하였다. 다단 FDL 버퍼는 구현 기술이나 경제성의 측면에서 현 시점에서는 실용성이 높지 않지만 본 논문에서는 미래에 실용화가 가능할 것이라는 가정 하에 다단 FDL 버퍼 구조들을 제안한다. 제안한 FDL 버퍼 구조에서 각 스테이지에 사용되는 지연 및 패스 라인의 소요량을 시뮬레이션을 통해 고찰하고 그 사용율에 근거하여 multi-stage FDL 버퍼를 dimensioning하였다. 또한 보다 실질적인 구조의 다단(multi-stage) FDL 버퍼를 제안하고 그 적합성을 버퍼 크기와 패킷 손실율의 관계를 통하여 연구하였다.

Abstract

The buffering is a promising solution to resolve the contention problem in optical network. we study the packet loss probability and the dimensioning of optical buffer using a Fiber Delay Line for variable length packet. In this paper, we study the relation between the granularity and the loss of FDL buffer in Single-Stage FDL buffer and propose the Single-Bundle Multi-Stage FDL buffer. The Multi-Stage FDL buffer is too early yet to apply to the current backbone network, considering the current technology in view of costs. but we assume that the above restriction will be resolved in these days. The appropriate number of delay and pass line for a dimensioning is based on a amount of occupied time by packets. Once more another multi-stage FDL buffer is proposed, Split-Bundle multi-stage FDL buffer. The Split-Bundle ms-FDL buffer is more feasible for a FDL buffer structure, considering not only a size of switching matrix but also a bulk of switching element. its feasibility will be demonstrated from a loss probability

Keywords : Optical Buffer, Fiber Delay Line, Multi-Stage, Granularity, Dimensioning

* 學生會員, 韓國航空大學校 情報通信工

(Department of Information and Telecommunication Engineering, Hankuk Aviation University)

** 正會員, 韓國航空大學校 情報通信工

(Department of Information and Telecommunication Engineering, Hankuk Aviation University)

接受日字:2003年9月7日, 수정완료일:2003年10月10日

I. 서 론

새로운 광대역 서비스로 인한 트래픽이 급속히 증가하고 이를 위한 대역폭 요구를 융통성 있게 충족시키기 위해서는 수십 테라 급의 초고속 비트신호를 라우팅 또는 스위칭 처리할 수 있는 광 기능을 갖는 광전송 네트워크와 그에 알맞은 스위칭 기술이 요구 된다. 이러한

광전송 네트워크에서 최근의 스위칭 기술로서 Optical Packet Switching, 그리고 Optical Burst Switching이 있다¹⁾.

스위칭 기술에 있어서 근본적인 문제는 여러 입력에 도착한 각각의 패킷(버스트)이 동시에 하나의 특정 출구를 향할 때 일어나는 충돌을 해결하기 위한 방법이 필요하다는 것이다. 기존 패킷 네트워크에서 이러한 충돌 해결방안을 위한 여러 가지 해결책들이 연구되어 왔으며 최근의 광 네트워크 분야에서도 활발히 연구 중에 있다. 이러한 스위칭 기술의 실례로 파장의 변환을 이용하는 방법이 도입되었지만²⁾ 패킷 네트워크에 적용하는 것은 그것의 속도 제한으로 인해, 스위치에서의 O/E/O 컨버전을 가정해도 10Gbps 이상의 데이터 전송 속도를 요구하는 네트워크에서는 부적절하다. 또한 우회 라우팅(Deflection Routing)에 의한 방법이 도입 되었지만³⁾ 그것은 소스 노드에서 전송되는 패킷의 순서를 바꿀 가능성을 갖고 있기 때문에 어플리케이션 레벨의 성능을 떨어뜨릴 수 있다. 또 다른 방법으로 광 지연 라인을(FDL)을 이용하여 구성된 광 버퍼를 통해 충돌을 해결하는 방법이 있다⁴⁻⁶⁾. FDL 버퍼는 여러 개의 FDL 유닛을 스위칭 매트릭스를 통해 연결한 것으로서 충돌을 해결하는 동안 데이터 신호를 광신호의 형태로 유지시킬 수 있으며 높은 속도의 데이터 전송 속도를 갖는 스위칭이 가능하다는 장점이 있다.

버퍼링을 사용한 스위칭 전략에 있어서 스위칭시 패킷의 손실률은 버퍼의 용량에 의존하므로 더 높은 스위칭 효율을 위해서는 더 큰 용량을 갖는 버퍼가 필요하다. 기존의 전기적 메모리를 사용하는 버퍼를 갖는 스위칭 시스템에 있어서 버퍼의 용량은 메모리의 용량 확장이 상용적으로 용이했으므로 큰 문제가 되지 않았다. 하지만 FDL 버퍼를 사용하는 스위칭 시스템에서는 버퍼의 용량이 사용되는 FDL의 체적에 비례하므로 버퍼의 용량이 스위치의 물리적 크기에 의해 제한을 받게 된다. 그러므로 버퍼의 용량 문제는 광 네트워크의 스위칭 시스템에서 중요한 문제가 된다. 이러한 제한을 극복하기 위한 하나의 방법으로 FDL 버퍼를 다단(multi-stage)으로 구성하는 방법이 도입되었다⁶⁻¹⁰⁾.

multi-stage FDL 버퍼의 경우 스테이지와 스테이지를 연결하는 스위치의 구현 기술이나 경제성 문제와 패킷의 스위치 통과 시 발생하는 insertion-noise, crosstalk 등의 문제로 인해 현재로서는 스테이지의 수가 제한되지만¹¹⁾ 미래의 상황을 가정하여 이러한 제한

사항을 고려치 않고 구조 및 동작에 초점을 맞춘다. 본 논문은 FDL 버퍼가 갖는 특징(버퍼의 granularity)을 고려하여 Single-Bundle multi-stage FDL 버퍼의 구조를 제안하고 각 스테이지를 구성하는 지연 및 패스 라인의 수와 버퍼의 사용율에 대한 관계를 분석하여 제안한 버퍼에 대한 적절한 dimensioning 결과를 제시하고 현 기술력을 고려했을 때 보다 유용한 Split-Bundle Multi-Stage FDL 버퍼의 구조를 제안한다.

본 논문의 구성은 다음과 같다. II장에서는 Single-Stage FDL 버퍼의 구조와 동작 및 FDL 버퍼의 granularity에 대해 설명하고, multi-stage 구조의 필요성과 장점을 설명한다. III장에서는 본 논문에서 시뮬레이션 할 multi-stage 버퍼의 구조와 버퍼 관리 방식에 대해 설명한다. IV장에서 multi-stage 버퍼의 dimensioning을 위한 스테이지 사용율과 dimensioning 결과를 시뮬레이션을 통해 설명한다. V장에서는 버퍼 구조와 버퍼 관리 방식에 따른 손실율을 시뮬레이션을 통해 보이고 VI장에서 논문의 결론을 제시할 것이다.

II. FDL 버퍼의 동작

FDL을 사용하여 구성된 버퍼는 크게 지연을 주는 지연 라인의 구성에 따라 고정길이 버퍼와 가변길이 버퍼로 나눌 수 있고 버퍼의 구조에 따라 single-stage와 multi-stage로 나눌 수 있다. 다음 <그림 1>은 single-stage로 구성된 고정길이 FDL 버퍼이다.

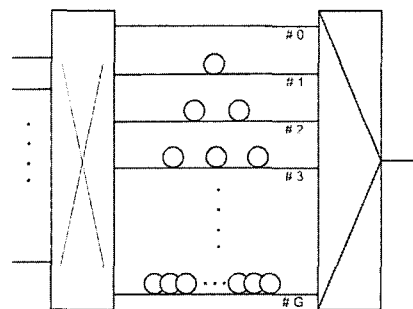


그림 1. Single-stage FDL 버퍼의 구조

Fig. 1. The structure of single-stage FDL buffer.

<그림 1>에서 버퍼는 최소 0개의 FDL 유닛을 갖는 라인부터 G개의 FDL 유닛을 연결한 라인까지 총 G+1개의 라인으로 구성된다. 각 FDL 유닛의 지연시간은 D_1 이며 버퍼의 용량은 $C = G \cdot D_1$ 가 된다. <그림 1>에서

스위치에 도착한 패킷 p_n 는 충돌을 피하기 위해 버퍼에 들어가게 된다. 이 때 p_n 가 버퍼에서 대기해야 하는 실제 시간은 버퍼가 도착한 시점에서의 버퍼가 점유된 길이와 버퍼의 granularity에 의해 발생한 추가적인 길이를 합한 시간이 된다. 그러므로 FDL 버퍼는 그 특성 상 자신의 손실률에 버퍼의 용량 C 이외에 D_0 의 영향을 받게 된다. 버퍼의 라인 개수(최대 지연 라인의 FDL 개수) G 를 고정한 상태에서 D_0 가 증가한다면 버퍼의 용량 C 가 증가하여 손실률이 감소하지만 버퍼의 granularity가 증가하여 버퍼의 용량의 낭비로 인한 손실률은 증가될 것이다.

D_0 를 감소시킨다면 버퍼의 용량 C 가 감소하여 손실률이 증가하지만 버퍼의 granularity가 감소하여 효율적인 버퍼 사용으로 인한 손실률은 감소될 것이다^[12].

<그림 2>은 D_0 값의 변화에 따른 버퍼의 용량과 granularity가 스위치의 손실률에 어떤 영향을 주는지 잘 나타내고 있다. <그림 2>에서 만일 버퍼의 용량 C 을 일정한 값으로 가정한다면 FDL 버퍼는 D_0 값을 작게 하여 버퍼의 granularity를 좋게 할수록 더 좋은 효율을 보이게 된다. 하지만 이와 같은 방법으로 FDL 버퍼의 효율을 높인다면 <그림 1>의 FDL 버퍼 구조에서 알 수 있듯이 FDL 버퍼를 구성하는 지연 라인의 개수가 증가하여 스위치의 물리적 크기를 증가 시키는 문제를 발생시킨다.

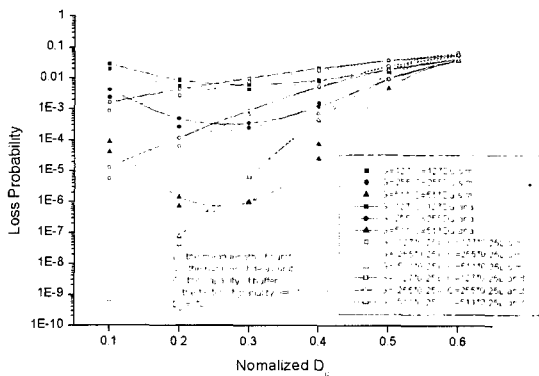


그림 2. 버퍼 손실률에 대한 단위 지연과 버퍼 용량 관계
Fig. 2. The relation between a delay unit and a buffer capacity in buffer loss rate.

<그림 1>의 single-stage FDL 버퍼의 경우 적절한 D_0 에 의한 지연 라인의 개수가 $G+1$ 이라면 같은 용량을 갖는 multi-stage FDL 버퍼의 경우 $\log(G+1)$ 개의

스테이지를 연결하여 구성함으로써 버퍼의 지연 라인 개수와 연결되는 FDL 개수에 대한 제한을 극복할 수 있다. 그러므로 multi-stage로 FDL 버퍼를 구성하는 것이 버퍼 용량과 그 확장성에 있어서 더 적합한 구조라고 할 수 있다.

III. 다단 FDL 버퍼의 모델링

1. 버퍼 구조

multi-stage FDL 버퍼를 구성하는 방법에 있어서 중요한 문제는 각 스테이지의 구조를 어떻게 정의할 것이며 각 스테이지를 구성하는 지연, 패스 라인의 개수를 어떤 근거를 통해 결정할 것인가에 대한 문제이다. 기존의 연구에서 내부에 single-stage로 구성된 FDL 버퍼를 갖는 스위치를 연결하여 구현하는 방법^[7], single-stage로 구성된 FDL 버퍼의 지연 라인을 일정 개수로 나누어 스위치를 통해 연결하는 방법^[8], single-stage로 구성된 FDL 버퍼를 스위치와 과장변환기를 이용하여 연결하는 방법^[9]등 여러 가지 방법이 제시되었다.

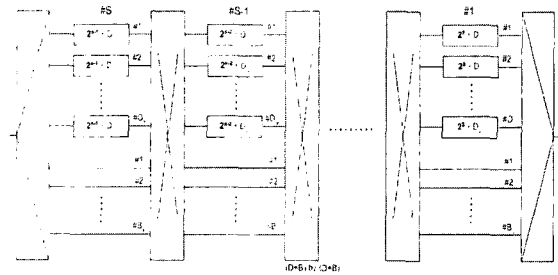


그림 3. Single-Bundle ms-FDL Buffer의 구조 : st(1)
Fig. 3. The structure of Single-Bundle ms-FDL Buffer : st(1).

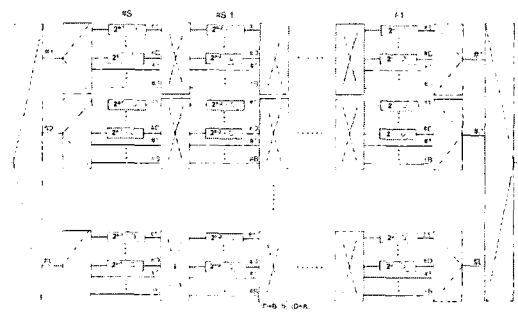


그림 4. Split-Bundle ms-FDL Buffer의 구조 : st(2)
Fig. 4. The structure of Split-Bundle ms-FDL Buffer : st(2).

본 논문에서는 <그림 3>과 <그림 4>와 같은 구조의 multi-stage 버퍼를 제안하고 시뮬레이션 한다. <그림 3>의 구조는 각 스테이지를 연결하는 스위치에서 발생하는 insertion-noise, crosstalk 등의 문제가 해결된 것을 가정한 구조이며 <그림 4>의 구조는 위에서 언급한 문제 사항들을 고려하여 <그림 3>의 버퍼를 병렬로 연결하여 구성함으로써 스테이지를 연결하는 스위칭 매트릭스의 크기를 적절한 크기로 나눌 수 있다.

<그림 3>의 버퍼는 1부터 S까지 S개의 스테이지로 구성되어 있으며 S는 충분히 큰 값으로서 버퍼 오버플로우로 인한 손실은 없는 것을 가정한다. 각 스테이지 i 는 D 개의 지연 라인과 B 개의 패스 라인으로 구성되며 각 스테이지는 $K \times K$ ($K=D+B$) 스위칭 매트릭스를 통해 연결된다.

D 개의 지연 라인은 각각 2^i 개에 해당하는 FDL 유닛을 연결한 형태로 구성되며 각 FDL의 지연 시간은 D_u 이다. 버퍼는 하나의 입구와 출구를 갖는 것을 가정하고 입구는 $1 \times K$ 스위치에 의해 최상위 S 스테이지에 연결되며 출구는 $K \times 1$ 스위치에 의해 최하위 0 스테이지에 연결된다. 버퍼의 용량 C 는 각 스테이지가 제공하는 지연시간의 합으로서 다음과 같이 나타낼 수 있다.

$$C = D_u \cdot \sum_{i=1}^S 2^i \quad (1)$$

<그림 4>의 버퍼는 <그림 3>의 버퍼 L 개를 병렬로 연결한 것으로서 <그림 4>의 버퍼에서 스테이지를 연결하는 스위칭 매트릭스의 크기는 $K' \times K'$ ($K'=D'+B'$)이며 각 스테이지를 구성하는 지연 라인과 패스라인의 수는 <그림 3>의 구조와 비교했을 때 다음과 같다.

$$D' = \left\lceil \frac{D}{L} \right\rceil, \quad (2)$$

$$B' = \left\lceil \frac{B}{L} \right\rceil \quad (3)$$

2. 버퍼 관리

<그림 3>, <그림 4>의 구조의 각 스테이지에서 패킷은 다음 스테이지의 어떤 입구에도 스위칭 될 수 있으며 최상위 스테이지에서부터 최하위 스테이지까지 차례대로 경유한다. 이때 패킷이 해당 스테이지의 지연을

필요로 한다면 지연라인을 통과하며 지연을 필요로 하지 않는다면 패스라인을 통과함으로써 하나의 가상 지연라인을 통과하게 된다. 이때 패킷은 각 스테이지의 첫 번째에 위치한 지연 라인(혹은 패스 라인)부터 검색하여 사용한다. 버퍼에 도착한 패킷이 충돌을 피하기 위해 대기해야 하는 시간은 패킷이 버퍼를 사용하는 방법에 따라 달라질 수 있으며 본 논문에서 적용한 방식은 사용 가능 상태에 있는 상위 스테이지의 지연 라인의 사용 유무에 따라 다음과 같이 나타낼 수 있다.

Define

- S : 스테이지의 개수
- D_u : 지연 유닛의 지연 시간
- G : 버퍼의 총 지연 유닛 개수
- g : 지연 유닛의 개수 ($0 \leq g \leq G$)
- t_0 : 패킷의 도착 시간
- $Q(t)$: 시간 t 에서의 큐 길이를 반환
- $R(g)$: g 에 대해 버퍼 사용 가능 유무를 반환
- g_{init} : 큐의 점유 상태에 의해 계산된 패킷의 대기 시간의 지연 유닛 개수
- g_{accept} : 버퍼 상태에 의해 패킷이 실제 겪게 될 대기 시간의 지연 유닛 개수

$$G = \sum_{i=1}^S 2^i, \quad (4)$$

$$g_{init} = \left\lceil \frac{Q(t_0)}{D_u} \right\rceil \quad (5)$$

Strict Assignment scheme : al(A)

$$g_{accept} = \{g \mid R(g_{init}) = success\}$$

$$\text{if } (g_{accept} = \phi) \text{ then drop}$$

Generous Assignment Scheme : al(B)

$$g_{accept} = \min \{g \mid g_{init} \leq g \leq G, R(g_{init}) = success\}$$

$$\text{if } (g_{accept} = \phi) \text{ then drop}$$

어떤 패킷 p 가 버퍼에 도착했을 때 패킷이 대기해야 하는 시간은 식 (5)에 의하여 g_{init} 으로 나타낼 수 있다. g_{init} 값은 버퍼의 논리적인 큐 상태에 의해 계산된 값으로서 실제 버퍼에서 g_{init} 에 해당하는 하나의 가상 지연 라인이 수용될 수 있을지는 버퍼 상태(각 스테이지의

지연 및 패스 라인 점유 상태)에 따라 결정된다. Strict Assignment - al(A) 방식에서는 g_{init} 에 해당하는 가상 지연 라인이 버퍼에서 수용될 수 있는 경우 패킷은 수립된 가상 지연 라인을 통과 하게 되며 수용될 수 없는 경우 패킷은 누락된다. Generous Assignment - al(B) 방식에서는 g_{init} 에 해당하는 가상 지연 라인이 버퍼에서 수용 될 수 없을 경우 지연 유닛 개수를 한 단계씩 증가시키며 가상 지연 라인의 수용 여부를 검사하게 된다. g_{init} 부터 G 까지 검사하여 수용 가능한 g가 없을 경우 패킷을 누락시킨다.

Strict Assignment 방식은 가상 지연 라인을 찾는 측면에서 Generous Assignment 방식에 비해 보다 엄격하지만 버퍼 사용 측면에서 낭비(FDL 버퍼의 granularity 에 의한)되는 용량이 작다. 그에 반해 Generous Assignment 방식은 가상 지연 라인을 찾는 방법 측면에서 보다 관대하지만 버퍼 사용 측면에서 버퍼의 용량을 낭비 한다.

Single-Bundle ms-FDL Buffer 에서의 사용율 및 dimensioning의 관계와 각각의 버퍼구조와 버퍼 관리 방식에 따른 손실율을 다음 장에서 살펴본다.

IV. Multi-stage FDL 버퍼 Dimensioning

본 논문의 모든 시뮬레이션은 가변길이 버스트를 가정했으며 버스트의 길이는 평균 L_0 의 지수분포를, 버스트의 도착은 Poisson 도착 과정을 가정한다. 또한 FDL 하나의 단위 지연 시간 D_0 는 <그림 2>에서 보인 FDL 버퍼의 granularity 와 사용율의 관계의 근거하여 $0.3 \cdot L_0$ 로 가정하였다.

<그림 5>, <그림 6>은 버퍼 dimensioning을 위한 사용율의 측정 결과를 보인다. 사용율은 시간 축 상에서 각 스테이지의 지연 및 패스 라인이 패킷에 의해 점유 되는 시간을 동시 사용된 라인의 개수에 따라 누적하여 버퍼의 전체 사용 시간에 대한 비율로 나타낸 것을 말한다.

<그림 5>, <그림 6>의 시뮬레이션에서 트래픽 부하는 0.8, 버퍼 구조는 <그림 3> 에서 보인 Single-Bundle ms-FDL Buffer - st(1), 스테이지 개수는 8개 - S(8), 지연 및 패스 라인의 수는 사용율 측정을 위해 충분히 큰 값으로 설정하였다.

스테이지 0은 트래픽의 부하에 상관없이 시간 축 상

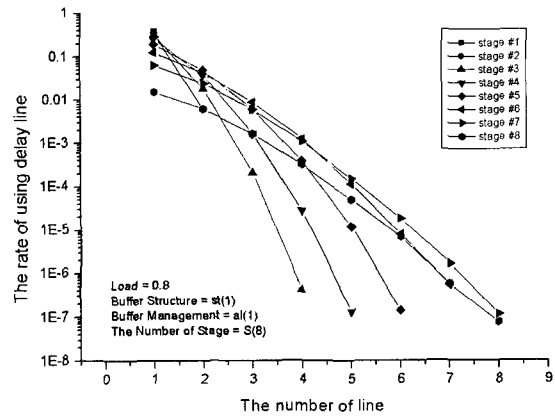


그림 5. 각 스테이지의 지연 라인의 사용율
Fig. 5. The use rate of a delay line in each stage.

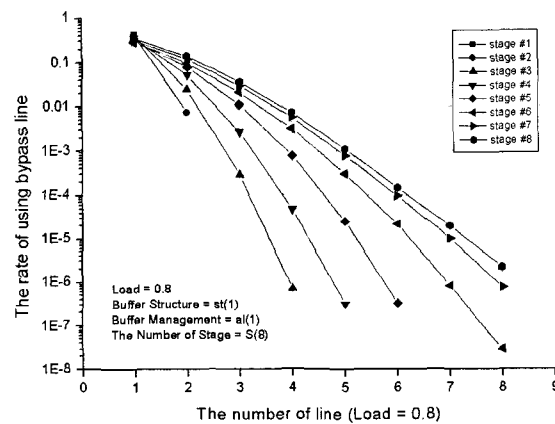


그림 6. 각 스테이지의 패스 라인의 사용율
Fig. 6. The use rate of a bypass line in each stage.

표 1. 각 스테이지 당 dimensioning 결과
Table 1. The dimensioning result in each stage.

STAGE		8	7	6	5	4	3	2	1
사용율 (1E-4)	지연 라인	5	5	5	5	4	3	2	1
	패스 라인	5	5	5	5	4	3	2	1
사용율 (1E-5)	지연 라인	6	6	6	5	4	4	2	1
	패스 라인	6	6	6	5	4	4	2	1

에서 동시 사용되는 라인의 수가 지연 라인과 패스 라인 각각 1개인 것을 알 수 있다. 이것은 각각의 버스트가 할당된 지연 시간을 겪으며 충돌 없이 버퍼를 빠져나가기 때문이다. 스테이지 1의 경우 모든 트래픽 부하 상황에서 지연 및 패스 라인의 동시 사용이 2개를 넘지 않는다. 이것으로 제안된 구조의 multi-stage 버퍼에서

스태이지 0은 각각 1개씩, 스테이지 1은 각각 2개씩의 지연 라인과 패스 라인으로 dimensioning 할 수 있음을 보인다.

<그림 5>, <그림 6>에서 각각 1E-3, 1E-4 이하의 손실율을 보이도록 1E-4, 1E-5에 해당하는 사용율에 맞추어 적절한 지연 및 패스 라인의 개수를 dimensioning 했다. 결과를 <표 1>에 나타냈다.

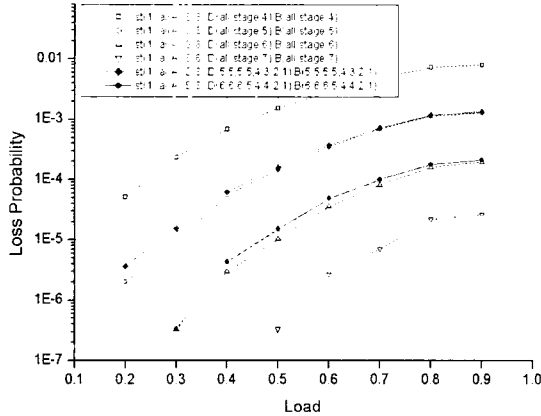


그림 7. Dimensioning에 의한 Single-Bundle ms-FDL 버퍼의 손실율
Fig. 7. The loss rate of Single-Bundle ms-FDL Buffer by dimensioning.

<그림 7>에 <표 1>에 나와 있는 결과에 의거하여 st(1) 구조의 버퍼를 dimensioning 한 후 그 손실율을 보였다. 모든 스테이지의 지연 및 패스 라인의 개수를 동일하게 적용한 경우와 비교하여 손실율의 차이가 1E-5 이하로 나타난 것으로 적절한 dimensioning이 이루어진 것을 알 수 있다.

V. 버퍼 관리 방식, 버퍼 구조에 따른 패킷 손실율

<그림 8>은 III 장에서 제안한 두 가지 버퍼구조를 시뮬레이션 하여 패킷 손실율을 비교한 것이다.

(2), (3) 식에 의하여 버퍼구조 st(1)에서의 지연 및 패스 라인의 개수에 맞추어 st(2)의 패스 및 지연 라인의 개수를 설정하여 두 구조의 손실율을 비교한 것이다.

<그림 8>에서 6X6(4X4)의 스위칭 매트릭스로 구성된 st(1) 구조와 2X2의 스위칭 매트릭스로 구성된 st(2) 구조의 손실율이 차이가 없으므로 보다 실현 가능한 구조

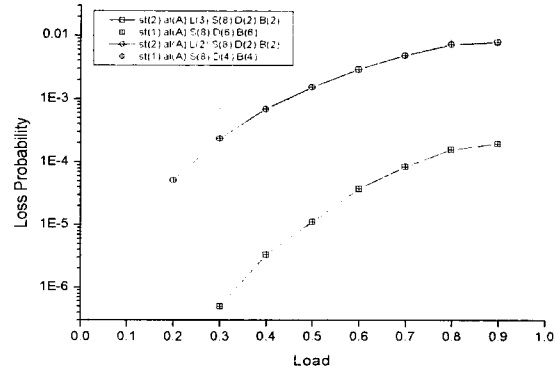


그림 8. Single-Bundle ms-FDL 버퍼와 Split-Bundle ms-FDL 버퍼의 손실율
Fig. 8. The loss rate of Single-Bundle ms-FDL buffer and Split-Bundle ms-FDL buffer.

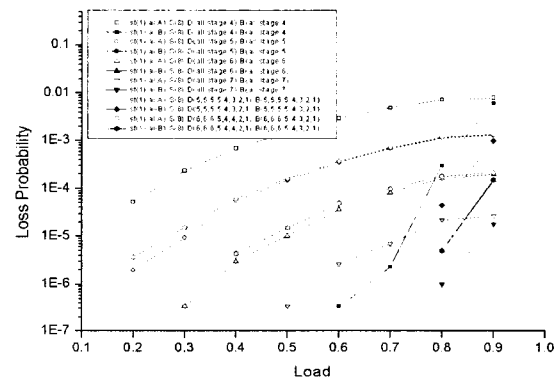


그림 9. Single-Bundle ms-FDL 버퍼에서의 버퍼 관리 방식에 따른 손실율
Fig. 9. The loss rate between buffer management schemes in Single-Bundle ms-FDL buffer.

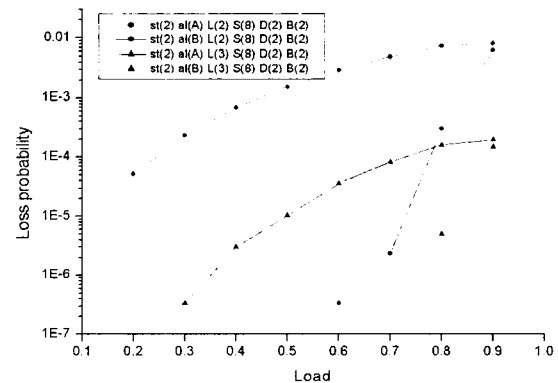


그림 10. Split-Bundle ms-FDL 버퍼에서의 버퍼 관리 방식에 따른 손실율
Fig. 10. The loss rate between buffer management schemes in Split-Bundle ms-FDL buffer.

인 st(2) 구조는 st(1)에 비교하여 손실을 측면에서 떨어지지 않는다는 것을 보여준다.

<그림 9>, <그림 10은 각각의 버퍼 구조에서 다른 두개의 버퍼 관리 방식을 적용한 후의 손실율을 보인다. st(1), st(2) 구조 모두 버퍼 관리 방식 Generous Assignment - al(B) 방식에 의해 손실율이 크게 감소한 것을 알 수 있다. Generous Assignment 방식의 경우 상위 스테이지를 사용함으로써 버퍼의 논리적 큐 길이가 과 점유되는 단점에도 불구하고 사용되지 않고 있는 상위 스테이지의 지연 및 패스 라인을 사용하는 것보다 효율적이라는 것을 보여준다.

VI. 결 론

본 논문에서는 FDL 버퍼의 특성인 granularity 와 버퍼의 손실율의 관계에 대해 고찰하였고 그 결과를 토대로 다단 FDL 버퍼 구조를 제안하였다. 다단 FDL 버퍼의 구조를 현재의 네트워크 시스템에 적용하는 것은 비용 측면에서 용이하지 않지만 이러한 제한 사항이 가까운 미래에 해결될 것을 가정하고 FDL 버퍼의 구조로서 Single-Bundle ms-FDL 버퍼 구조와 보다 구현이 용이한 구조로서 Split-Bundle ms-FDL 버퍼 구조를 제안하였으며 Split-Bundle ms-FDL 버퍼의 적합성을 패킷 손실율의 비교를 통해 나타냈다. 또 버퍼 관리 방식으로서 Strict Assignment 방식과 Generous Assignment 방식을 비교하여 상위 스테이지의 유휴 상태에 있는 지연 및 패스 라인을 사용하는 Generous Assignment 방식이 패킷 손실율 측면에서 더 좋은 효율을 나타냄을 보였다.

참 고 문 헌

- [1] Lisong Xu, Harry G. Perros, and George Rouskas, "Techniques for optical packet switching and optical burst switching," IEEE Communication magazine, pp.136-142, January 2001.
- [2] S. Danielsen et al., "WDM packet switch architectures and analysis of the influence of tunable wavelength converters on the performance," IEEE/OSA J. of Lightwave Tech., vol. 15, pp.219-227, Feb 1997.
- [3] X. Wang et al., "Burst optical deflection routing protocol for wavelength routing WDM networks," Proc. SPIE OPtiComm 2000, 2000.
- [4] D. K. Hunter, M. C. Chia, and I. Andonovic, "Buffering in optical packet switches," IEEE/OSA Journal of Lightwave Tech, vol. 16, pp. 2081-2094, Dec. 1998.
- [5] D. Hunter, I. Andonovic, "Approaches to optical internet packet switching," IEEE Communications Magazine, pp. 116-122, Sep. 2000.
- [6] K. Habara et al., "Large-capacity photonic packet switch prototype using wavelength routing techniques," IEICE Transactions on Communications, vol. E83-B, pp. 2304-2311, Oct. 2000.
- [7] H. Harai, N. Wada, F. Kubota, W. Chujo, "Contention Resolution Using Multi-Stage Fiber Delay Line Buffer in a Photonic Packet Switch," ICC 2002. IEEE International Conference on, vol 5, pp. 2843 -2847, 2002.
- [8] D. K. Hunter et al., "SLOB: a switch with large optical buffers for packet switching," Journal of Lightwave Tech, vol. 16, pp.1725-1736, Oct. 1998.
- [9] I. Chlamtac, I. A. Fumagalli, Sub Chang-Jin, "A delay line receiver architecture for all-optical networks," INFOCOM '96. Fifteenth Annual Joint Conference of the IEEE Computer Societies. Proc. vol. 2, pp. 419-426, Mar 1996.
- [10] I. Chlamtac, I. A. Fumagalli, Sub Chang-Jin "switching multi-buffer delay lines for contention resolution in all-optical deflection networks," Global Telecommunications Conference, 1996. vol. 3, pp. 1624-1628, Nov 1996.
- [11] I. Chlamtac, A. Fumagalli et al., "CORD: contention resolution by delay lines," Communications, IEEE Journal, vol. 14, pp. 1014-1029, Jun 1996.
- [12] F. Callegati, "Optical Buffers for Variable Length Packet," IEEE Communications Letters, vol. 4, pp. 292-294, sep. 2000.

저 자 소 개



金 鴻 璟(學生會員)

2002년 2월 : 한국항공대학교 정보통신공학과 학사 졸업. 2003년 3월~현재 : 한국항공대학교 정보통신공학과 석사과정. <주관심분야 : Optical Backbone Network, Optical Access Network, Data Communi-

cation(VoIP)>



李 聖 昌(正會員)

1979년~1983년 : 경북대학교 전자공학과 졸업. 1983년~1985년 : 한국과학기술원 전기 및 전자공학과 석사. 1985년~1987년 : 한국과학기술원 시스템공학센터. 1987년~1991년 : Texas A&M University 박사.

1992년~1993년 : 한국전자통신연구원. 1993년~현재 : 한국항공대학교 정보통신공학과. <주관심분야 : 광 네트워크, 네트워크 프로토콜>