

# 아날로그 2차원 셀의 순환형 배열을 이용한 R=1/2, K=7형 고속 비터비 디코더 설계

論 文

52D-11-5

## Design of R=1/2, K=7 Type High Speed Viterbi Decoder with Circularly Connected 2-D Analog Parallel Processing Cell Array

孫 弘 樂\* · 金 炯 爽\*\*  
(Hongrak Son · Hyongsuk Kim)

**Abstract** - A high speed Viterbi decoder with a circularly connected 2-dimensional analog processing cell array is proposed. The proposed Viterbi decoder has a 2-dimensional parallel processing structure in which an analog processing cell is placed at each node of a trellis diagram, the output column of the analog processing cells is connected to the decoding column, and thus, the output(last) column becomes a column right before the decoding(first) column. The reference input signal given at a decoding column is propagated to the whole network while its magnitude is reduced by the amount of a error metric on each branch. The circuit-based decoding is done by adding a trigger signals of same magnitudes to disconnect the path corresponding to logic 0 (or 1) and by observing its effect at an output column (the former column of the decoding column). The proposed Viterbi decoder has advantages in that it is operated with better performance of error correction, has a shorter latency and requires no path memories. The performance of error correction with the proposed Viterbi decoder is tested via the software simulation.

**Key Words** : 비터비 디코더, 아날로그 셀룰라 병렬처리 회로망, 에러 정정, 트렐리스 다이어그램

### 1. 서 론

데이터 통신이나 마그네틱 디스크 리더의 신호가 초고속화 되면 신호의 왜곡 정도도 심해지기 때문에 위성통신 [1], 디지털 셀룰라 폰 [2], DVB(Digital video broadcasting) [3], 자기 디스크 드라이브 [4] 등의 분야에서는 비터비 디코더 [5]를 에러 정정 목적으로 많이 사용하고 있다. 비터비 디코더는 수신된 이진 신호를 즉시 0 또는 1로 판별하지 않고 트렐리스 다이어그램상의 부호어와 수신 신호와의 차이를 계산하고 그 누적 에러를 최적화 개념에 의거해 에러를 정정하므로 에러 정정 효율이 매우 우수하다.

비터비 디코더는 구현 방식에 따라 디지털, 준-아날로그(semi-analog), 완전 아날로그(fully analog) 방식들로 분류할 수 있다. 디지털 방식은 입력 신호를 즉시 고속의 A/D 변환하여 모든 처리를 디지털 회로에 의해 처리하는 방식이다. 그 중 가장 구현이 쉬운 방법은 하나의 프로세서를 이용하여 각 상태에 필요한 연산을 순차적으로 수행하는 방식인데, 연산속도가 매우 느리다는 점이 큰 단점이다. 연산 속도를 향상시키기 위한 방안으로 각 상태마다 한 개씩의 연산 유닛을 설치하여 병렬 처리하는 구조가 개발되었는데 [6][7], 이 방식은 수신된 신호 강도와 트렐리스 다이어그램 경로에서의 기준 심볼과의 차이를 에러로 간주하고 이를 누적시켜 최적 경로 검출 방법에 따라 에러를 정정한다.

다. 그러나 이 방식에서는 수신된 아날로그 신호를 다단계 양자화를 해야 하기 때문에 고속의 A/D 변환기를 채용해야 하며 이에 따라 전력 소모가 매우 크다는 문제가 있다. 준-아날로그 방식은 이에 대한 보완책으로서 아날로그 입력 신호를 디지털로 변환하지 않고 아날로그 회로를 이용하여 처리하는 방법 [8][9]인데, 디지털 비터비 디코더의 각 상태를 담당하는 유닛을 아날로그 연산 유닛으로 대체하여 사용하는 방식이다. 이 준-아날로그 방식은 아날로그 연산 유닛을 사용하므로 각 노드에서의 처리 속도도 개선되는 장점이 있지만 디지털 디코더처럼 처리 결과를 디지털 메모리에 저장해야 하므로 결국 A/D 변환기와 경로 저장용 디지털 메모리가 필요하며 메모리 상에서 최적 경로 계산을 위한 역추적(back-tracking)과정이 필요하므로 디코딩 시간에 있어서는 디지털 디코더에 비해 크게 개선된 결과를 얻지 못하고 있다. 완전 아날로그 방식은 기존의 디지털이나 준-아날로그 방식의 문제점들을 개선하기 위한 것으로 트렐리스 다이어그램의 각 상태에 해당하는 위치에 아날로그 신호처리 셀을 배치한 완전 병렬 구조인데 본 논문은 이에 관한 연구이다. 비터비 디코더에서의 트렐리스 다이어그램은 가상적인 연결망이므로 데이터가 계속해서 입력 되면 무한히 길어지는 “무한 길이 문제” 때문에 과거에는 이를 하드웨어로 구현하는 것이 불가능한 일이었다. 그러나, 본 연구에서는 트렐리스 다이어그램을 구속장 길이만큼만 구현한 후, 순환적으로 연결하면 트렐리스 다이어그램의 무한한 길이 문제를 해결할 수 있다는데 착안하여 이를 위한 구조를 개발하고 회로로 설계하였다. 제안한 구조에서는 기존의 비터비 디코더와는 달리 별도의 path memory가 필요치 않으면, A/D 변환 없이 아날로그 연산으로만 에러 정정을 수행하기 때문에 전력소모가 적고 디코딩 속도도

\* 正 會 員 : 全 北 大 工 大 電 子 工 學 科 工 博

\*\* 正 會 員 : 全 北 大 工 大 電 子 情 報 工 學 部 副 教 授 · 工 博

接 受 日 字 : 2003 年 5 月 9 日

最 終 完 了 : 2003 年 9 月 22 日

빠를 뿐 아니라, 에러 정정 성능 역시 우수하다는 장점들이 있다. 본 논문에서는 제안한 비터비 디코더의 구조와 원리를 소개하고, 에러 정정 우수성을 검증하기 위해 채널 잡음 환경하에서의 소프트웨어 시뮬레이션을 수행하였고, 하드웨어 구현시의 디코딩 속도 및 성능 평가를 위해 HSPICE를 이용하여 회로를 설계하고 시뮬레이션을 수행하였다.

이 논문의 2 절에서는 비터비 디코더의 원리를 설명하였고, 3 절에서는 제안한 비터비 디코더의 구조를 소개하였다. 또한 4 절에서는 제안한 비터비 디코더의 디코딩 과정을 기술하였으며, 5 절은 제안한 비터비 디코더의 동작 확인 및 성능평가를 위해서 소프트웨어 및 하드웨어 시뮬레이션 결과를 수록하였다. 6 절은 이에 대한 결론이다.

### 2. 비터비 디코더

컨벌루션 부호는 통신 채널상에 존재하는 에러를 정정하기 위한 부호중 하나로써, 비터비 디코더는 채널을 통해 수신된 컨벌루션 부호를 복호하는데 사용된다. 그림 1은 구속장  $K=3$ 이고, 부호율  $R=1/2$ 인 비터비 디코더의 트렐리스 다이어그램으로  $a(=00)$ ,  $b(=10)$ ,  $c(=01)$ ,  $d(=11)$ 는 상태라고 하며,  $t_1, t_2, \dots, t_7$ 은 시간 간격으로서 stage라고 한다. 비터비 디코더에서는 트렐리스 다이어그램의 부호어와 수신 심볼간의 오차값을 계산하고 여러 stage가 경과하는 동안 누적된 에러값 중 최소값을 계산하여 마지막 stage의 상태 중 최소의 누적 에러 값을 갖는 상태를 찾는다. 또한 마지막 stage의 최소 에러 상태로부터 시작 stage까지 역추적하게 되는데 시작 stage에서 거치게 되는 경로에 따라 0 혹은 1로 디코딩 한다.

비터비 디코더의 기본연산은 단순화된 동적계획법으로 각 노드에서는 입력된 정보들 중의 최소값 계산을 통하여 목표점까지의 최소 오차값을 계산한다. 즉, 노드  $(k,l)$ 로부터 목표점에 이르는 최소 오차값을  $D_{k,l}$ 라고 하고, 노드  $(i,j)$ 와  $(k,l)$  사이의 오차값을  $d_{ij,kl}$ 라고 할때, 목적점에서 노드  $(i,j)$ 에 이르는 최소 오차값  $D_{i,j}$ 는 인접한 노드  $(k,l)$ 에 이르는 데 소요되는 오차값  $d_{i,j,kl}$ 과 그 위치로부터 목표점에 이르는 최소 오차값  $D_{k,l}$ 을 합한 값 중 최소값을 취하는 식 (1)과 같이 계산한다.

$$D_{i,j} = \min \{ D_{k,l} + d_{ij,kl}, (k,l) \in S \} \quad (1)$$

여기서, S는 노드  $(i,j)$ 의 인접한 노드들의 집합을 의미하

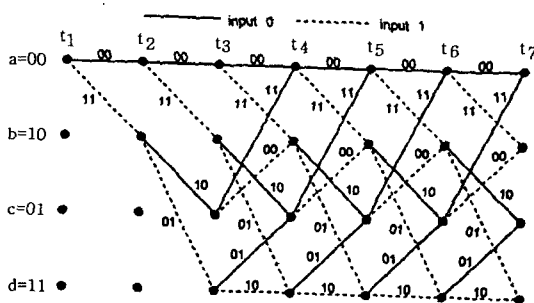


그림 1 비터비 디코더의 트렐리스 다이어그램  
Fig. 1 Trellis diagram of Viterbi decoder.

여, min은 괄호안의 값들 중 최소값을 출력하는 함수를 나타낸다. 식 (1)을 비터비 디코더에 적용하기 위해서  $d_{ij,kl}$ 에 트렐리스 다이어그램상의 부호어와 수신된 심볼과의 차이값을 인가하고, 각 노드에 (1)식을 수행할 수 있는 연산 유닛을 배치하게 되면, stage가 진행함에 따라 각 노드에는 오차값이 누적되는데 마지막 stage의 노드 중 최소값을 갖는 노드의 경로를 역추적하여 디코딩을 수행하게 된다.

### 3. 아날로그 신호처리 셀을 이용한 비터비 디코더

기존의 디지털 비터비 디코더는 그림 1과 같은 트렐리스 다이어그램의 세로 축의 각 노드 수만큼의 디지털 연산 유닛을 한 세트 설치하여 트렐리스 다이어그램의 시간 축상의 모든 stage의 연산을 병렬로 처리하게 되는 구조이다. 또한 기존의 준-아날로그 비터비 디코더는 디지털 비터비 디코더에서의 디지털 연산 유닛을 단순히 아날로그 연산 유닛으로 대체한 방식이다.

본 논문에서 제안한 완전 아날로그 비터비 디코더는 기존의 비터비 디코더들과는 달리 그림 1의 트렐리스 다이어그램 상의 모든 노드에 아날로그 신호처리 셀을 배치한 완전 아날로그 비터비 디코더이다. 실제로는 트렐리스 다이어그램의 구속장 만큼의 길이만 구현한 후 이를 순환 연결한 구조이기 때문에 별도의 path memory가 필요 없을 뿐 아니라, A/D변환이 필요치 않으므로 전력 소모가 매우 적으며, A/D변환시 발생하는 입력 심볼의 양자화 오류가 줄어 정확한 에러 정정이 가능하다.

비터비 디코더는 식(1)의 min 연산을 수행하는 유닛을 각 노드에 배치하여 누적된 거리값 중 최소값을 갖는 경로를 역추적하여 디코딩을 수행하기 때문에 디코딩을 위한 path memory의 마지막 열에는 구속장의 3~5배의 경로를 거쳐온 거리값이 누적되어 연산 유닛에서 처리할 수 있는 데이터 범위를 벗어나게 된다. 이에 기존의 비터비 디코더는 별도의 데이터 정규화(normalization) 과정을 필요로 하기 때문에 하드웨어 구현시 많은 제약을 야기하고, 구조 또한 복잡하게 한다. 본 논문에서는 식(1)의 min 회로 대신 아날로그 회로 구현이 용이한 max 회로를 이용하여 누적된 거리값을 감한 후 최대값을 계산하는 방식을 채택하였다.

임의의 큰 기준값을  $I_{ref}$ 라 하고  $I_{ref}$ 와  $D_{k,l}$ 의 차이값을  $y_{k,l}$ 라고 하면 (1)식은 다음과 같은 (2)식으로 변환할 수 있다.

$$y_{k,l} = I_{ref} - D_{k,l} \quad (2)$$

(2)는  $D_{k,l}$ 의  $I_{ref}$ 에 대한 보수(complement)적인 의미로서,  $D_{k,l}$ 은

$$D_{k,l} = I_{ref} - y_{k,l} \quad (3)$$

로 표현할 수 있다. 따라서, (1) 식은

$$D_{i,j} = I_{ref} - \max \{ y_{k,l} - d_{ij,kl}; (k,l) \in S \} \quad (4)$$

이 되어  $y_{k,l}$ 로부터 두 노드간의 에러를 감하는 계산이 되며 (1)에서의 min 연산 대신 max 연산으로 표현된다. 또, (2)

에서 노드 (i,j)에 대해서는

$$y_{i,j} = I_{ref} - D_{i,j} \quad (5)$$

이므로, (5)에 (4)를 대입하게 되면

$$y_{i,j} = \max\{ y_{k,l} - d_{ij,kl} ; (k,l) \in S \} \quad (6)$$

가 된다. 따라서 (1)식의 최소값 연산은 (6)과 같이 회로 구현이 용이한 최대값 연산으로 변환할 수 있다.

아날로그 신호처리 셀을 이용하여 식 (6)의 우변을 계산하게 한다면 임의의 셀 (i,j)로부터 시작 셀까지의 누적 최소 에러는 각 셀의 출력  $y_{i,j}$ 값을 (3)에 대입함으로써 계산할 수 있다. 그런데, 시작 셀로부터 자신의 위치까지의 누적 최소에러  $D_{i,j}$ 는 0이어야 하므로 시작 셀에서의  $y_{i,j}$ 값은  $I_{ref}$ 가 된다. 따라서, 모든 셀에 대한 출력은 (i,j)의 시작 위치 여부에 따라 아래의 식 (7)과 같이 정리할 수 있다.

$$y_{i,j} = \max\{ u_{i,j}, y_{k,l} - d_{ij,kl} ; (k,l) \in S \} \quad (7)$$

여기에서  $u_{ij}$ 는 식 (8)처럼 인가한다.

$$u_{i,j} = \begin{cases} I_{ref} & ; (i,j) \text{가 시작위치의 셀인 경우} \\ 0 & ; (i,j) \text{가 시작위치의 셀이 아닌 경우} \end{cases} \quad (8)$$

그림 2는 (7), (8) 식의 연산을 수행하는 제안한 비터비 디코더의 아날로그 신호처리 셀의 연결구조로서, 자신의 입력값과 전 상태의 출력에서 지역 오차를 감한 값들 중에서 최대값을 계산하는 구조로 도식화 할 수 있다.

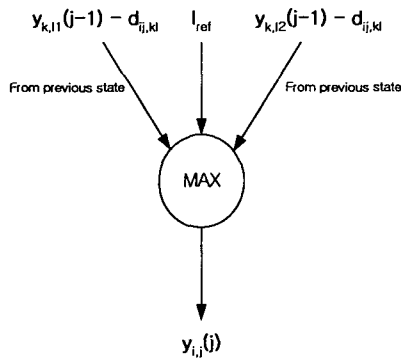


그림 2 제안한 비터비 디코더의 연산 구조  
Fig. 2 Operational diagram at a cell of proposed Viterbi decoder

트렐리스 다이어그램의 각 노드에 그림 2와 같은 연산 셀을 배치하고, 초기 상태에 기준값  $I_{ref}$ 를 입력하게 되면,  $I_{ref}$ 값은 각 경로의 오차 값  $d_{ij,kl}$ 만큼 감소되면서 트렐리스 다이어그램상의 모든 노드에 전파되게 된다.

#### 4. 제안한 비터비 디코더의 디코딩 원리

제안한 비터비 디코더는 트렐리스 다이어그램의 각 노드

에 최대값 연산을 수행할 수 있는 아날로그 신호처리 셀을 배치한 완전 병렬 구조이며, 트렐리스 다이어그램을 구축장의 길이만큼만 구현하여 그림 3과 같이 마지막 열의 셀들과 처음 열의 셀들이 연결된 순환형 구조이다. 즉, 셀의 수직 열을 stage라고 하면 마지막 stage는 다시 가장 앞 열과 연결된 병렬 chain 구조로 마지막 열의 출력이 처음 열의 입력에 제공되는 구조이다.

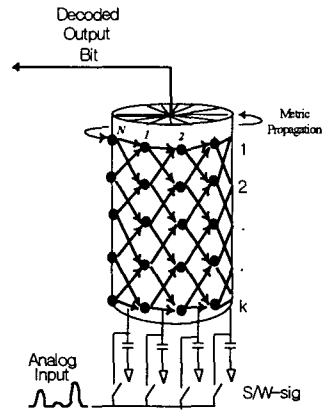


그림 3 제안한 아날로그 비터비 디코더의 순환형 구조  
Fig. 3 Cyclic structure of proposed Viterbi decoder

그림 4는 그림 3의 순환형 구조를 펼친 전개도로, 현재의 디코딩 stage를 가리키는 stage indicator, 현재의 디코딩 상태를 가리키는 state indicator, 수신된 신호를 순차적으로 저장하는 커패시터, 그리고 각 노드마다 설치된 아날로그 신호처리 셀 및 출력 회로 등으로 구성되어 있다.

제안한 비터비 디코더에 수신된 입력 신호는 stage indicator의 스위치 동작에 의해 그림 4의 아날로그 입력단에 차례로 입력되며 입력 신호 저장용 커패시터 C(1)에서부터 순차적으로 저장된다. 이 커패시터는 수신 심볼의 수와 같은 갯수이다. 즉, 부호율  $R=1/2$ 의 경우에는 각 stage마다 2개씩의 커패시터를 가져야한다. 제안한 비터비 디코더는 순환형 구조이기 때문에 수신된 심볼들의 저장위치는 마지막 stage에서 다시 첫 번째 stage로 순환 된다. 이 때 순환 연결된 첫 번째 stage와 마지막 stage를 각각 디코딩 stage와 출력 stage라 명명한다.

제안한 비터비 디코더의 디코딩은 각 stage의 모든 커패시터에 심볼들이 저장되고 기준값  $I_{ref}$ 가 첫 번째 stage의 한 셀에 인가되면서부터 시작된다. 디코딩시 인가되는 기준값  $I_{ref}$ 를 인가할 초기 위치는 임의로 지정되지만, 두 번째 심볼의 디코딩부터는 stage indicator와 state indicator의 로직 연산에 의해 지정된다. 인가된  $I_{ref}$ 값은 각 셀에서 식 (7)과 같은 연산에 의해 트렐리스 다이어그램의 부호어와 수신 심볼간의 오차값만큼 감소되어 마지막 stage, 즉 출력 stage까지 전파된다.

디코딩은 기준값  $I_{ref}$ 가 출력 stage까지 전파된 후부터 시작되는데, 논문에서 제안한 디코딩 기법은 circuit-based 디코딩으로, 디코딩 stage에서의 0 혹은 1를 지나는 경로에 negative trigger 신호를 인가한 후, 출력 stage에서의 셀 출력들 중 최대값의 변화 여부에 따라 디코딩 하는 방법이다.

이 때 인가된 negative trigger 신호는 트렐리스 다이어그램의 경로를 차단하는 역할을 수행하므로 출력 stage의 최대값이 입력 stage의 1에 해당하는 경로를 통과했다면 디코딩 stage에서 1에 해당하는 경로를 차단했을 때 출력 값에 큰 변화를 나타낼 것이다. 그런데, 만약 이 경로가 0에 해당하는 경로를 통과했다면 negative trigger 신호인가 후에는 출력단의 최대값에는 큰 변화가 없을 것이다. 따라서 제안한 비터비 디코더에서의 최종 디코딩은 디코딩 stage에서 negative trigger 신호 인가 전후의 출력 stage에서의 최대값의 변화 여부에 따라 1 또는 0으로 결정하는 원리이다.

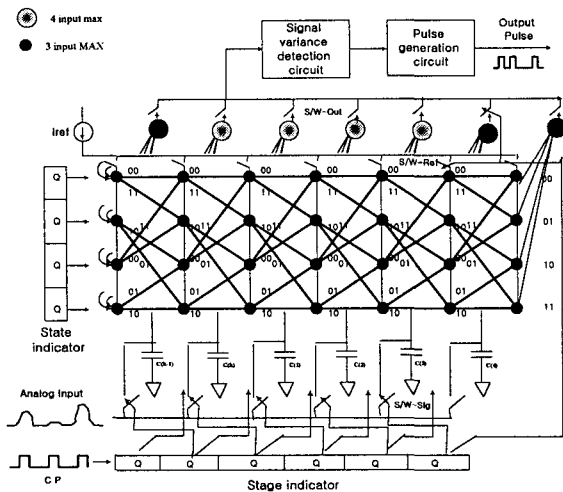


그림 4 제안한 비터비 디코더 구조의 전개도  
Fig. 4 Detail structure of the proposed Viterbi decoder

### 5. 시뮬레이션

제안한 비터비 디코더의 성능을 검증하기 위해 AWGN 채널 환경에서의 소프트웨어 및 하드웨어 에러 정정 시뮬레이션을 수행하였다. 소프트웨어 시뮬레이션에서는 기존의 디지털 비터비 디코더와 준-아날로그 비터비 디코더의 성능 비교를 통해 제안한 비터비 디코더의 성능을 검증하였고, 하드웨어 시뮬레이션에서는 제안한 비터비 디코더를 아날로그 회로로 구현하고 이를 HSPICE 시뮬레이션을 통해 에러 정정 성능을 확인하였다.

#### 5.1 에러 정정 성능 비교를 위한 소프트웨어 시뮬레이션

기존의 디지털 비터비 디코더와 준-아날로그 비터비 디코더를 구현하여 채널 잡음에 따른 비교 시뮬레이션을 수행하였다. 제안한 비터비 디코더의 정확한 에러 정정을 위해 소프트웨어적으로 구현한 stage수는 8개이며 에러 정정 성능을 검증하기 위해 총 2만개의 랜덤한 인코더 입력 데이터에 대한 디코딩 결과를 제시하였다.

제안한 비터비 디코더와 기존의 준-아날로그 비터비 디코더에서는 잡음이 포함된 아날로그 신호를 입력으로 하여 처리하므로 양자화에 의한 잡음이 없지만, 디지털 비터비 디코더에서는 양자화에 따른 에러가 발생할 수 있다. 이에 대한 영향을 분석하기 위한 시뮬레이션을 수행하였다. 그림 5는 제안한 비터비 디코더와 기존의 비터비 디코더들과의 성능 비교 시뮬레이션 결과이다. 그림에서

보는 바와 같이 제안한 비터비 디코더는 BER이  $10^{-5}$ 인 경우 기존의 디지털 비터비 디코더보다 약 0.25dB 정도 우수함을 알 수 있다. 또한 기존의 준-아날로그 비터비 디코더와의 비교 시뮬레이션 결과에서는 BER이  $10^{-5}$ 인 경우 기존의 준-아날로그 비터비 디코더에 비해 약 0.2dB 정도 우수함을 알 수 있다.

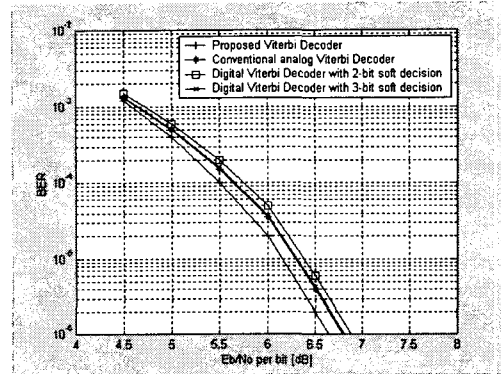


그림 5 제안한 비터비 디코더와 기존의 디지털, 준 (semi)- 아날로그 비터비 디코더간 소프트웨어 시뮬레이션에 의한 성능 비교  
Fig. 5 Comparison of the error correction performances among the proposed and semi-analog and digital Viterbi decoder(k=7) through software simulation.

#### 5.2 회로 시뮬레이션

제안한 비터비 디코더의 하드웨어 구현시 성능을 검증하기 위해 구속장  $K=7$ , 부호율  $R=1/2$ 인 비터비 디코더를 아날로그 회로로 구현하고 HSPICE를 이용하여 시뮬레이션을 수행하였다. 제안한 비터비 디코더의 stage 회로는 64개의 아날로그 신호처리 셀로 구성되어 있으며 각 셀은 거리값 계산을 위한 절대값 연산 회로[11]와, 전 단의 출력에서 거리값을 제한 후 최대값 계산을 위한 최대값 연산 회로[10]로 구성되어 있다. 제안한 비터비 디코더 회로 구현에 사용된 총 트랜지스터수는 약 30,000개였다. HSPICE 시뮬레이션시 컨벌루션 부호기의 입력되는 테스트 데이터 수는 10,000개였으며 통신 채널은 AWGN채널환경을 가정하였다. 시뮬레이션에 사용된 공정은 현대 0.35um 공정으로, 본 논문에서는 제안한 비터비 디코더의 정확한 성능 측정을 위해 표준 MOS model과 worst case model에 따른 시뮬레이션도 수행하였다.

그림 4의 회로 구조에 데이터 비트가 순차적으로 인가되면 새로 인가된 신호는 다음 stage의 캐패시터에 저장된다. 이렇게 새로 입력된 신호가 디코딩 stage의 바로 전 stage인 출력 stage에 저장되고 나면, 맨 처음 입력된 데이터의 디코딩이 시작된다.

그림 6은 제안한 비터비 디코더에서 디코딩 stage의 1에 해당하는 경로들에 negative trigger 신호가 인가되기 전후에 출력 stage에서의 64개 셀 출력의 변화를 표현한 것으로, 그래프 ①은 negative trigger 신호를 인가하기 이전의 각 셀들의 출력이고, 그래프 ②는 인가한 후의 출력 값들이다. 그림에서 그래프 ①의 최대값과 그래프 ②의 최대값의 차이가 threshold 이상이기 때문에 최종 디코딩시에는 1이 출력된다.

그림 7(a)은 인코더의 입력 열이 010110일 때를 예시한 것으로서 제안한 비터비 디코더의 신호 검출부의 입력파형으로서 각 펄스의 양의 피크 위치 ㉓는 디코딩 stage에서 negative trigger를 인가하기 전의 출력이고, 출력값이 낮아지는 위치 ㉔는 negative trigger를 인가했을 때 출력이다. 더 자세히 설명하면, 그림 7(a)에서 첫 번째 펄스는 0이 입력되었을 때의 출력파형으로 디코딩 stage에서의 1에 해당하는 경로에 negative trigger를 인가하면 이상적으로는 ㉔점이 ㉓와 같은 크기를 유지해야 하지만, 회로간의 상호간섭에 의해 약간의 변화가 나타난다. 이에 비하여 두 번째 펄스는 1에 해당하는 파형으로서 처음에 나타난 최대값이 디코딩 stage의 negative trigger인가로 크게 변화했음을 알 수 있다. 그림에서 화살표로 표시한 샘플링 위치에서 취한 값이 threshold보다 큰 경우는 0으로 디코딩 하며 작은 경우에는 1로 디코딩 한다. 그림 7(b)는 제안한 비터비 디코더의 최종 디코딩 출력파형으로 상단의 펄스폭이 넓은 곳이 그림 7(a)에서의 펄스폭의 변화가 심한 곳으로서 데이터 비트 1에 해당하는 곳이다. 결국 그림 7(a)의 샘플링 위치에 따라 데이터를 획득하면 010110이라는 정확한 디코딩 결과를 확인 할 수 있다.

그림 7(a)의 각 펄스들은 개별 입력 비트에 해당하는 것으로, 데이터의 입력속도가 증가하면, 펄스 간격이 좁아지게 된다. 그림 8은 데이터 속도와 디코더의 출력 펄스간의 폭을 시뮬레이션을 통해 구한 그래프이다. 그림에서 알 수 있는바와 같이 130Mbps 이상이 되면, 샘플링 후 다음 신호가 입력되기 전까지의 샘플링 간격 여유가 1ns 이하로 줄어들게 되어 두 펄스가 겹쳐지므로 정확한 디코딩이 이루어지지 않게 된다. 따라서 이 디코더의 경우 최대 속도를 130Mbps로 결정하게 되는 것이다.

실제 칩 제작시에는 이상적인 조건만을 가정할 수 없으므로 worst case에 대해서도 시뮬레이션을 통해서 동작을 확인하였다. 그림 9는 인코더의 입력 열이 010110일 때 제안한 비터비 디코더의 worst case 시뮬레이션 결과로서, 그림 9(a)는 신호 검출기의 입력파형, 그림 9(b)는 최종 디코딩 출력 파형이다. 그림 9(a)에서 샘플링 간격은 9ns으로 약 110Mbps의 디코딩 속도를 나타내는데, 앞에서와 같은 방법으로 구한 최대 속도이다. 따라서 worst case 경우에는 표준 조건의 동작속도에 비해 20Mbps정도 떨어진

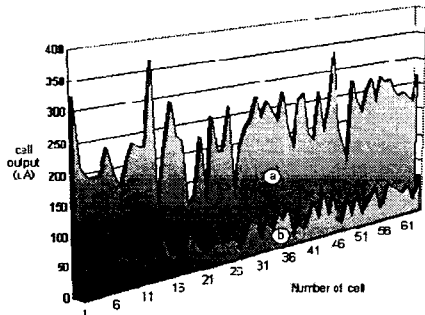
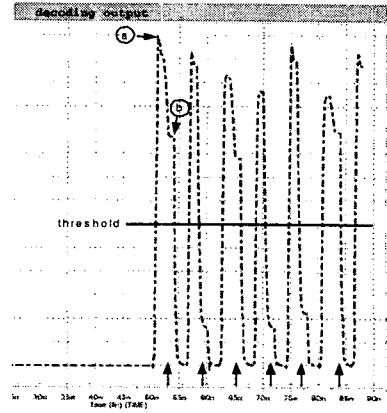


그림 6 Negative trigger 신호인가 전 ㉓ 및 후 ㉔의 출력 stage 셀들의 출력값 변화,

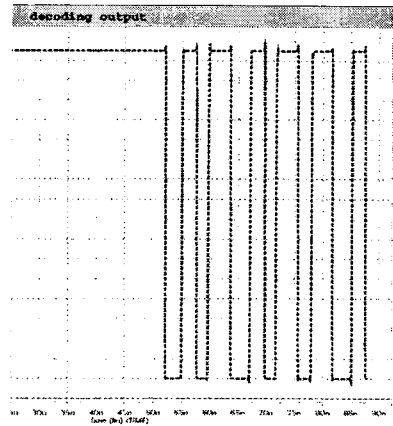
Fig. 6 Output variations of the cell at the output stage ㉓ before and ㉔ after triggering with the negative pulse at the decoding stage

속도가 최대의 속도였다.

표 1은 제안한 64-state 비터비 디코더와 기존의 디지털 비터비 디코더의 성능비교를 종합한 것이다.



(a)



(b)

그림 7 입력 데이터가 010110(k=7)이며, 130Mb/sec 속도로 인가되는 경우, 제안한 비터비 디코더의 표준 시뮬레이션 출력 파형 (a) 신호 검출기 입력 신호 (b) 신호 검출기의 출력 신호

Fig. 7 Standard case simulation for the data sequence of 010110(k=7) at 130Mb/sec data rate. (a) input of the signal detector (b) output of the signal detector

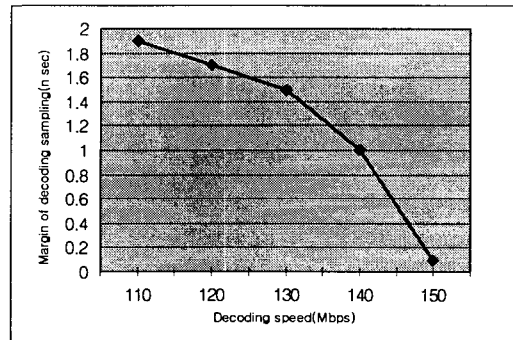


그림 8 데이터 속도에 따른 출력 펄스 간의 거리  
Fig. 8 Pulse interval versus the data speed

5. 결 론

아날로그 신호처리 셀을 이용하여 데이터 통신이나 마그네틱 디스크 리더의 에러 정정에 적용할 수 있는 순환형 구조의 비터비 디코더를 제안하였다. 제안한 비터비 디코더는 기존의 방식과는 달리 아날로그 신호처리 셀의 2차원 배열을 이용한 아날로그 병렬처리 방식으로, 에러 정정 능력이 기존의 비터비 디코더들에 비해 우수할 뿐만 아니라, 칩의 전력 소모도 적다는 특징이 있다.

본 논문에서는 제안한 비터비 디코더의 성능을 검증하기 위한 소프트웨어 및 하드웨어 시뮬레이션을 수행한 결과 기존의 비터비 디코더에 비해 BER의  $10^{-5}$ 에서 약 0.2 dB정도 우수한 성능을 보였다. 제안한 비터비 디코더를 아날로그 회로로 구현하고, 이를 HSPICE 시뮬레이션 결과, R=1/2, K=7인 비터비 디코더는 표준 시뮬레이션에서 130Mb/s, worst case 시뮬레이션에서 110Mbps 디코딩 속도를 나타내었다.

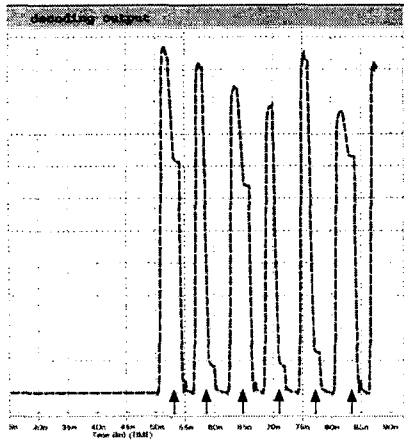
본 논문에서 설계한 비터비 디코더는 보다 나은 설계 파라미터를 선택할 경우, 이 보다 고속의 디코딩 속도를 얻을 수 있는 여지가 아직 남아 있지만, 수십 Mbps에 불과한 기존의 디지털 비터비 디코더 및 준-아날로그 비터비 디코더와 비교하면 월등히 개선된 성능을 보이고 있다.

감사의 글

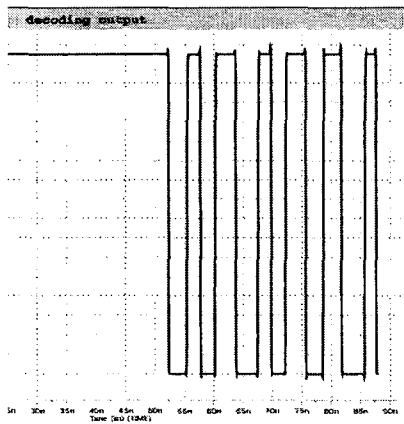
본 연구는 정보통신부 정보통신연구진흥원에서 지원하고 있는 정보통신기초연구지원사업의 연구 결과입니다.

참 고 문 헌

- [1] J. A. Heller, J. M. Jacobs, "Viterbi decoding for satellite and space communication," IEEE Trans. Commun. Technol., vol. COM-19, pp. 835~848, Oct. 1971.
- [2] Kang, A. N. Wilson, Jr., "Low-power Viterbi decoder for CDMA mobile terminals," IEEE J. Solid-State Circuits, vol 33, pp. 473~482, Mar, 1998.
- [3] N. Sohi, P. G. Culak, "A multistandard set-up box channel decoder," in IEEE Workshop Signal Processing System(SiPS), Lafayette, LA, Oct. 2000, pp. 295~304..
- [4] T. W. Matthews, R. R. Spencer, "An integrated analog CMOS Viterbi detector for digital magnetic recording," IEEE J. Solid-State Circuits, vol. 28, pp. 1294~1302, Dec. 1993
- [5] G. David Forney, JR. "The Viterbi Algorithm," Proc. of the IEEE, vol. 61, No. 3, Mar. 1973.
- [6] P. G. Gulak and E. Shwedyk. "VLSI structures for viterbi receivers: Part I - general theory and applications," IEEE J. on Selected areas in comm., vol. 4, pp. 142~154, Jan. 1986.
- [7] Jens Sparso, Henrik N., Jorgenson, "An Area-Efficient Topology for VLSI Implementation of Viterbi Decoders and Other Shuffle-Exchange Type Structures," IEEE Jr. Solid-State Circuit, vol. SC-26. no. 2, pp. 90~96, Feb.



(a)



(b)

그림 9 입력 데이터가 010110(k=7)이며, 110Mb/sec 속도로 인가되는 경우, 제안한 비터비 디코더의 worst case 시뮬레이션 출력 파형 (a) 신호 검출기 입력 신호 (b) 신호 검출기의 출력 신호

Fig. 9 Worst case simulation for the data sequence of 010110(k=7) at 130Mb/sec data rate. (a) input of the signal detector (b) output of the signal detector

표 1 제안한 비터비 디코더와 기존의 디지털 비터비 디코더와의 성능 비교

Table 1 Comparison of performance between proposed Viterbi decoder and Conventional digital Viterbi decoder.

Parameter	제안한 비터비 디코더	기존의 디지털 비터비 디코더[12]
Maximum decoding speed	110Mbps	70Mbps
Path memory	불필요	필요
Power consumption	매우 적음 ( $\cong 60mW$ )	매우 많음 ( $\cong 1800mW$ )
Latency	구속장 길이	구속장 길이의 5배
Constraint Length	7 (# of state : 64)	7 (# of state : 64)
Code Rate	1/2	1/2

- 1991.
- [8] Kai He and Gert Cauwenberghs, "Integrated 64-state parallel analog Viterbi decoder," Proceedings of ISCAS 2000, Geneva, Swiss, vol. IV, pp. 761~764.
  - [9] M. Moerz, A. Schaefer, "Analog decoders for high rate convolutional codes," IWT 2001, Australia, pp. 128-130.
  - [10] I. Baturone, J.L. Huertas, A. Barriga and S. Sanchez-Solano, "Current-mode multiple-input Max circuit," Electronics Letters, vol. 30, no. 9, Apr. 1994.
  - [11] 김성원, 김종만, 김형식, "측방향정보전파신경회로망 IC 설계," CAD 및 VLSI 설계연구회지, 제6권 제1호, pp. 89~101, 1997.12
  - [12] 이병철, 선우명훈, "멀티미디어 통신용 병렬 아키텍처 고속 비터비 복호기 설계," 대한 전자 공학회 논문지, vol. 37, no. 2, pp. 78~84, 2000, 2.

## 저 자 소 개



### 손 홍 락(孫 弘 樂)

1973년 5월 26일생. 1996년 전북대 제어측공학과 졸업. 1998년 전북대학교 대학원 전기공학과 석사. 2003년 전북대학교 대학원 전자공학과 박사. 2000년 ~ 현재 전북대학교 메카트로닉스 연구센터 연구원

Tel : 063-270-2477

Fax : 063-270-2451

E-mail : hrson2@chol.com



### 김 형 석(金 炯 奭)

1956년 1월 21일생. 1980년 한양대학교 전자공학과 졸업. 1982년 전북대학교 대학원 전자공학과 졸업. 1992년 University of Missouri, Columbia, Dept. of Electrical and Computer Eng. 박사. 1993. 09 ~ 현재 전북대학교 부교수.

Tel : 063-270-2477, Fax : 063-270-2451

E-mail : hskim@moak.chonbuk.ac.kr