

論文 2003-40SD-11-10

Self Calibration Current Bias 회로에 의한 10-bit 100 MSPS CMOS D/A 변환기의 설계

(A 10-bit 100 MSPS CMOS D/A Converter with a Self Calibration Current Bias Circuit)

李 漢 洙 * , 宋 元 哲 * , 宋 敏 圭 * *

(Han-Soo Lee, Won-Chul Song, and Min-Kyu Song)

요 약

본 논문에서는 빠른 정착시간을 갖는 전류셀(Current Cell) 매트릭스의 구조와 출력의 Gain error를 보정할 수 있는 Self calibration current bias 회로의 기능을 가진 고성능 10-bit D/A 변환기를 제안한다. 매트릭스 구조 회로의 복잡성으로 인한 지연시간의 증가 및 전력 소모를 최소화하기 위해 상위 6MSB (Most Significant Bit) 전류원 매트릭스와 하위 4LSB (Least Significant Bit) 전류원 매트릭스로 구성된 2단 매트릭스 구조로 설계되어 있다. 이러한 6+4 분할 구조를 사용함으로써 전류 원이 차지하는 면적과 Thermometer decoder 부분의 논리회로를 가장 최적화 시켜 회로의 복잡성과 Chip 사이즈를 줄일 수 있었고 낮은 Glitch 특성을 갖는 저 전력 D/A 변환기를 구현하였다. 또한 Self Calibration이 가능한 Current Bias를 설계함으로써 이전 D/A 변환기들의 칩 외부에 구현하던 Termination 저항을 칩 내부에 구현하고 출력의 선형성 및 정확성을 배가시켰다. 본 연구에서는 3.3V의 공급전압을 가지는 0.35 μ m 2-poly 4-metal N-well CMOS 공정을 사용하였고, 모의 실험결과에서 선형성이 매우 우수한 출력을 확인하였다. 또한 소비전력은 45mW로 다른 10bit D/A 변환기에 비해 매우 낮음을 확인 할 수 있었다. 실제 제작된 칩은 Spectrum analyzer에 의한 측정결과에서 100MHz 샘플링 클럭 주파수와 10MHz 입력 신호 주파수에서 SFDR은 약 65dB로 측정되었고, INL과 DNL은 각각 0.5 LSB 이하로 나타났다. 유효 칩 면적은 Power Guard ring을 포함하여 1350 μ m \times 750 μ m 의 면적을 갖는다.

Abstract

In this paper, a highly linear and low glitch CMOS current mode digital-to-analog converter (DAC) by self calibration bias circuit is proposed. The architecture of the DAC is based on a current steering 6+4 segmented type and new switching scheme for the current cell matrix, which reduced non-linearity error and graded error. In order to achieve a high performance DAC, novel current cell with a low spurious deglitching circuit and a new inverse thermometer decoder are proposed. The prototype DAC was implemented in a 0.35 μ m n-well CMOS technology. Experimental result show that SFDR is 60 dB when sampling frequency is 32MHz and DAC output frequency is 7.92MHz. The DAC dissipates 46 mW at a 3.3 Volt single power supply and occupies a chip area of 1350 μ m \times 750 μ m.

Keyword : CMOS Digital to Analog Converter

* 正會員, (주)아날로그칩스

(Analog Chips Co. LTD)

** 正會員, 東國大學校 半導體科學科

(Dept. of Semiconductor Science, Dongguk Univ.)

接受日字:2003年4月3日, 수정완료일:2003年11月14日

I. 서론

최근 HPNA(Home Phoneline networking Alliance) 등을 이용한 초고속 Data Service용 시스템 및 Cellular phone, PDA, GPS, Satellite Communication과 같은 무선 통신 시스템의 공통부분인 송신 단 (Tx) 에는 반드시 Digital Data를 Analog Baseband 신호로 바꾸어주는 DAC(Digital to Analog Converter)가 필요하다. 통상 이러한 시스템의 DAC는 우수한 Dynamic 특성을 가져야 하며 동시에 시스템 특성상 SNR(Signal to Noise Ratio)의 저하나 어떠한 Spurious 또는 Distortion을 발생시켜서는 안 된다. 또한 위에서 거론한 모든 시스템들은 하나의 Chip으로 One_Chip화시키는 고집적회로로의 구현 추세에 따라 매우 낮은 저전력의 특성도 가져야 한다.

본 연구에서는 고속동작을 유지하면서 우수한 다이내믹 특성 및 높은 해상도를 만족시키기 위해 전류구동 형태의 Segmented Type 10-bit 100MSPS DAC를 CMOS공정에서 설계하였다. 이를 위해 구조는 전체 Chip size를 고려하여 6+4 분할구조로 하였고 Thermometer Code 기법을 이용한 전류셀 매트릭스 (Current Cell Matrix)로 상위와 하위 모두를 구성하였다. 또한 System의 One-chip화에 의한 구조에 대응하기 위해 이전 DAC들의 방식과는 다르게 DAC의 최종 전류 출력단에 구현되는 종단 저항(Termination Resister)을 Chip 내부에 구현하였다. 따라서 이러한 구조에 따른 공정상 발생할 수 있는 저항의 오차에 의한 DAC의 출력의 Gain 에러를 Self calibration하는 새로운 Current bias 회로를 제안한다. 본 논문의 내용은 다음과 같다. II장에서는 제안하는 6+4 분할 구조 DAC의 세부적인 설계내역 및 기존 회로와의 비교 검토를 통해 우수성을 입증하였고 III장에서는 Full Chip 모의실험 결과를 IV장에서는 Chip Implementation 및 측정결과에 대해서 기술하고, 마지막으로 V장에서는 제안하는 DAC에 대한 전체적인 내용을 요약 표를 통해 정리하였다.

II. Full thermometer 6+4 분할구조 10Bit D/A 변환기의 설계

1. 전체 구조

<그림 1>에 본 DAC의 회로에 대한 전체적인 Block Diagram 을 나타내었다. 그림에서 알 수 있듯이 D/A 변환기의 기본구조는 전류구동의 분할 Type으로써 상위쪽 6-Bit은 Glitch가 매우 적으며 또한 정교한 Thermometer Type으로 구성하였으며 나머지 하위쪽 2-Bit의 구성도 상위와 마찬가지로 Analog 출력의 선형성이 우수한 Thermometer Type으로 구현하였다.

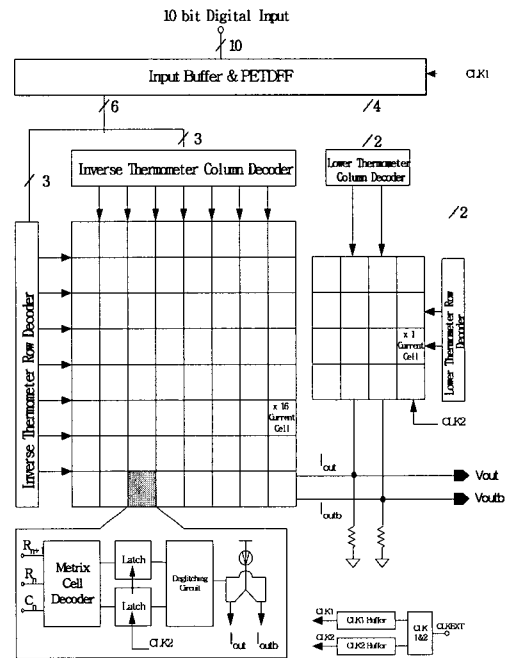


그림 1. 제안하는 10-bit DAC Block Diagram
Fig. 1. Proposed DAC Full Block Diagram.

회로의 기본적인 동작을 살펴보면 우선 10-Bit의 Digital 입력신호는 Input Buffer 및 Latch를 통해서 상위 및 하위 각각의 전류모드 Digital to Analog 변환 블록으로 들어가게 된다. 먼저 상위 6-Bit은 각 3-Bit으로 나뉘어져 Row & Column 디코더를 통해 역 Thermometer Code로 변환된다. 이후 변환된 Code는 다시 매트릭스 셀 디코더에 의해 64개의 x16 전류 셀을 선택적으로 스위칭 하게 된다. 또한 하위 4-Bit은 상위와 마찬가지로 각각 2-Bit 씩 나뉘어져 Row & Column 디코더를 통해 16개의 x1 전류 셀을 스위칭하게 된다. 역 Thermometer Code를 사용한 D/A 변환기는 아주 정확한 Analog 출력, 아주 적은 INL / DNL Error, 정확한 단조 증가성을 만족시킬 수 있는 반면 디코더 등의 추가 회로로 인해 동작 속도가 상대적으로

로 느리고 전력소모 및 면적이 증가되는 단점이 있다. 반면 앞에서 논한 Binary weighted Current Cell 을 이용한 D/A 변환기는 이진 비로 구성되어 있는 전류 원 을 통해 원하는 전류를 출력하는 방법으로 트랜지스터 개수가 적고 동작 속도가 상대적으로 높다는 장점이 있으나 공정상 부 정합에 민감하고 Glitch 에너지가 크 다는 단점이 있다^[10]. 이전 D/A 변환기에서 제안하는 회로는 이 두 가지 Type 을 적절히 혼합 시켜 D/A 변 환기의 성능을 배가시킨 6+4 Segmented Type 구조를 사용하였으나 본 논문에서 제안하는 D/A 변환기는 6+4 로 나뉘어진 각 MSB, LSB 블록을 선형 성이 우수한 Thermometer 구조로 상위 6-Bit 과 하위 4-Bit 을 모 두 가져간 Full Matrix 6+4 구조를 사용하였다. 이전 방식의 구조보다 하위 4-Bit 쪽에 추가되는 Decoder에 의해 Digital Block쪽이 약간 구조가 복잡해지는 단점 이 있으나 전체적인 D/A 변환기 동작의 성능은 아주 낮은 Glitch 특성과 새로운 Decoder에 의한 Matrix 블 록의 2차원 대칭의 스위칭 기법에 의해 더 향상되어질 수 있게 된다. 또한 여기서 Input Latch Block 및 MSB, LSB 각각의 Current Cell 블록들은 외부 Clock 에 의해 정확히 동기가 되며 최종적으로 각 블록에서 나온 출력은 칩 내부에 구현된 Doubly Termination 50 Ω 저항을 통해 하나로 합쳐져 최종적으로 원하는 Analog 출력을 얻게 된다.

2. 설계 사양

10-Bit DAC에 대한 설계는 먼저 요구되는 DAC 출 력전압의 최대 값을 설정한 후 식 (1)으로부터 Vref 전 압을 구하였다. 이 후 출력 디지털 신호의 LSB가 한 단계 변화할 때 아날로그 신호의 전압 변화 값인 VLSB를 구하였다. 설계에서는 10-Bit D/A 변환기이므 로 1LSB는 0.9765 m Volt가 되며 출력 전압의 최대 값 (Vout,max)은 1.2Volt로 설정하였고 Dual mode 출 력이므로 각 출력 노드 전압의 최대 값은 0.6Volt가 된 다. 따라서 VLSB 는 식 (2)에 의해 각 단이 0.585 mV 가 된다. 이때 D/A변환기의 출력 Termination 저항으 로 50Ω을 달았을 경우 x 1 전류 셀의 전류는 약11.71μ A 가 되어야 한다.

$$V_{out, \max} = V_{ref}(1/ 2^N) \tag{1}$$

$$V_{LSB} = V_{ref}/ 2^N \tag{2}$$

따라서 이와 같이 계산되어진 하위 4-Bit의 x1 전류

셀을 기준으로 하여 상위 6-Bit의 x16 전류 셀의 전류 값은 16 배수만큼의 전류 값을 할당하면 된다.

3. Thermometer type 전류셀 매트릭스 블록 의 대칭적 스위칭

실제 D/A 변환기에서 출력의 선형성이 감소하게 되 는 원인으로는 구현된 전류원의 부정합에 의해 나타나 게 된다. 소자 부정합의 발생원인으로는 Power line을 따라 생겨나는 전압강하, 공정 변수 변화, 칩 내의 열 분포, 전류의 방향에 따른 전류 값 부정합 등이 있으며, 이러한 발생 원인에 의해 전류 원의 Mismatching이 발 생하게 되어 선형성의 감소가 나타나게 되며 이를 경 사 오차(graded error), 대칭 오차(symmetrical error) 및 임의의 오차 (random error) 등으로 표현할 수 있 다. 이때 전류셀 매트릭스의 스위칭에 있어서 기존의 전류셀을 동작 시키는 방법은 한 라인에 대해 전류 스 위치가 모두 켜지고 나서야 다른 라인의 전류 스위치 가 켜지게 되므로 그 라인에 대한 경사오차와 대칭오 차는 누적 되게 된다^[7].

따라서 <그림 2>와 같이 상위 6-Bit에 해당하는 64 개의 전류셀에 대해 가운데 셀을 기준으로 행과 열에 대해 서로 대칭적 위치에 있는 전류 셀들을 순차적으 로 스위칭 해줌으로써 2차원적으로 공정상 발생할 수 있는 오차를 감소시키는 장점을 갖는다. 이러한 스위칭 기법은 행과 열의 각 디코더들의 위치를 <그림 3>과 같이 전류셀 위치에 따라 배치함으로써 별 다른 회로 의 추가 없이 구현 할 수 있다.

이때 Matrix의 공통 열(Common Row line)은 각 구 역의 하위 3-Bit이 되고 공통 행(Common Column

62	58	57	61	47	43	44	48
30	26	25	29	15	11	12	16
22	18	17	21	7	3	4	8
54	50	49	53	39	35	36	40
38	34	33	37	55	51	52	56
6	2	1	5	23	19	20	24
14	10	9	13	31	27	28	32
46	42	41	45	63	59	60	64

그림 2. 대칭적 switching구조
Fig. 2. Symmetrical Current cell switching.

line)은 각 구역의 상위 3-Bit이 된다. 따라서 Row line은 모두 공통의 라인을 형성하게 되고 Column 라인은 전체 64 Current Cell Matrix 에서 가운데 부분에서 상하 반전을 이루게 된다.

이와 같이 상위 6-Bit에 대해서는 대칭적 스위칭 기법을 적용하고 상대적으로 면적이 작게 구성되는 하위 4-Bit 에 대해서는 통상적인 스위칭 기법을 적용하였다.

11100	11101	11100	11100	10110	101010	101011	101111
01110	011001	011000	011100	001110	001010	001011	001111
01010	010001	101000	010100	000110	000010	000011	000111
11010	110001	110000	110100	100110	100010	100011	100111
10010	100001	100000	100100	110110	110010	110011	110111
00010	000001	000000	001100	010110	010010	010011	010111
00110	001001	001000	001100	011110	011010	011011	011111
10110	101001	101000	101100	111110	111010	111011	111111

그림 3. Matrix Cell의 디코더 배치 구성도
Fig. 3. Formation of Matrix current cell Decoder.

또한 전체 블록의 Layout시 전류셀 블록을 아날로그 블록과 디지털 블록으로 분리하면서 스위칭이 되는 블록을 디지털 쪽으로 옮기면서 아날로그 출력쪽에 생길 수 있는 아날로그, 디지털 신호간의 간섭을 막도록 설계하였다.

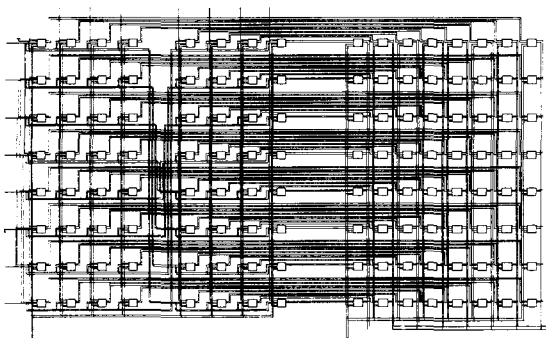


그림 4. Matrix에 구성된 Analog & Digital Block의 회로도
Fig. 4. Analog & Digital Circuit of Matrix Block.

4. 제안하는 전류셀

전류 셀(Current cell)은 DAC의 Performance를 결정하는 중요한 회로로 적은 Glitch Energy 및 높은

Sampling 주파수에서 Delay time 없이 동작이 가능해야 한다. 제안하는 Current Cell은 기존의 전류 셀들의 장점만을 혼합하여 최적의 Dynamic 특성이 나올 수 있도록 개선시킨 구조이다.

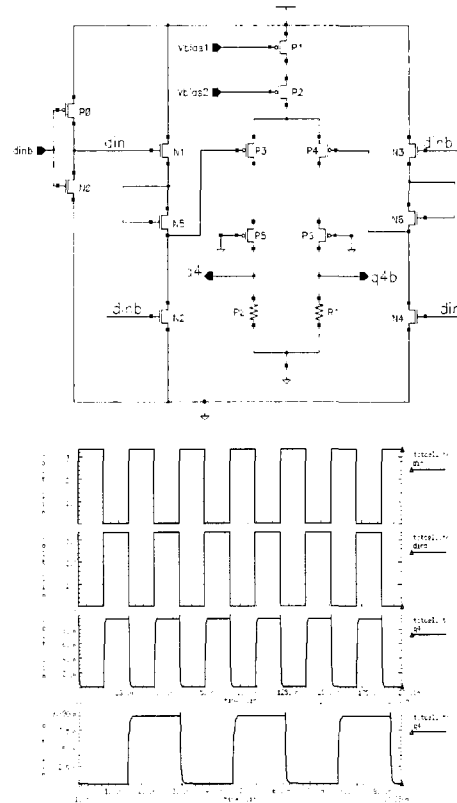


그림 5. 제안하는 Current Cell
Fig. 5. Proposed Current Cell.

<그림 5>의 회로에서와 같이 전류원의 역할을 하는 MP1, MP2를 Cascode로 구성하여 전류원의 출력 Node에서 Voltage Fluctuation을 억제하였으며 Switching Control 신호가 C_{gd} 를 통해 최종 Output Line으로 Feed through 되는 것을 방지하기 위해 Switching MOS인 MP3, MP4의 구동신호 전압을 주변회로를 통해 낮추었다.

<그림 6>의 시뮬레이션 결과에서 보듯이 MP3, MP4의 Gate에 걸리는 구동 신호 전압의 레벨이 내려간 것을 알 수 있다. 또한 MP5 및 MP6의 Isolation MOS를 Output Line에 삽입하여 적은 Glitch 및 q 및 qb의 최종 출력전압의 변동을 최소화하였다.

제안된 회로에 대한 모의 실험결과는 <그림 5>에서 알 수 있듯이 +1.2mV의 매우 낮은 Glitch가 나오는 것

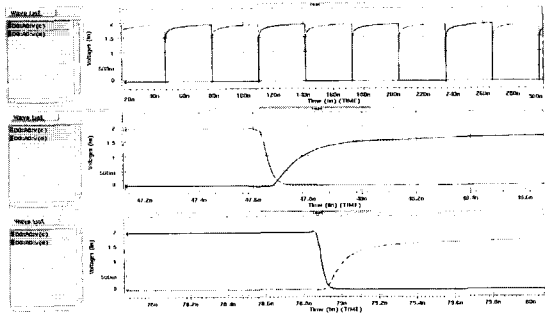


그림 6. Switching NMOS 의 구동신호 전압
Fig. 6. Driving voltage result of Current cell.

을 알 수 있으며 x16 전류 셀에 해당하는 출력 전압인 9.38mV까지 도달하는 상승시간도 짧아 100MHz 이상의 고속 변환속도에서도 동작 가능함을 알 수 있다. 그리고 전류 셀의 switching 신호가 Cell decoder 에서 하나의 출력으로 나와서 inverter를 이용하여 두개의 switching신호를 생성하면서 두 신호 사이에 Delay time이 생기게 된다. 이러한 Control 신호의 불완전한 동기 문제는 <그림 1>의 전체 Block Diagram에서 보듯이 모든 전류 셀 마다 바로 전단에 Latch를 달아 Clock에 동기 시켰으며 Layout에서는 전류 셀과 Latch Block을 Analog 블록과 Digital 블록으로 나누어 배치하여 Routing 도선의 기생 Capacitance로 인한 전류 셀 상승시간 Time Delay를 최소화하였다. 또한 Glitch를 제거하기 위하여 추가시킨 전류 셀의 주변회로는 Deglitching 회로로서 Digital Block 쪽으로 빼내서 구현하였다.

5. Self Calibration current bias 회로

제한하는 DAC의 Current bias 회로는 외부 전압의 흔들림이나 공정상의 오차율, 또는 외부잡음에 흔들림 없이 고정된 원하는 전류를 DAC에 공급해주도록 해주기 위해서 매우 높은 Gain을 갖는 Op. Amp를 이용하여 고정된 전류를 내보내는 새로운 Current Bias 회로를 설계하였다. <그림 6>과 같이 BGR회로 쪽에서 VDD/2 전압이 저항열로 들어와 Op. Amp로 임의의 전압으로 나뉘어져 들어가고 Amp의 Single 출력단은 NMOS의 게이트로 연결되어 800ohm저항에 의해 필요한 전류를 생성하게 된다.

이 전류는 Cascode로 구성된 회로에 의해 DAC의 전류셀로 미러링 되어진다. 이때 DAC 최종 출력단의 Termination 저항 50ohm은 Layout시 Current Bias회

로의 800ohm 저항과 함께 Unit 저항 200ohm으로 <그림 8>과 같이 칩 상에서 동일한 Well에 구현시킴으로써 공정상 저항의 20% 오차율이 생기게 되면 50ohm 저항과 800ohm저항이 같은 오차가 발생하게 된다.

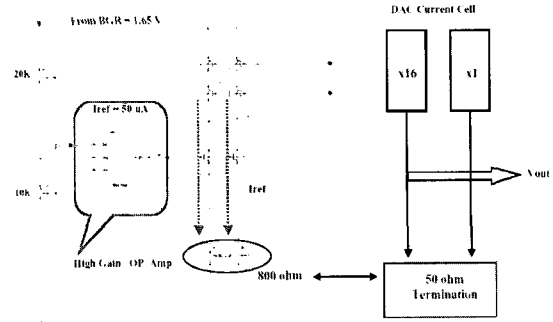


그림 7. 제안하는 출력 보정 Current Bias 회로
Fig. 7. Proposed self calibration Current bias circuit.

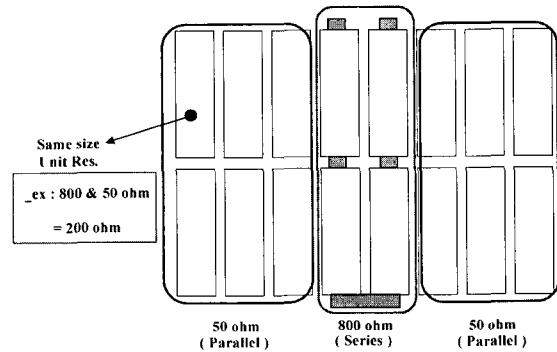


그림 8. Termination 저항과 bias 저항의 구현
Fig. 8. Arrange of Termination & Bias Resistor.

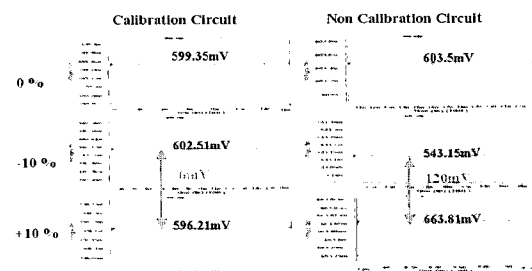


그림 9. 저항의 오차에 대한 두 구조의 비교
Fig. 9. Comparison result of Resistor error.

따라서 출력 단에 Gain이 저항에 발생된 오차 만큼 순간 바뀌더라도 바로 바뀐 Gain 만큼 앞단의 Op.

Amp에 의해 생성전류가 Feedback 되어 DAC 최종 출력 단에는 고정된 Gain의 출력이 항상 나타나게 된다. 제안된 Current Bias회로와 일반 Current Bias에 의한 각각의 DAC에서의 실험한 결과를 <그림 9>에 나타내고 있다.

Termination 저항을 공정 상 발생할 수 있는 오차를 생기게 하여 모의실험 했을 때의 결과에서 보여 주듯이 일반적인 회로에 의한 결과는 저항의 오차에 의해 최종 출력의 Gain이 심하게 변동되지만, 제안하는 회로에 의한 DAC 최종 출력은 저항의 오차에 무관하게 항상 같은 Gain의 출력을 갖는 것을 알 수 있다. 이는 종단저항의 Chip 내부 구현에 따른 공정상 오차에도 항상 높은 선형성의 출력을 얻을 수 있음을 알 수 있다.

6. MSB & LSB Current Cell의 Matching 제안하는 DAC구조에서 MSB 6-Bit과 LSB 4-Bit 모두 선형성과 낮은 Glitch 생성을 위한 Full matrix구조에서 상위 블록과 하위블록간의 Current cell에 각각 흐르는 전류의 비는 1:16이다. 이를 위해서 Current Bias 회로에서 미러링 하여 하위 4-Bit current cell에 기본 전류가 흐르도록 한 뒤 이를 기준으로 상위 6-Bit의 전류 셀 에는 정확히 16배의 전류가 흐르도록 x1 Current cell의 Cascode로 연결된 PMOS의 Width에 대해 x16 전류 셀 의 PMOS Width는 16배로 가져가면 간단히 DAC의 각각 MSB , LSB 전류 셀 들을 완성 할 수 있다. 하지만 x1 전류 셀 에 대해 x16 전류 셀 을 무조건 Width만 16배로 가져가면 실제 시뮬레이션과는 달리 실제 DAC동작에서는 계산되어진 16배의 전류 값이 전류 셀 에 흐르지 않는다. 이는 CMOS의 Width를 16배 가져가게 되면 그만큼 그사이에 여러 Parasitic Cap.과 기생저항 성분들이 생기기 때문이다. 본 DAC에서는 x1 전류 셀 을 설계하고 <그림 10>과 같이 기본 전류 셀 16개를 병렬로 나열하는 방식으로 x16 전류 셀 을

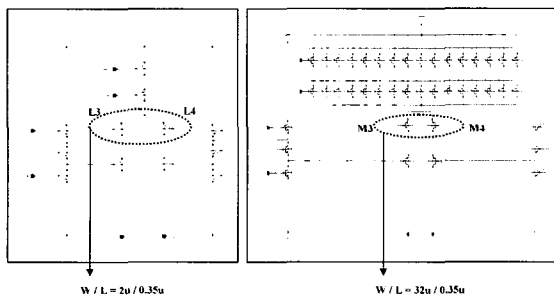


그림 10. LSB & MSB 전류셀의 구현
Fig. 10. LSB & MSB Current cell.

설계하였다.

Layout에서도 <그림 11>과 같이 기본Cell을 Layout 한 후 같은 Width의 Cell을 병렬로 나열 하는 방식으로 진행하였다.

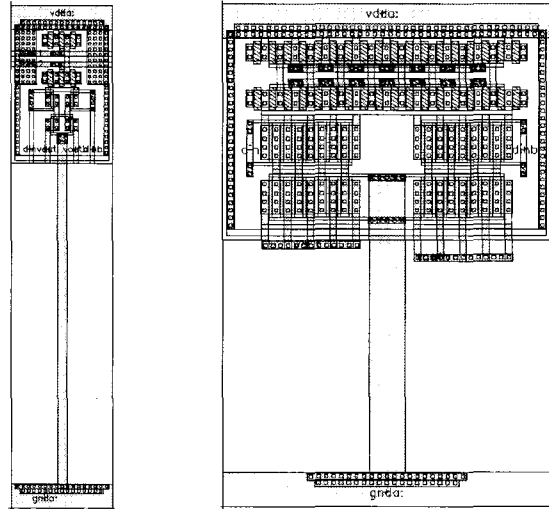


그림 11. x1 & x16 전류 셀 레이아웃
Fig. 11. x1 , x16 Current Cell Layout.

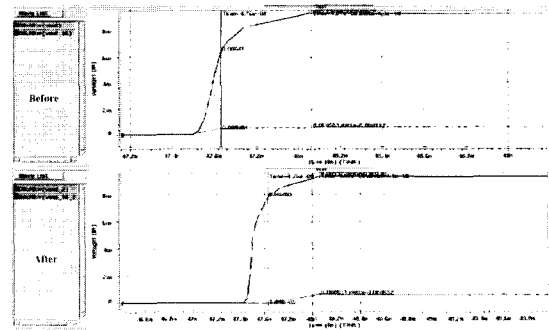


그림 12. 서로 다른 Settling time을 갖는 경우 (위) 같은 Settling time 경우(아래)
Fig. 12. Comparison of Settling time result.

x1 전류 셀 과 x16 전류 셀 의 또 다른 점은 전류 셀 에 흐르는 전류를 On & Off 시키는 Switching PMOS의 Width의 차이이다. 각각 x1 과 x16 전류 셀 의 Switching PMOS의 Width와 Length는 캐스코드로 연결된 전류 셀 의 Width ,Length 와 같게 가져가게 되면 둘 사이의 Width 차에 의해 입력 커패시턴스가 달라져 x1, x1 전류 셀 들간의 Settling time 이 동일하지 않게 된다. 이는 전체 DAC 출력에서 하위 4bit의 주기인 16LSB 마다 상위 6bit 출력과 Mismatching이

되어 Glitch 가 발생하게 된다. 따라서 이 부분을 해결하기 위해 식 (3), (4), (5)와 같이 두 전류 셀들의 소자 종횡 비를 구하여 이를 해결해야 한다^[12]. 각각의 소자 종횡 비를 구하여 시뮬레이션 한 결과를 <그림 12>에 이를 고려하지 않았을 때와 고려한 경우를 비교하여 보았다.

<그림 12>의 모의 실험 결과에서 입력 커패시턴스와 포화 전압을 같게 가져 갈 경우 x1 전류 셀 과 x16 전류 셀의 출력이 서로 Matching 됨을 알 수 있다. 이는 전체 DAC의 성능에 매우 큰 영향을 미치는 중요한 결과이다.

$$C_{OX}(W_{MSB}L_{MSB}) = C_{OX}(W_{LSB}L_{LSB}) \quad (3)$$

$$\sqrt{\frac{2I_{MSB}}{K_P(W/L)_{MSB}}} = \sqrt{\frac{2I_{LSB}}{K_P(W/L)_{LSB}}} \quad (4)$$

$$MSB\left[\frac{W}{L}\right] = \frac{16}{0.35}, LSB\left[\frac{W}{L}\right] = \frac{4}{1.4} \quad (5)$$

7. 기타 주변 회로

7.1 Input Buffer & Latch 회로

Input Buffer 및 Latch회로는 DAC의 최초 입력단 블록으로써 Rising Edge에서 동작하는 ETDF(Edge Triggered D Flip Flop)을 이용하여 10-Bit의 Digital 입력 데이터를 Clock에 동기 시켜 출력으로 내보낸다. 이 블록은 외부 요인에 의해 입력신호가 왜곡이 생길 경우 정확한 디지털 파형을 내기 위한 Inverter Buffer와 10Bit 입력 데이터가 상호시간차이를 갖고 LSB Current Cell이나 Decoder 블록에 들어가는 것을 방지키 위해 Clock에 동기 되는 DFF Latch회로, 그리고 이후 다음 Stage의 Driving을 위한 Inverter Chain 형태의 Buffer로 구성되어 있다.

7.2 Matrix Cell Decoder 회로

Matrix Cell Decoder는 <그림 13>에서 보듯이 64개의 x 16 Current Cell 앞단에 있는 회로로 용도는 Row 및 Column의 역 Thermometer Decoder로부터 나온 입력을 받아 MSB의 Matrix Current Cell을 하나씩 순차적으로 켜질 수 있도록 선택하는 기능을 가지고 있다. 이전 DAC의 Cell Decoder는 총 10개의 MOS로 구성된 전형적인 논리 Gate인 NAND와 OR로 구성되어 있다. 이와 같은 논리게이트에 의한 Cell Decoder 구성은 신호의 통과 게이트 수가 달라져 출력신호 간의 지연시간 오차가 발생한다. 이런 문제를 제거하기 위해서 출

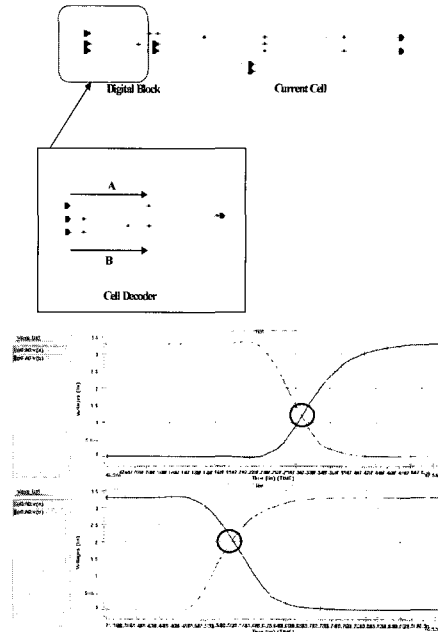


그림 13. 기존의 Matrix Cell Decoder 및 결과
Fig. 13. Conventional Matrix Cell Decoder.

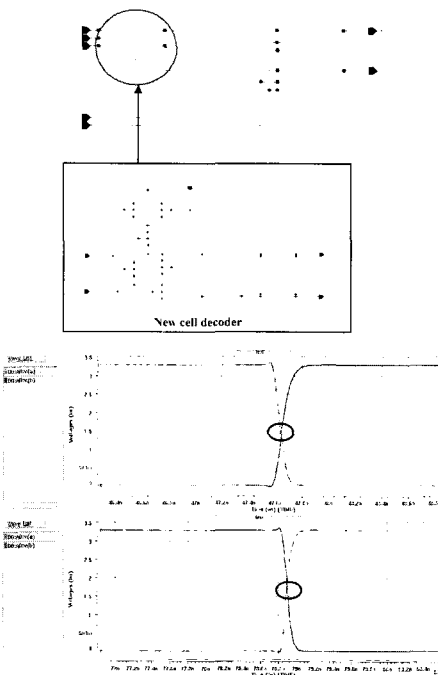


그림 14. 새로운 cell decoder 및 결과
Fig. 14. Proposed Matrix Cell Decoder.

력 단에 래치회로를 추가함으로써 신호를 동기화 시켜 준다. 하지만 제안하는 설계에서는 이러한 문제를 새로운 cell Decoder로서 해결하고자 했다^[13]. 전체 구조는

<그림 14>와 같다.

새롭게 제안된 2단 cell decoder는 출력신호를 얻기 위해 각각 1개씩의 논리 게이트만 지나기 때문에 지연 시간의 차이는 없다. 또한 한 개의 출력신호를 다시 2개의 스위칭신호를 만들기 위해 인버터를 사용하면서 각 출력에 래치를 연결시켜 신호를 서로 동기화 시키도록 했다.

III. Full Chip 회로도 및 모의실험 결과

제안하는 10-Bit DAC의 전체 모의 실험 회로는 <그림 15>와 같으며 전술한 바와 같이 Sampling Clock은 32MHz 신호를 인가하였고 10-Bit의 Digital 입력을 인가하였다. 또한 Termination 저항은 앞에서 말한 바와 같이 chip 내부에 구현함에 따라 50Ω의 Dual mode로 설정하여주었고 전체 모든 블록의 Current Cell의 Saturation 동작을 확보하기 위해 최종출력의 Offset을 150mV 만 올려 주도록 최종 출력 단에 계산되어진 총 전류 값에 의해 12.5Ω의 저항을 추가하여 모의 실험을 하였다. 우선 10-Bit의 입력에 대해 DAC의 선형적인 출력력을 갖는지 확인하기 위하여 DAC의 최초 신호 입력단에 10-Bit의 Digital Code를 출력이 Ramp 파형이 나오도록 Full Code로 0000000000에서 1111111111까지 순차적으로 인가하였다.

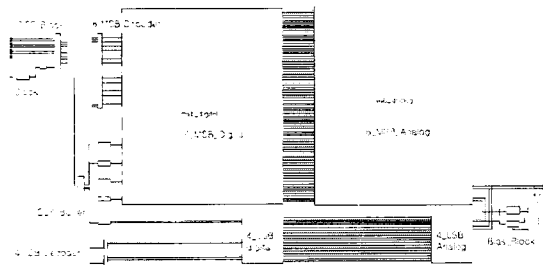


그림 15. 제안하는 6+4 매트릭스 구조의 DAC 전체 회로도
Fig. 15. 6+4 Full Matrix Type DAC Full Schematic

<그림 16>에 제안하는 DAC 전체 모의 실험 결과가 나타나 있다. 이때 이전 6+4 Segmented type의 DAC와 이번 6+4 Full Matrix type을 따로 구현하여 전체적으로 비교하기 위해 각각의 출력 결과 특성을 비교하였다. 우선 이전 type은 Binary weighted type 특성상 Glitch가 일정주기마다 많이 나타남을 알 수 있고, 반면

새로 제안하는 구조의 Matrix type의 출력은 Glitch가 거의 없이 매우 선형적인 출력을 가짐을 알 수 있다. 전체 출력에 대해 살펴보면 우선 제안하는 DAC구조의 출력은 매우 낮은 Glitch 특성을 보이나 Matrix구조와 Binary weighted type 구조의 혼합 방식은 전체 구간에서 주기적으로 Glitch가 발생함을 알 수 있다. 또한 전체 출력의 Full code transition delay time도 22 nsec 정도로 거의 같음을 확인 할 수 있다. 전체적으로 완성된 DAC에서 6+4 Full Matrix Type에서 Thermometer 형식의 전류구동 DAC방식은 이전 Type의 DAC보다 Termination 저항의 크기를 전체 시스템에서 처리할 수 있는 주파수와 부하를 고려하여 적절하게 가져가면 같은 크기의 DAC출력에서 Voltage는 변하지 않고 저항 값만 변하므로 전체 DAC출력의 전류가 줄어들게 되면서 오히려 이전 Type 보다 전력소모는 줄일 수 있다. 이렇게 전류의 감소로 인해 전체출력의 구동능력이 떨어지는 것을 우려해 두 Type의 출력의 Full Transition에서의 Settling time을 비교 해보았다. <그림 16>에서 보듯이 두 Type의 Full Settling time은 거의 같음을 알 수 있다.

따라서 결론적으로 단조 증가 성 및 낮은 Glitch 특성을 모두 가지며 또한 Full Delay time 또한 거의 같게 나타나는 새로 설계된 DAC가 이전의 Mixed Type보다 더 낮은 전력소모를 가진다고 할 수 있다.

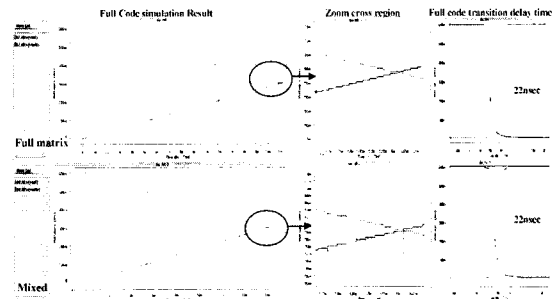


그림 16. 두 Type DAC의 출력 Simulation 비교
Fig. 16. Comparison Result of each type DAC.

설계된 DAC의 실제 시스템 내에서의 동작 특성을 알아보기 위해 DAC 앞단에 SPICE 상에서 Ideal한 10-Bit ADC를 구성할 수 있다. 이러한 모의 실험을 통해 실제 sine 신호에 대한 ADC의 10-bit 데이터 출력을 설계된 DAC의 입력 단에 연결함으로써 DAC의 입력 주파수에 대한 응답특성을 알 수 있다. 이러한 모의

실험에 대한 결과가 <그림 17>에 나타나 있다.

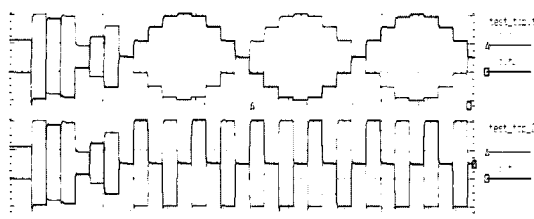


그림 17. 설계된 DAC의 Sine 입력에 대한 출력
Fig. 17. DAC Simulation result of Sine wave.

HPNA2.0의 AFE를 위해 설계된 DAC는 입력신호가 32MHz 샘플링 클럭에 대해 최대 10MHz까지 처리 할 수 있어야하며 모든 실험결과에서 이러한 설계 사양을 만족함을 알 수 있다. 실제 설계된 DAC의 Offset Error 및 Gain Error를 출력된 1024 Step 파형에서 제거한 후 INL, DNL을 Simulation 한 결과, Ideal조건에서 INL, DNL 모두 0.2 LSB 이내로 모든 실험결과 나타났다.

IV. Chip Implementation 및 측정 결과

1. Chip Implementation

설계된 DAC의 Layout시 전체적인 사이즈는 새로 제안하는 Full thermometer type의 DAC가 이전의 Binary weighted & Thermometer type Mixed DAC보다 추가되는 Decoder 블록 등에 의해 늘어나게 된다. 하지만 상위와 하위 블록을 적절하게 분할하게 되면 그 차이는 그리 크지 않게 된다. 제안하는 DAC의 경우 상위블록과 하위블록을 6-4의 가장 최적화된 분할 구조로 가져감으로 인해서 이러한 결과를 얻어낼 수 있다. Size면에서 이전 type보다 단점이 될 수도 있지만 새로 설계된 DAC는 Analog 신호와 Digital 신호간의 간섭이 없게 되므로 더 나은 성능을 기대할 수 있게 된다. 또한 <그림 18>과 같이 Analog Block과 Digital Block이 연결되는 Line의 길이를 각 전류 셀에 대하여 모두 같게 하여 신호가 받는 영향을 같게 하였다.

<그림 19>에 Analog Block과 Digital Block의 Power Line을 분리한 전체 DAC의 Core Layout을 나타냈다. 기본적으로 모든 블록은 Power Line에 의한 상호 Noise를 줄이기 위해 별도의 전원을 쓰도록 했고

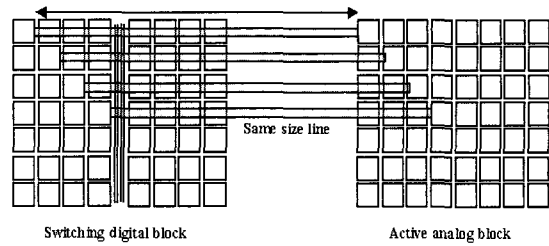


그림 18. 길이를 같게 한 Block 연결 Line
Fig. 18. Same length of each current cell line.

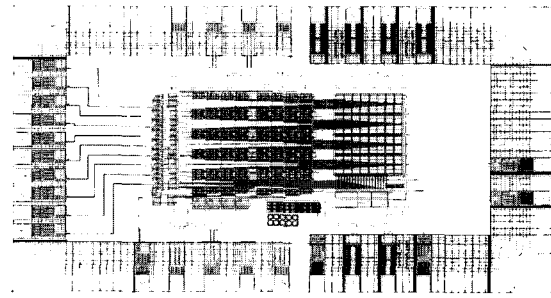


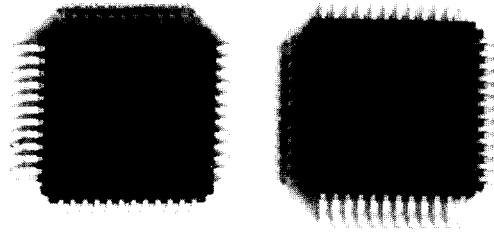
그림 19. 설계된 DAC의 전체 Layout
Fig. 19. Proposed DAC Full Layout.

또한 Latch-up 현상을 줄이기 위해 가능한 많은 Well 및 Substrate Plug를 형성하였다. DAC의 특성상 각 전류 셀의 설정된 전류 값은 항상 일정해야 정확한 출력을 얻을 수 있다. 특히 Major Code가 Transition 될 때 정해진 전류 셀의 전류 값이 출력되지 않으면 오차가 더 크게 나타난다. 하지만 공정 특성상 전류 셀의 Width 값이 변할 수도 있기 때문에 Layout시 전류 셀 주변에 Dummy Tr. 을 넣어 공정상 에러를 최대한 줄이고자 했다. 전체 Layout된 DAC의 Core Size는 Power Guard-ring을 포함하여 약 1350um × 750 um 이다.

2. Chip 측정결과

<그림 20>에서 보듯이 제작 완료된 두가지 타입의 10-bit DAC의 동작여부 및 성능을 확인하기 위해 측정을 실시하였다. 첫 번째 타입은 Self calibration 회로가 적용되지 않은 DAC이고 두 번째 타입은 제안하는 Self Calibration회로가 적용된 DAC이다. 측정은 <그림 21>과 같은 방법으로 이루어졌다.

<그림 22>에서와 같이 D/A 변환기의 최종 출력에 대한 선형성을 나타내는 INL(Integral Nonlinearity)과 DNL(Differential Nonlinearity)은 각각 ±0.5LSB 이내로 측정되었다. Self Calibration 회로에 의한 출력의 Gain



<Non_Calibration> <Calibration>

그림 20. 제작 완료된 두 가지 타입의 DAC
Fig. 20. Packaging completed 2 type DAC.

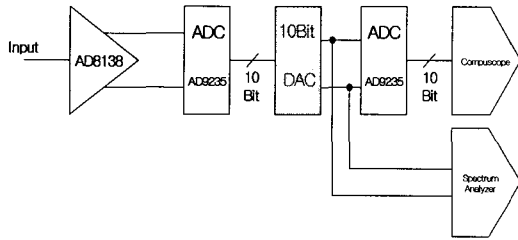


그림 21. DAC 측정 블록 다이어그램
Fig. 21. Block Diagram of measurement.

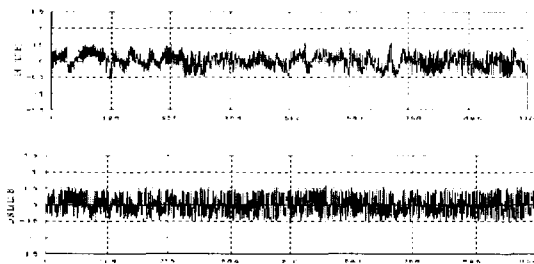


그림 22. INL, DNL 측정 결과
Fig. 22. Measurement result of Proposed DAC INL, DNL.

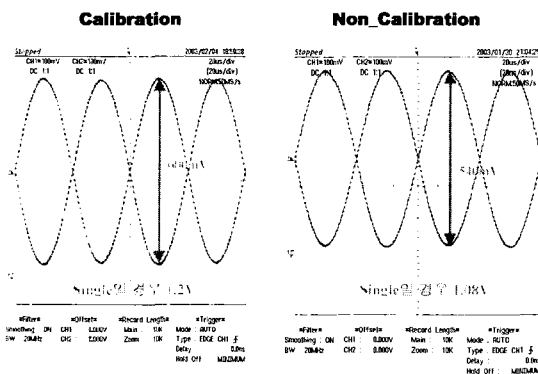


그림 23. 두 가지 구조의 DAC의 출력 결과 비교
Fig. 23. Comparison of 2 type DAC Output Gain.

에 측정결과는 <그림 23>에서 보는바와 같이 적용시킨 DAC의 출력은 항상 일정한 0.6Vpp를 나타냈지만 적용시키지 않은 DAC의 출력은 측정된 DAC 샘플에 대해 Random한 출력 결과를 나타낸다.

또한 동적 특성인 SFDR은 Sampling 속도를 HPNA 2.0 AFE 규격에 맞게 32MHz로 고정시킨 상태에서 DAC 출력 주파수가 변하도록 Digital 입력을 가하였을 때 Spectrum Analyzer로 측정하였으며 이에 대한 결과를 <그림 24>와 <그림 25>에 나타내었다. 그림에서 알 수 있듯이 32MHz의 샘플링 속도에서 DAC 출력 주파수가 7.92MHz일 경우 SFDR은 약 65dB로 나타났다.

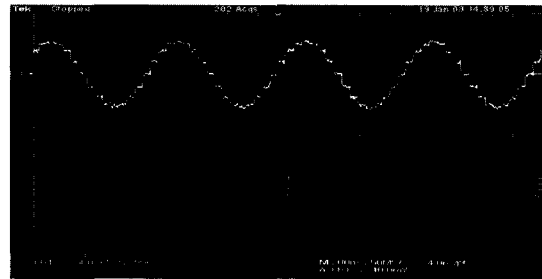


그림 24. DAC의 7.92MHz 신호 출력
Fig. 24. Measurement result of 7.92MHz signal.

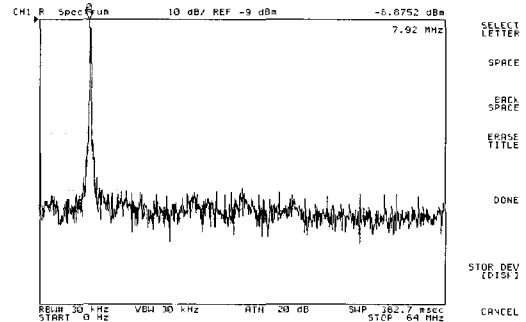


그림 25. Spectrum Analyzer 측정 결과
Fig. 25. Measurement result by Spectrum Analyzer.

V. 결론

본 연구에서는 0.35um 1-poly 4-metal N-well CMOS 공정을 사용하여 HomePNA 2.0 Analog Front End chip의 TX단에 사용하는 DAC를 설계하였다. 설계된 DAC는 10-Bit의 해상도와 고속의 변환속도를 가지고 있으며, 3.3V의 전압에서 동작이 가능하다. 전체적인 구조는 고속 동작 및 우수한 다이내믹 특성 그리

고 높은 해상도를 만족시키며 Home PNA내의 시스템 내에서 구현하기 위해 상위 6-Bit은 Thermometer Type Matrix구조로 구성하였고 나머지 하위 쪽 4-Bit의 구성은 Binary Weighted Current Type의 전류 구동 형태의 장점을 그대로 가지며 선형성이 우수한 Thermometer Type으로 구현하였다. 제안하는 DAC의 출력에 대한 이러한 낮은 Glitch 특성은 전체 성능에 대한 매우 큰 장점이 된다. 또한 DAC의 Sub-Block중 다이내믹 특성이 매우 우수한 Current Cell 및 Binary Code를 Inverse Thermometer Code로 바꾸어주는 새로운 Cell Decoder를 상위 6bit부분과 하위 4bit 부분에 각각 새로이 추가하였다. 또한 공정상 발생 할 수 있는 경사오차와 대칭오차를 줄이기 위해 전체 매트릭스 블록의 스위칭을 2차원 대칭적으로 하여 오차를 최대한 줄이고자 했다. 시스템 내에 구현하기 위한 종단 저항의 Chip 내부 구현을 위해 새로 제안하는 Gain Self Calibration Current bias를 설계하였다. 완성된 두가지 구조의 Full chip의 모의실험 결과를 통하여 제안한 DAC의 우수한 단조 증가특성과 낮은 Glitch 특성을 나타내며 정상 동작함을 확인하였다. Termination 저항의 칩 내부구현에 의한 공정상 오차에 대한 모의실험에서도 설계된 Voltage Gain을 항상 출력함을 확인하였다. 또한 매트릭스 구조인 2차원 대칭적 스위칭 기법과 전체 Simulation에서 45mW의 소비 전력을 사용하여 이전 구조들에 비해 소비전력 면에서도 매우 만족한 결

과를 나타냈다.

Layout 결과 유효 칩 면적은 Power Guard ring을 포함하여 1350um×750um정도로 나왔다. Size 면에서는 이전 Type보다 약간 늘어났지만 이는 새로 추가된 Decoder등의 Digital 블록에 의한 결과이기 보다 전체 블록의 Layout시 철저하게 Analog Block 과 Digital Block 을 분리하면서 생긴 결과이다. 이렇게 Analog Block 과 Digital Block을 분리하면서 두 신호간의 간섭에 의한 DAC의 전체 출력의 성능저하가 되는 요인은 줄어들게 되었다. <표 1>에 제안한 DAC의 전체적인 사양 및 제작된 칩의 측정결과를 요약하였다.

참 고 문 헌

- [1] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons Inc., 1997, pp. 463-486.
- [2] Mikael Gustavsson, J. Jacob Wikner, Nianxiong Nick Tan, "CMOS Data Converters for Communications", Kluwer Academic Publishers., 2000, pp. 87-124.
- [3] Jose Bastos, "A 12-Bit Intrinsic Accuracy High Speed CMOS DAC" IEEE J. Solid-State Circuits, vol. 33, no. 12, pp. 1959-1969, Dec. 1998.
- [4] Chi Hung Lin and Klaas Bult, "A 10-b 500Msample/s CMOS DAC in 0.6μm" IEEE J. Solid-State Circuits, vol. 33, no. 12, pp. 1948-1958, Dec. 1998.
- [5] J. H. Kim and K. S. Yoon, "An 8-Bit CMOS 3.3V 65MHz Digital to Analog Converter with a Symmetric Two-Stage Current Cell Matrix Architecture" IEEE Trans. Circuits Systs.II, vol. 45, no. 12, pp. 1605-1609, Dec. 1998.
- [6] 박진, 김창호, 이승훈, "고속 영상신호 처리를 위한 3V 12b 70MHz CMOS D/A 영상신호처리용 CMOS D/A변환기" IDEC MPW 발표회 논문집 pp. 191-196
- [7] 이승훈외, "높은 선형성을 가진 3V 10b 영상신호 처리용 CMOS D/A변환기" 전자공학회논문지, vol. 34C, no. 6, pp. 28-36, 1997
- [8] 류기홍, "12비트 CMOS 전류셀 매트릭스 D/A 변

표 1. 본 연구에서 설계된 DAC 사양 및 측정결과
Table 1. Performance of the measured DAC.

공급전압	Single 3.3V
변환속도	100MSPS
해상도 / VLSB	10 bit / 0.585mV
INL / DNL	±0.5LSB
SFDR	65dB (f _{out} =10MHz, f _s =100MHz)
Full Scale Output	1.2Volt dual mode with 50Ω Termination
정착시간	5nsec (CL=None) 12nsec (CL=20pF) 25nsec (CL=50pF)
전력소모	45mW (Core, NN, f _s =100MHz)
Glitch 에너지	0.5pVsec (Worst Case, f _s =100MHz)
유효칩면적	1350um × 750um (Core)
공정	0.35μm 1-poly 4-metal N-well CMOS

환기 설계” 전자공학회논문지, vol. 36C, no. 8, pp. 10-21, 1999

[9] 이승훈, 김범섭, 송민규, 최중호 공저, “CMOS 아날로그 / 혼성모드 집적시스템 설계(상)”, 시그마프레스, 1999, pp. 98-106

[10] 이승훈, 김범섭, 송민규, 최중호 공저, “CMOS 아날로그 / 혼성모드 집적시스템 설계(하)”, 시그마

프레스, 1999, pp. 63-98

[11] 박홍준, “CMOS 아날로그 집적회로 설계(상)”, 시그마프레스, 1999, pp. 451-459

[12] 김지현, 권용복, 윤광섭, “2단 전류셀 매트릭스 구조를 지닌 고속 8비트 CMOS D/A 변환기” 전자공학회논문지, vol.35C, no. 4, pp. 305-306, 1998

저 자 소 개



李 漢 洙(正會員)
 1997년~2002년 : 동국대학교 반도체과학과 학사. 2002년~2003년 : 동국대학교 반도체과학과 석사(조기수료). 2002년~현재 : (주)아날로그칩스 연구원. <주관심분야 : 고성능 주파수합성기, CMOS 데이터 변환기(A/D, D/A) 및 CMOS 혼성 모드 집적회로설계>



宋 敏 圭(正會員)
 1982년~1986년 : 서울대학교 공과대학 학사. 1986년~1988년 : 서울대학교 공과대학 석사. 1988년~1993년 : 서울대학교 공과대학 박사. 현재 : 동국대학교 반도체과학과 부교수. <주관심분야 : CMOS 아날로그/혼성모드 집적 시스템 설계, 저전력 디지털 VLSI 설계>



宋 元 哲(正會員)
 1973년~1977년 : 서울대학교 공과대학 학사. 1978년~1980년 : 한국과학기술원 석사. 1996년~2002년 : 한국과학기술원 박사. 1981년~2000년 4월 : 한국전자통신연구원 책임연구원. 2000년 5월~현재 : (주)아날로그칩스 대표이사