

論文2003-40SD-12-1

# Cobalt Interlayer 와 TiN capping를 갖는 새로운 구조의 Ni-Silicide 및 Nano CMOS에의 응용

(Novel Ni-Silicide Structure Utilizing Cobalt Interlayer and TiN Capping Layer and its Application to Nano - CMOS)

吳 淳 榮 \* , 尹 壯 根 \* ; 朴 英 鎬 \* , 黃 斌 鋒 \* , 池 熇 奐 \* ,  
王 鎮 錫 \* , 李 熙 德 \*

(Soon-Young Oh, Jang-Gn Yun, Young-Ho Park, Bin-Feng Huang,  
Hee-Whan Ji, Jin-Suk Wang, and Hi-Deok Lee)

## 요 약

본 논문에서는 Cobalt interlayer와 TiN capping을 적용한 Ni-Silicide 구조를 제안하여 100 nm CMOS 소자에 적용하고 소자 특성 연구를 하였다. Ni-Silicide의 취약한 열 안정성을 개선하기 위해 열 안정성이 우수한 Cobalt interlayer를 이용하여 silicide의 열화됨을 개선하였고 또한 silicide 계면의 uniformity를 향상하기 위해 TiN capping을 동시에 적용하였다. 100 nm CMOS 소자에 제안한 Co/Ni/TiN 구조를 적용하여 700℃, 30분에서의 열처리 시에도 silicide의 낮은 면저항과 낮은 접합 누설 전류가 유지되었으며 100 nm 이하 소자의 특성 변화도 거의 없음을 확인하였다. 따라서 제안한 Co/Ni/TiN 구조가 NiSi의 열 안정성을 개선시킴으로써 100 nm 이하의 Nano CMOS 소자에 매우 적합한 Ni-Silicide 특성을 확보하였다.

## Abstract

In this paper, a novel Ni silicide technology with Cobalt interlayer and Titanium Nitride(TiN) capping layer for sub 100 nm CMOS technologies is presented, and the device parameters are characterized. The thermal stability of Ni silicide is improved a lot by applying co-interlayer at Ni/Si interface. TiN capping layer is also applied to prevent the abnormal oxidation of NiSi and to provide a smooth silicide interface. The proposed NiSi structure showed almost same electrical properties such as little variation of sheet resistance, leakage current and drive current even after the post silicidation furnace annealing at 700℃ for 30 min. Therefore, it is confirmed that high thermal robust Ni silicide for the nano CMOS device is achieved by newly proposed Co/Ni/TiN structure.

**Keyword** : SALICIDE, TiN capping, Co-interlayer, Nano CMOS, NiSi

\* 正會員, 忠南大學校 電子工學科

(Dept. of Electronics Engineering, Chungnam National Univ.)

※ 본 연구는 한국과학재단 목적기초연구(R01-2001-000-00323-0)지원으로 수행 되었음.

接受日字:2003年8月5日, 수정완료일:2003年11月27日

## I. 서 론

Silicide는 CMOS 소자에서 소스(Source)/드레인(Drain), 그리고 게이트(Gate)의 접촉 저항(Contact resistance) 과 소스/드레인 및 게이트의 직렬저항(Series Resistance, Drain to Source)을 감소시킴으로 RC delay를 감소시켜 소자의 speed를 향상 시키기 때

문에 350 nm 이하 소자에서는 필수로 사용되고 있다<sup>11</sup>. Silicide의 형성은 금속 박막을 실리콘 기판에 수십에서 수백 Å의 두께로 증착한 후 금속 열처리(RTP, Rapid Thermal Process)를 통하여 Si와 증착된 금속을 합금의 형태로 만드는 것으로 금속의 종류, 열처리의 종류, 온도, 시간 그리고 Si의 type 및 방향성에 따라 silicide의 특성이 크게 달라진다. 특히 금속의 종류로 Ti(Titanium), Co(Cobalt)등이 많이 사용되었는데<sup>12, 13</sup> 0.25 μm 이상의 CMOS에 적용되었던 Ti의 경우에는 낮은 비저항을 갖는 C54의 상 변이(phase transition)가 어렵고 선 폭(line width)에 따른 면저항의 의존성을 갖는 큰 문제점이 있다<sup>11</sup>. 이런 문제점을 해결하기 위해 0.25 μm 이하 CMOS에서는 Co silicide가 주로 사용되었는데, 게이트 폭이 100 nm 이하 영역으로 접어들면서 낮은 면저항을 갖기 위한 silicide 형성 시 Co에 대한 Si의 소모율이 커서 silicide가 접합으로 침투할 가능성이 크고, 또한 면 저항이 급격히 증가하는 단점이 있다<sup>14</sup>. 따라서 최근 Ti와 Co silicide의 단점을 보완할 수 있는 특성을 갖는 Ni silicide 기술이 제안되어 많은 연구가 진행되고 있다<sup>16, 17</sup>.

Ni silicide 기술은 낮은 온도에서 단 한번의 열처리 과정으로 낮은 비저항을 갖는 NiSi형성이 가능하고 또한 Si에 대한 소모율이 낮으며 선 폭 의존성이 작다는 장점이 있다<sup>18, 10</sup>. 하지만, 열 안정성(Thermal stability)이 상당히 낮아<sup>11</sup> CMOS 공정 중 silicide 형성 이후 ILD(Inter Layer Dielectric) 증착 등의 후속 열처리 공정에서 Ni mono-silicide(NiSi)가 Ni di-silicide (NiSi<sub>2</sub>)로 쉽게 변이 되어 면 저항이 급격히 증가하는 등의 문제점이 있다. 이러한 Ni silicide의 문제점을 해결하기 위하여 capping layer, interlayer 그리고 PAI(Preamorphization Implantation), doping 등이 최근 제안되고 있다<sup>10, 13</sup>. Ni를 증착 시키고 난 후 증착된 TiN 박막은 후속 공정에서 응집현상(Agglomeration)을 촉진시키는 산소와의 결합을 방지하여 NiSi과 실리콘 사이의 계면 특성을 향상 시키게 된다<sup>14</sup>. 특히 Ni silicide를 형성시키기 위한 금속 열처리동안 결합하는 산소는 면저항의 증가에 매우 큰 영향을 주게 되는데 이를 막기 위하여 Ti, TiN등과 같은 capping layer를 적용하게 되었다. 그러나 이 방법도 후속 열처리 후 면저항 증가, silicide layer의 단절 현상등 Ni silicide의 특성을 향상 시키는데 한계가 있다. 열 안정성 향상을 위해 우선 Cobalt interlayer를 적용하였는데 Ni 박막 증착 전에

매우 좋은 열 안정성을 가지고 있는 Cobalt 층을 아주 얇은 두께로 증착하여 Ni silicide층에 실리콘의 공급을 억제 시킴으로써 Ni mono-silicide에서 Ni di-silicide로의 변환을 막아 silicide층의 응집현상을 억제 시키는 효과를 얻고자 하였다. 그러나 분석결과 열 안정성은 매우 향상되었지만 Ni silicide - Si 계면 특성이 열화되는 문제점이 발생하였다. 계면 특성 열화는 불규칙한 누설 전류를 야기 할 수 있어 접합 깊이가 얇은 Nano CMOS에 전기적 특성을 악화시키는 요인으로 작용한다.

본 논문에서는 100 nm이하 CMOS 소자를 위한 Ni silicide 기술적용에 있어서 문제점으로 대두되고 있는 열 안정성과 Ni silicide-Si의 계면 특성을 향상시키기 위해 TiN capping layer 와 Co-interlayer를 동시에 적용하는 방법을 제안하였으며, 100 nm CMOS 소자에 적용하여 제안된 방법 Co/Ni/TiN이 매우 우수함을 증명하였다.

## II. 실험

실험순서는 금속 박막(Co, Ni, TiN) 증착, silicide 형성을 위한 금속 열처리와 열 안정성 평가를 위한 고온 열처리로 진행하였다. 먼저 자연 산화막(native oxide)을 제거하기 위해 희석 시킨 HF 용액(D:I : HF = 100 : 1)에 30초간 처리하고 금속 박막은 RF Magnetron sputter를 이용하여 증착하였다. Base pressure  $5 \times 10^{-7}$  Torr, working pressure 1m Torr 에서 Ni(100 Å), Ni/TiN (100/100 Å), Co/Ni (10/100 Å), Co/Ni/TiN (10/100/100 Å)의 네 가지 구조를 Ar plasma source를 이용하여 증착 하였으며, Co와 TiN은 각각 interlayer 와 capping layer로써 적용하였다. 증착 후 두께는 Alpha step과 FESEM(Field Emission Scanning Electron Microscopy)로 확인하였으며 면 저항은 FPP(Four Point Probe)를 이용하여 측정하였다. 실리콘사이드를 형성하기 위한 금속 열처리는 30m Torr에서 30초 동안 실시하였다. 또한 silicide 형성 후 염산 혼합액(HCl : H<sub>2</sub>O<sub>2</sub> : H<sub>2</sub>O = 1 : 1 : 4)과 황산혼합액(H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub> = 4 : 1)에서 반응하지 않은 Ni와 TiN을 선택적으로 에칭(selective etching)하고 열 안정성 평가를 위해 고 순도 질소(N<sub>2</sub>, 99.99 %) 분위기의 고온로(Furnace)에서 600, 700°C 각각 30분 동안 열처리하였다.

Ni-silicide의 특성은 FPP 및 XPS(X-ray Photo electron Spectroscopy)와 XRD(X-ray Diffraction, 기초 과학지원연구원 대구분소, 모델명: X'PERT)를 이용하여 분석 하였다. 급속 열처리 및 고온 열처리 후 Ni silicide - Si의 계면 특성과 두께 확인은 FESEM(기초 과학지원연구원 전주분소, 모델명 : S-4700)과 XTEM (Cross-sectional Transmission Electron Microscopy)으로 분석 하였다. 선 폭에 따른 면저항 특성, n+p 접합과 p-n 접합의 누설전류 특성 그리고 nMOS 및 pMOS의 전압-전류 특성은 HP4156C로 측정 분석하였다.

III. 실험 결과 및 고찰

<그림 1>과 <그림 2>는 (a,b) Ni(100Å), (c,d) Ni/TiN (100/100Å), (e,f) Co/Ni(10/100Å), (g,h) Co/Ni/TiN(10/100/100Å)에 대한 실리사이드의 고온 열처리 전후의 계면 특성과 두께 특성을 나타내고 있다 (<그림 1> p-active, <그림 2>-n-active). 4가지 구조 모두 고온 열처리 전에는 실리사이드의 계면 특성이 일정하고 안정적이다. 다만 Cobalt interlayer를 적용한 구조(c,g)는 적용하지 않은 구조(a,c)보다 실리사이드의 두께가 두껍게 형성되었다. 고온 열처리 후의 실리사이드

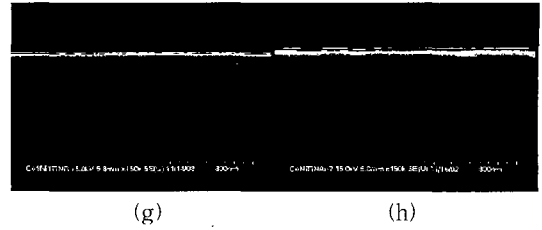
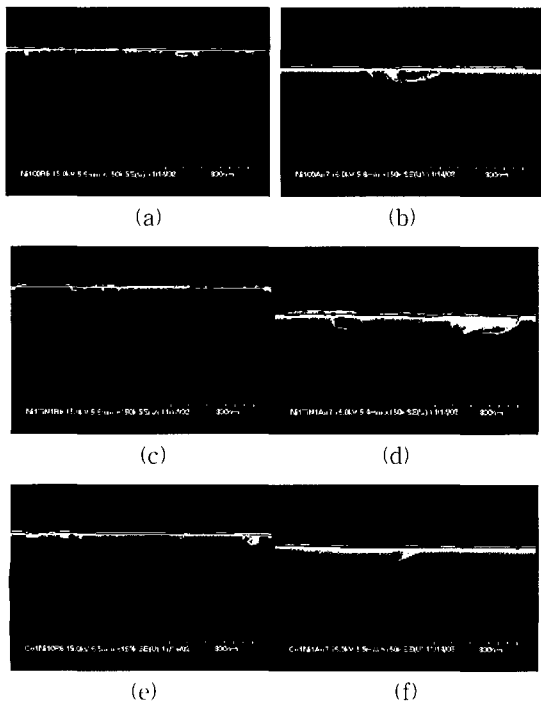


그림 1. p-active의 NiSiFESEM 단면도 (a,b) Ni(c,d) Ni/TiN(e,f)(g,h)(a,c,e,g)고온 열처리 전, (b,d,f, h)고온 열처리 후(700°C, 30분)  
Fig. 1. Cross-sectional FESEM images of p-active NiSi before and after annealing.

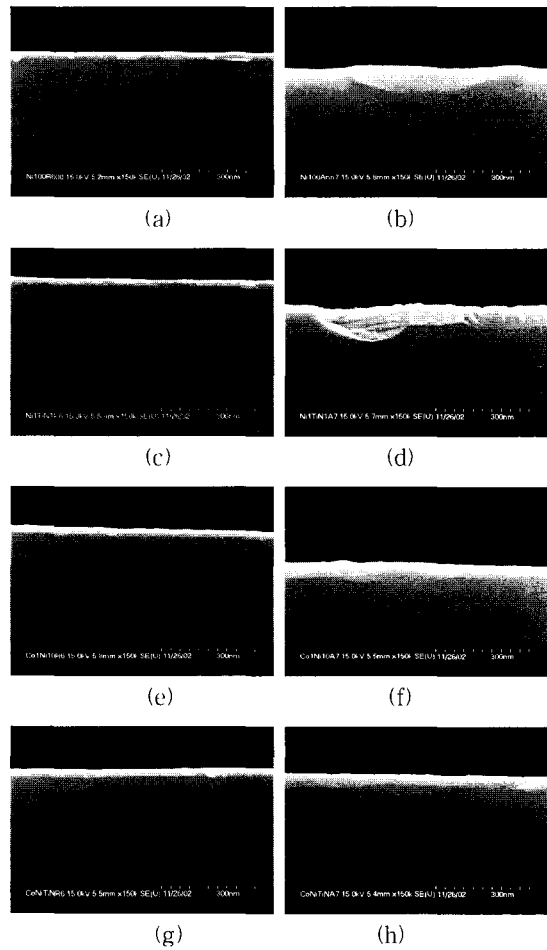


그림 2. n active의 NiSiFESEM 단면도 (a,b) Ni(c,d) Ni/TiN(e,f)(g,h)(a,c,e,g)고온 열처리 전, (b,d, f,h)고온열처리 후(700°C, 30분)  
Fig. 2. Cross-sectional FESEM images of n-active NiSi before and after annealing.

드의 계면 특성을 살펴보면 Nickel만으로 Silicide를 형성한 구조(b)는급속 열처리 후 우수한 계면 특성이 고

온도 열처리 후 심한 응집현상이 발생하여 넓은 구간에서 Ni silicide층의 단절현상(Island structure)을 보이고 있으나 Ni에 TiN capping layer를 적용한 구조(d)는 응집현상과 Ni silicide층의 단절현상이 Ni만 증착한 경우보다는 개선되었다. 또한 Co-interlayer를 적용한 구조(f)는 전체적으로 silicide층의 두께가 400 이내로 silicide의 단절 현상이 발생하지 않았으나 일부 구간에서 심한 응집현상으로 인해 silicide 두께가 크게 증가하였다. 이것은소자 구현 후 누설전류(leakage current) 증가의 원인이 된다. 마지막으로 Co-interlayer와 TiN capping layer를 동시에 적용한 구조(h)는 응집현상이 매우 감소하였다.

<그림 3(a)>와 <그림 3(b)>에서 보는 바와 같이 active, poly 모두 Ni만 증착한 경우는 급속 열처리 온도 700 °C 이후에서 면저항이 급격히 증가하고, TiN capping만 적용한 경우도 Ni만 증착한 경우 같이 700 °C 이후에 면저항이 증가하였지만 증가정도가 훨씬 감소하였다. 따라서, 니켈은 700 °C 온도에서 di-silicide로 상변이가 일어났음을 예측할 수 있다. 결과적으로 TiN capping 만 적용했을 경우도 Ni silicide의 면저항

특성이 약간 향상 되었을 뿐 상변이를 늦추지는 못했다. 반면에, Co interlayer를 적용한 경우는 700 °C 이상의 고온에서도 매우 안정적인 면저항을 유지하였고, Co와 TiN을 동시에 적용한 경우도 800 °C 까지 매우 안정적인 면저항 특성을 보였다. 이로써 열 안정성이 우수한 Cobalt를 inter-layer로 이용하는 것이 NiSi의 열 안정성을 개선하는데 효과적인 것을 확인하였다. 모든 구조에서 안정적인 면저항을 갖는 급속열처리 조건인 600 °C, 30초를 실시한 후 고온 열처리 한 결과 <그림 3>처럼 active(c), poly(d) 모두 700, 800°C 까지 안정적인 구조는 Co/Ni/TiN 구조임을 알 수 있었다. 각각의 경우에 급속 열처리 후 형성된 Ni silicide의 깊이에 따른 조성비 및 silicide의 상(phase)을 XPS와 XRD로 분석하였다.

<그림 4>의 Ni만 적용한 경우(a,b)와 TiN capping만 적용한 경우(c,d) 급속 열처리 후 silicide의 XPS depth profile을 보면 깊이에 따라 Ni와 Si의 비율이 거의 1:1 성분비로 n-active, p-active substrate에 안정적인 Ni mono-silicide가 형성되었음을 알 수 있다. 또한 Co interlayer만 적용한 경우(e,f)와 Co와 TiN을 동시에 적용한 경우(g,h) 역시 Co와 Ni, Si가 안정적인 결합 profile을 보였다. 그러나, Ni silicide의 고온 열처리 후 응집현상에 영향을 주는 산소의 함유정도를 비교하여 볼 때 Ni만 적용한 경우가 가장 많은 산소를 함유하였고 TiN만 적용한 경우가 산소의 함유율이 가장 낮았는데, 그 이유는 TiN이 산소와 Ni의 결합을 막기 때문이고 Co-interlayer를 적용한 경우와 Co-interlayer와 TiN capping layer를 동시에 적용한 경우는 산소의 함유율 차이가 없었다.

<그림 5>는 Ni silicide의 열처리 전후의 상 변이를 XRD로 분석한 결과이다. 열처리 전(a,b)과 열처리 후(c,d)에서 Ni만 증착된 p-active는 급속열처리 후에도 NiSi<sub>2</sub>의 상이 나타나 NiSi의 취약한 열 안정성을 보여 주고 있다. 낮은 비저항을 갖는 Co di-silicide의 특성 때문에 Co interlayer를 적용한 구조는 CoNiSi<sub>2</sub>의 피크가 나타나 di-silicide로 상변이가 일어났음을 알 수 있다. 결과적으로 Co-interlayer를 적용한 경우는 낮은 비저항을 갖는 di-silicide(CoNiSi<sub>2</sub>)상과 mono-silicide(NiSi) 상이 같이 나타나고 있어. 낮은 면저항 특성을 얻을 수 있었다<sup>[15]</sup>.

위의 분석결과를 토대로 새로이 제안한 Co/Ni/TiN 구조를 Nano CMOS 소자에 적용하여 특성을 분석하였다. <그림 6, 7>은 Co/Ni 구조와 Co/Ni/TiN 구조의 실

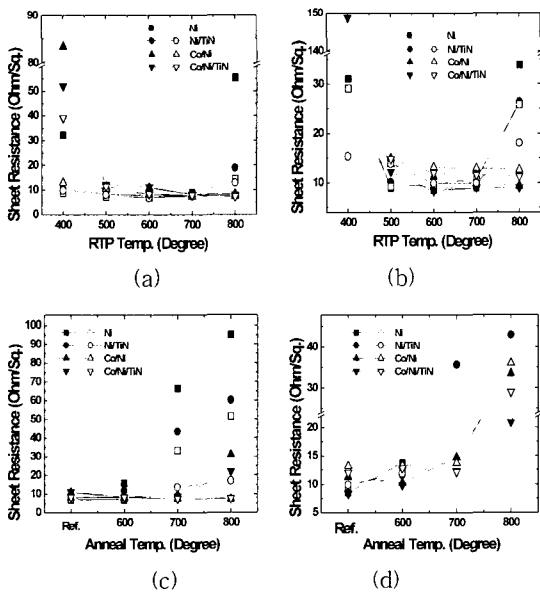


그림 3. 열처리 전후의 실리사이드 면저항 특성비교 (a,c)active (b,d)poly (solid : n-type, open : p-type) (a,b)고온 열처리 전, (c,d)고온 열처리 후 (700 °C, 30분)

Fig. 3. Comparison of the sheet resistance of NiSi (a,b)before and (c,d)after annealing (a,c) active (b,d)poly (solid : n-type, open : p-type).

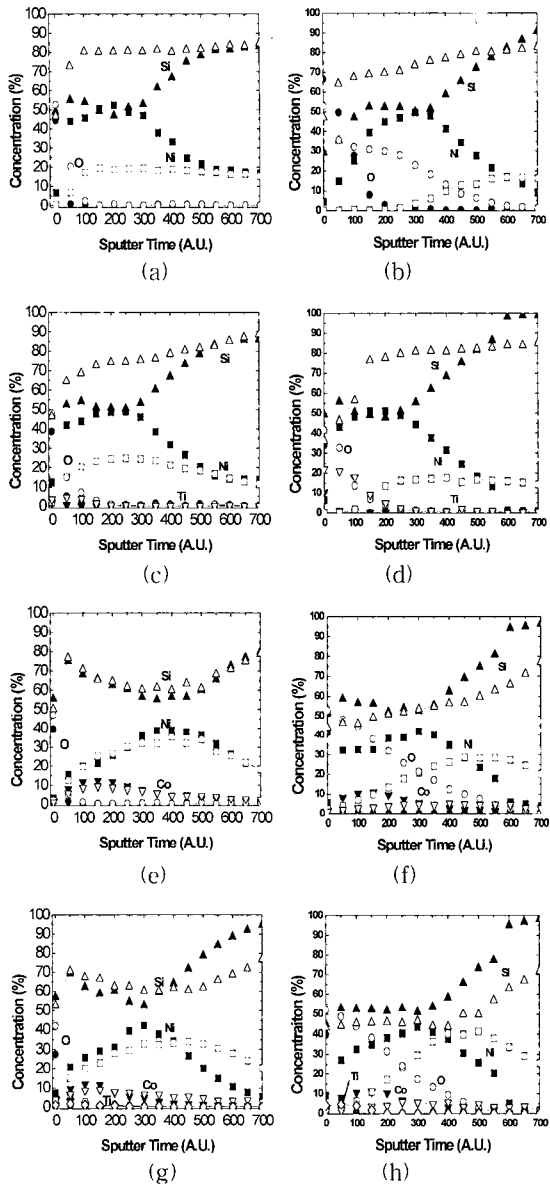


그림 4. 열처리 전후 XPS depth profile 비교 Ni (c,d) Ni/TiN (e,f) Co/Ni (g,h) Co/Ni/TiN (solid : 고온 열처리 전, open : 고온 열처리 후(700 °C, 30분) 좌:p active, 우:n active  
 Fig. 4. Comparison of XPS depth profile (solid) before and (open) after annealing (a,b) Ni (c, d) Ni/TiN (e,f) Co/Ni (g,h) Co/Ni/TiN, left : p active, right : n active.

리사이드의 선 폭에 따른 면 저항 특성과 접합 누설전류 분포도를 비교하여 나타낸 것이다. <그림 6>에서 active 영역의 선 폭은 0.12 ~ 0.5 μm 범위, poly 영역의 선 폭은 0.1 ~ 2.0 μm 범위의 패턴으로 제작하였고, <그

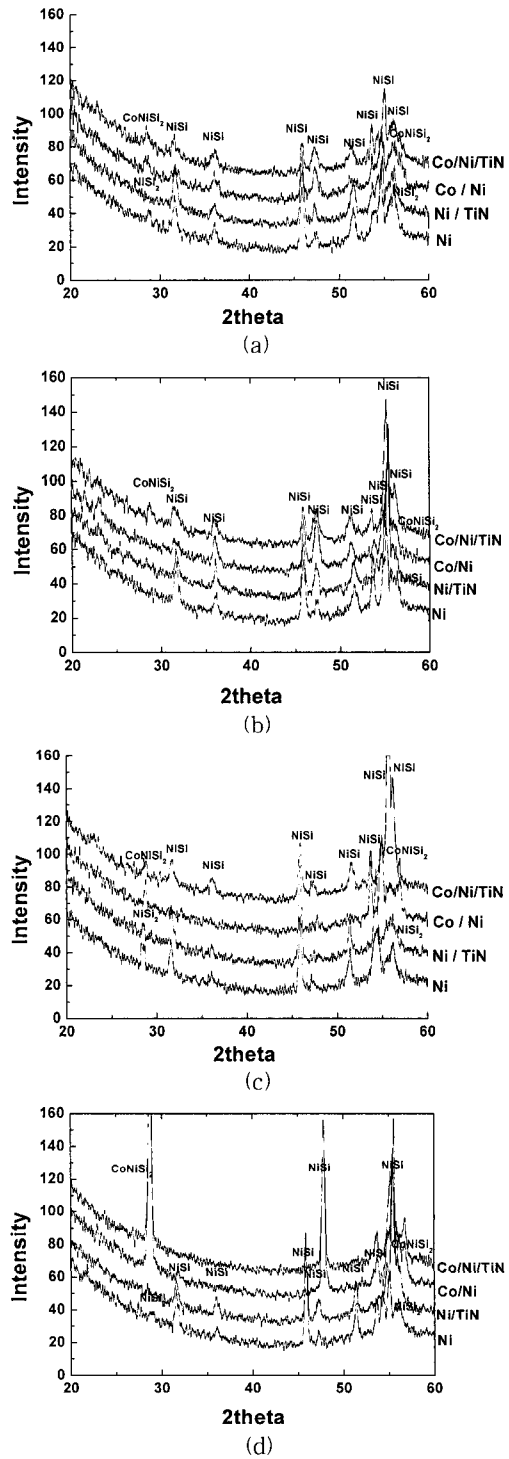
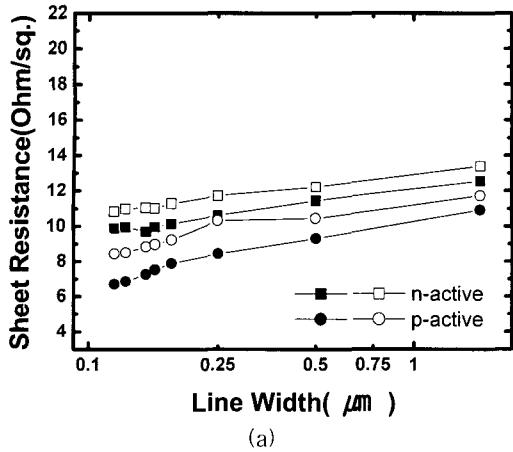
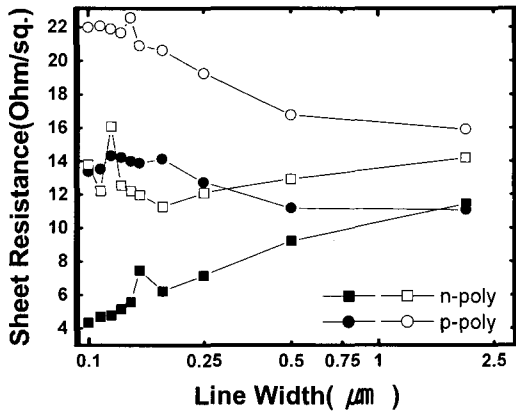


그림 5. 열처리 전후 NiSi의 XRD 상 변이 분석 비교 (a,b) 고온 열처리 전, (c,d) 고온 열처리 후(700 °C, 30분) 좌: p-active, 우: n-active  
 Fig. 5. Comparison of XRD spectra of NiSi (a,b) before and (c,d) after annealing left: p-active, right: n-active.



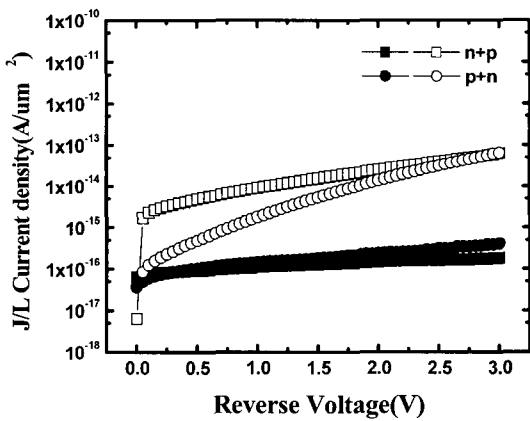
(a)



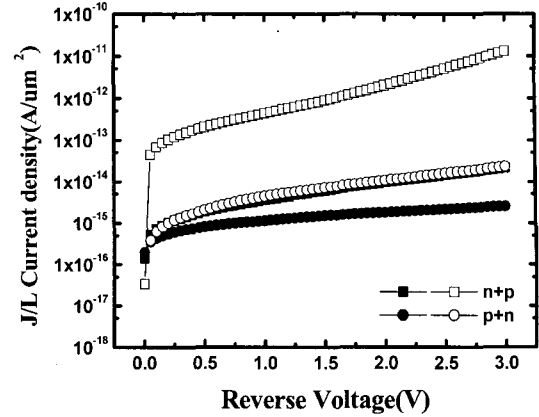
(b)

그림 6. 실리사이드 형성 후 선 폭에 따른 면 저항 비교 (a) active (b) poly (solid : Co/Ni/TiN, open : Co/Ni)

Fig. 6. Dependence on line width of NiSi sheet resistance. (a)active (b)poly (solid : Co/Ni/TiN, open : Co/Ni).



(a)



(b)

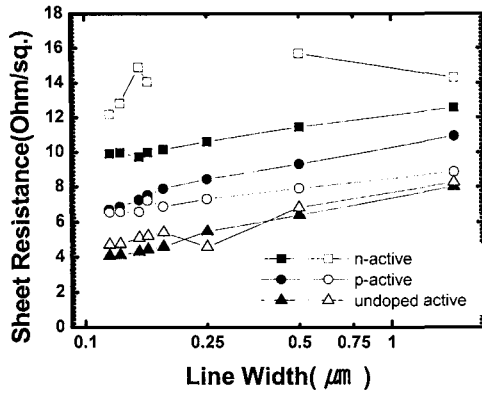
그림 7. 접합누설 전류 특성 비교 (a) area 접합(250 x 200μm²) (b) peripheral 접합(250 x 0.5μm² x 240)(solid : Co/Ni/TiN, open : Co/Ni)

Fig. 7. Comparison of the junction leakage current. (a) area junction (250 x 200μm²) (b) peripheral junction (250 x 0.5μm² x 240) (solid : Co/Ni/TiN, open : Co/Ni).

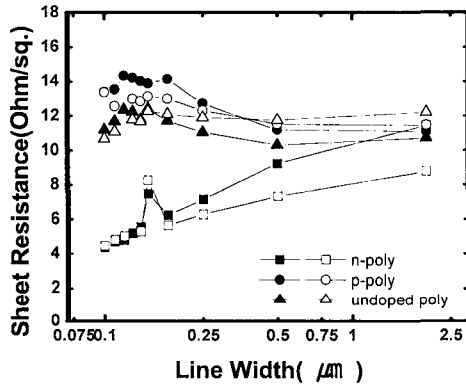
림 7>에서는 순수한 active 영역의 성분과 active와 field 사이의 성분을 나타내는 peripheral 성분으로 나누어 다이오드 패턴을 제작하였다. Active 성분만을 나타내는 250 x 200μm²의 면적을 갖는 square type과 250 x 0.5μm²의 직사각형 240개로 구성된 peripheral type으로 나뉜다. Co/Ni/TiN 구조는 면저항 10 Ohm/Sq.이 내이고 단위 면적 당 또는 단위길이당 실리사이드가 형성된 areal과 peripheral type의 누설전류밀도는 각각 n+p접합에서 0.13 fA/μm², 0.96 fA/μm², p+n 접합에서는 0.2 fA/μm², 4.26 fA/μm² 로써, Nano CMOS 소자 구현을 위한 Spec.을 만족하는 특성을 보여주고 있다.

열 안정성 측면에서도 열 처리 후 면 저항 특성을 살펴본 결과 <그림 8>에서처럼 700 °C, 30분 열처리에 도 상당히 안정적인 면 저항 특성을 보였다. n-active인 경우에는 표면이상산화 현상으로 일부 구간에서 면 저항이 측정되지 않았다.

<그림 9>는 Co/Ni/TiN 구조를 적용한 0.13 μm NMOS 소자의 단면으로써, 얇은 두께를 갖는 안정한 NiSi가 형성됨을 알 수 있다. <그림 10>은 Co/Ni/TiN 구조를 Nano CMOS 소자에 적용했을 때의 전압-전류 특성 곡선이다. NMOS의 경우 Id,sat(saturation drain current)은 460μA/μm, Id,off(leakage current)는 0.4nA/μm, Vt, ext(threshold voltage)는 500mV, DIBL(Drain Induced Barrier Lowering)은 40mV 특성을 갖고,



(a)



(b)

그림 8. Co/Ni/TiN 구조의 면저항 특성 (a) active (b) poly (solid : 고온 열처리 전, open : 고온 열처리 후(700 °C, 30분))

Fig. 8. Characteristics of the NiSi sheet resistance with Co/Ni/TiN (a) active (b)poly (solid : before annealing, open : after annealing).

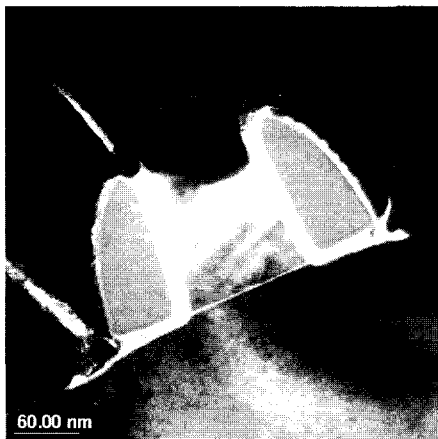


그림 9. 실리사이드 형성 후 0.13μm NMOS의 XTEM Image

Fig. 9. Cross-sectional TEM image of fabricated NMOSFET with a 0.13μm gate length.

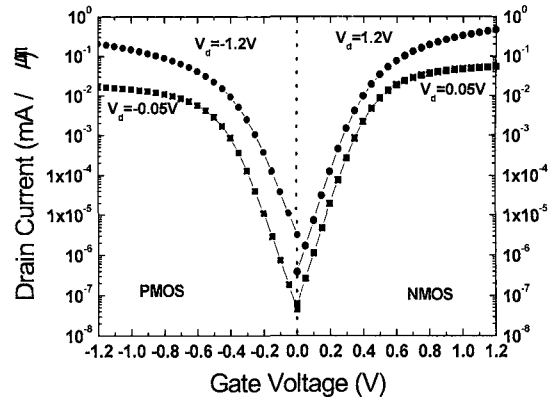


그림 10. N, PMOS 전압 - 전류 특성곡선(W/L=10/0.1)  
Fig. 10. Id Vgs Curve of N, PMOS(W/L=10/0.1).

PMOS의 경우 Id,sat 은  $-200\mu\text{A}/\mu\text{m}$ , Id,off는  $3.1\text{nA}/\mu\text{m}$ ,  $V_{t,\text{ext}}$ 는  $-490\text{mV}$ 의 특성을 나타냈다. On-off current 가 다소 낮아지고 문턱전압이 높아짐을 볼 수 있다.

V. 결론

새로이 제안한 Co-interlayer와 TiN-capping layer를 동시에 적용한 Co/Ni/TiN (10/100/100 Å) 구조를 Nano CMOS 소자에 적용하였다. 그 결과 급속 열처리 후 실리사이드의 특성은 면저항 10 Ohm/Sq.이내, 누설 전류  $1\text{fA}/\mu\text{m}^2$  이하의 Spec.을 만족하였다. 면저항 측면에서 보면 700 °C, 30분 고온 열처리 후 실리사이드의 면저항이 더 안정적이었으나 표면에 이상산화현상으로 n-active의 면저항 측정이 어려웠다. Gate poly는 n-poly와 p-poly의 면저항 차이가 발생하여 면저항차이를 개선하는 연구가 진행되어야 할 것이다. Cobalt interlayer의 적용으로 열 안정성 면에서 매우 효과적이고 TiN capping으로 인해 실리사이드 형성시 산소와의 결합을막아 실리사이드의 계면 특성을 개선시켜 누설 전류의 문제점 또한 해결하였다. Co-interlayer와 TiN capping layer을 동시에 적용하여 Ni Silicide의 단점인 열 안정성이 매우 개선된 100nm 이하 Nano CMOS 소자에 적합한Ni Silicide 특성을 확보하였다.

참고 문헌

[1] S. P. Muraka, "Self-aligned silicides or metals

- for very large integrated circuit applications”, *Journal of Vacuum Science and Technology B4*, pp. 1325-1331, 1986.
- [2] 이현진, 지희환, 배미숙, 안순의, 박성형, 이기민, 이주형, 왕진석, 이희덕, “100nm 이하의 CMOS소자를 위한 Ni Silicide Technology”, 대한 전자 공학회, 하계학술대회 논문집, Vol.2, p.237, 2002
- [3] Chel-Jong CHOI, Young-Woo OK, Tae-Yeon SEONG, Hi-Deok LEE, “Effects of a SiO<sub>2</sub> Capping Layer on the Electrical Properties and Morphology fo Nickel Silicides”, *J. Appl. Phys.* Vol. 41, pp.1-5, 2002.
- [4] K. Goto, A. Fushida, J. Watanabe, T. Sukegawa, K. Kawamura, T. Yamazaki, T. Sugii, “Leakage mechanism and optimized conditions of Co silicide process for deep-submicronMOS devices”, *IEDM 95*, pp.449-452, 1995.
- [5] E. G. Colgan, J. P. Gambino, “Formation and stability of silicides on silicon”, *Material Science & Engineering, Review Reports*, Vol. R16, No.2, pp. 43-96, 1996.
- [6] F. Deng, R. A. Johnson, W. B. Dubbelday, G. A. Garcia, P. M. Asbeck, S. S. Lau, “Salicide process for 400 A fully-depleted SOI-MOSFETs using NiSi”, *SOI Conference Proceedings, IEEE International*, pp.22-23, 1997.
- [7] T. Morimoto, T. Ohguro, H. S. Momose, T. Iinuma, et al, “Self - Aligned Nickel - Mono - Silicide Technology for High-speed Deep Submicro meter Logic CMOS ULSI”, *IEEE Trans. Electron Devices*, Vol.42, No.5, pp. 915-922, 1995.
- [8] T. Morimoto, H. S. Momose, T. Iinuma, I. Kunishima, K. Suguro, H. Okana, I. Katakabe, H. Nakajima, M. Tsuchiaki, M. Ono, Y. Katsumata and H. Iwai, “A NiSi silicide technology for advanced logic devices”, *Tech. Dig. of IEDM*, pp.653-656, 1991.
- [9] J. Chen, J. P. Colinge, D. Flandre, R. Gillon, J. P. Raskin, and D. Vanhove nacker, “Comparison of TiSi<sub>2</sub>, CoSi<sub>2</sub> and NiSi for Thin-Film Silicon-on-Insulator Applications”, *J. Electrochem. Soc.*, Vol.144, No.7, 1997.
- [10] M. A. Nicolet and S. S. Lau, “Formation and characterization of transition-metal silicides”, *VLSI Electronics Microstructure Science*, vol.6, Chapter 6, Academic Press, p.457, 346, 358, 1983.
- [11] T. H. Hou, T. F. Lei and T. S. Chao, “Improvement of junction leakage of nickel silicided junction by a Ti-capping layer”, *IEEE Electron Device Lett.*, 20, p.572, 1999.
- [12] D. Z. Chi, D. Mangelinck, S. K. Lahiri, P. S. Lee and K. L. Pey, “Comparative study of current-voltage characteristics of Ni and Ni (Pt)-alloy silicided p+n diodes”, *Appl. Phys. Lett.* 78, p.3256, 2001.
- [13] T. Ohguro, et al. Iwai, “Nitrogen-doped nickel monosilicide technology for deep submicron CMOS salicide”, in *IEDM Tech. Dig.*, p. 453, 1995.
- [14] C. detavernier, R. L Van Meirhaneghe, F. Cardon, R. A. Donaton, K. Maex, “The influence of Ti capping layers on CoSi<sub>2</sub> formation”, *Miicroelectronic Engineering* 50, pp. 125-132, 2000.
- [15] Hong-Xiang Mo, Xin-Ping Qu, Jian-Hai Liu, Guo-Ping Ru, Bing-Zong Li, “Formation and properties of ternary silicide (CoxNi1-x) Si<sub>2</sub> thin films”, *Solid-State and Integrated Circuit Technology, Proceedings. 5th International* pp. 271-274, 1998.



저 자 소 개



**吳 淳 榮(正會員)**  
 1995년 2월 : 선문대학교 전자공학과 졸업. 1997년 8월 : 선문대학교 전자공학과 졸업(석사). 2003년 8월 : 충남대학교 전자공학과 박사 수료 <주관심분야: 나노 CMOS 소자 및 공정>



**池 燾 奭(正會員)**  
 1995년 2월 : 충남대학교 전자공학과 졸업. 1998년 2월 : 충남대학교 전자공학과 졸업(석사). 2003년 8월 : 충남대학교 전자공학과 박사 수료 <주관심분야: 나노 CMOS 소자 및 공정>



**尹 壯 根(正會員)**  
 2003년 2월 : 충남대학교 전자공학과 졸업. 현재 : 충남대학교 반도체 및 회로 석사 과정 <주관심분야: 나노 CMOS 소자 및 공정>



**王 鎭 錫(正會員)**  
 1971년 2월 : 연세대학교 공과대학 전기공학과 졸업. 1974년 2월 : 연세대학교 전기공학과 졸업(석사). 1981년 3월 : 연세대학교 전기공학과 졸업(박사). 현재 : 충남대학교 전자공학과 교수. <주관심분야: 반도체 재료 및 소자, 집적 회로, 광기전력 효과, 센서, 박막, Radiation effect>



**朴 英 鎬(正會員)**  
 2003년 2월 : 한밭대학교 전자 공학과 졸업. 현재 : 충남대학교 반도체 및 회로 석사 과정. <주관심분야: 나노 CMOS 소자 및 공정>



**李 熙 德(正會員)**  
 1990년 2월 : 한국과학기술원 전기 및 전자공학과 졸업. 1992년 2월 : 한국과학기술원 전기 및 전자공학과 졸업(석사). 1996년 8월 : 한국과학기술원 전기 및 전자공학과 졸업(박사). 1993년 9월~2001년 2월 : LG반도체 및 Hynix 반도체 책임연구원. 2001년 3월~현재 : 충남대학교 전자공학과 조교수. <주관심분야: 나노소자 및 신뢰성, RF 소자 Modeling 및 RF회로설계 등>



**黃 斌 鋒(正會員)**  
 2000년 6월 : 안주대학교 물리학과 졸업. 현재 : 충남대학교 반도체 및 회로 석사 과정. <주관심분야: 나노 CMOS 소자 및 공정>