

## 복합 코발트 실리사이드 공정에 따른 게이트 산화막의 특성변화

송오성<sup>†</sup> · 정성희 · 이상돈 · 이기영 · 류지호\*

서울시립대학교 신소재공학과

\*대전대학 자동차기계학부

## Characteristics of Gate Oxides with Cobalt Silicide Process

Ohsung Song<sup>†</sup>, Seonghwee Cheong, Sangdon Yi, Kiyung Lee and Jiho Ryu

Department of Materials Science and Engineering, The University of Seoul, 90 Cheonnong-dong, Tongdaemun-gu, 130-743, Seoul

\*Devison of Machine & Automobile, Daecheon College, Boryeong, Chungnam, 355-769

(2003년 8월 4일 받음, 2003년 10월 8일 최종수정본 받음)

**Abstract** Gate length, height, and silicide thickness have all been shrinking linearly as device density has progressively increased over the years. We investigated the effect of the cobalt diffusion during the silicide formation process on the 60Å-thick gate oxide lying underneath the Ti/Co and Co/Ti bilayers. We prepared four different cobalt silicides, which have similar sheet resistance, made from the film structure of Co/Ti(interlayer), and Ti(capping layer)/Co, and performed the current-voltage, time-to-break down, and capacitance-voltage measurements. Our result revealed that the cobalt silicide process without the Ti capping layer allowed cobalt atoms to diffuse into the upper interface of gate oxides. We propose that 100Å-thick titanium interlayer may lessen the diffusion of cobalt to gate oxides in 1500-Å height polysilicon gates.

**Key words** cobalt silicide, polysilicon gate, gate oxide, Ti interlayer, Ti capping layer, silicide

### 1. 서 론

소자의 집적도가 증가함에 따라 게이트 선폭과 높이가 감소하면서 게이트 저항이 증가하게 됨으로써, 소자의 속도를 만족시키기 위하여 낮은 저항을 가지는 물질을 필요로 하게 되었다. 이러한 배경에서 접촉저항을 감소시키기 위한 실리사이드 채움은 필연적이며 계속 얇은 두께의 저저항 실리사이드가 개발되고 있다. 초기 메모리 소자의 게이트 재료로는 폴리실리콘이 채용되었으며, 소자의 집적도 증가에 따라 CVD(chemical vapor deposition)로 형성되는 텅스텐 실리사이드(tungsten silicide)가 적용되었다.<sup>1)</sup> 그러나, 최근에 게이트 선폭이 0.15 μm 이하로 감소하면서 기존의 텅스텐 실리사이드 대신에 TiSi<sub>2</sub>, CoSi<sub>2</sub>, 텅스텐(W) 등의 저저항 물질이 주로 고려되고 있다.<sup>2,3)</sup> 텅스텐 실리사이드는 최적화된 박막의 비저항이 약 80 μΩ·cm인데 비하여 TiSi<sub>2</sub> 및 CoSi<sub>2</sub>는 20 μΩ·cm로 약 1/4 수준이며, 텅스텐은 약 1/16인 5.5 μΩ·cm 이어서 전극의 수직적 수평적 크기가 감소하여도 소자에서 요구하는 전극의 면저항을 확보할 수 있기 때문이다.<sup>4)</sup>

텅스텐은 순수 금속으로서 가장 낮은 저항을 보이는 큰 장점이 있지만, 산소(oxygen)에 대한 반응성이 커서 미량의 산소와도 쉽게 산화한다는 단점이 있다.<sup>5)</sup> 이와 같

은 산화 반응에 의해 텅스텐은 부피 팽창이 크게 일어나 다른 후속 공정의 진행을 불가능하게 할 뿐만 아니라 높은 저항으로 전극의 연결 기능을 상실하게 만든다. 따라서 일반적인 소자 제조 과정에는 전극의 에칭 후 가해진 잔류응력을 회복시키기 위하여 필수적으로 열처리 과정을 거치게 되는데, 텅스텐 전극은 이와 같은 고온에서의 산화문제 때문에 채움의 어려움이 있다.

TiSi<sub>2</sub> 및 CoSi<sub>2</sub>는 기본적으로 실리콘을 포함하고 있기 때문에 산화 반응 측면에서는 안정한 특성을 보여주지만, 소자에의 적용 측면에서 몇 가지 단점이 있다. TiSi<sub>2</sub>는 좁은 선폭에서 핵생성 및 결정화가 어려우며 일정한 열처리 한도를 넘어서면 박막의 응집화가 쉽게 일어나고, 선폭이 감소하면 감소할수록 절대 저항 자체가 증가하는 문제점이 있다.<sup>6,7)</sup> 이에 반해 CoSi<sub>2</sub>는 좁은 전극 선폭에서도 낮은 저항을 유지하는 장점이 있기는 하지만, 일정 열적 처리를 넘어서면 박막이 과도 성장하여 입자 간의 분리가 일어나는 현상이 발생된다.<sup>8)</sup> 또한 Co는 확산 특성이 뛰어나 후속 열처리 공정에 의해 전극의 절연 물질 및 소자 접합부로 이동하여 소자의 누설 전류 원인이 되기도 하여 메모리 소자 공정용으로는 문제가 있다.<sup>9)</sup>

일반적으로 CoSi<sub>2</sub>의 전극의 형성은 Co와 하부 doped 폴리실리콘과의 반응에 의해 이루어지는데, 박막 증착의 구조는 Ti 중간층 및 Ti 캡핑층의 구조를 주로 사용한

<sup>†</sup>E-Mail : songos@uoscc.uos.ac.kr

다. Ti 중간층은 Ti에 의한 자연산화막 제거와 Co의 급격한 반응을 제어함으로써 균일한 CoSi<sub>2</sub>를 형성하는 장점도 있지만, 열처리 과정에 Ti 박막 자체의 높은 자연산화막 제거 능력에 의해 전극 산화막의 손실을 가져오는 단점이 있다. 그리고 Ti 캡핑층을 사용하는 조건은 외부 oxygen에 대한 Co의 산화를 방지하고 쉽게 미반응 금속등을 제거할 수 있는 장점이 있지만, Co 자체의 높은 확산 특성에 의한 게이트 산화막(gate oxide)의 오염 가능성이 더 증가하게 된다.<sup>10)</sup>

그러므로, CoSi<sub>2</sub> 게이트 형성을 위한 박막 증착 구조를 두 그룹으로 나누어 Ti 중간층과 캡핑층을 채용한 경우의 금속에 의한 게이트 산화막 특성을 분석하여 게이트 특성 및 게이트 산화막의 영향성을 확인할 필요가 있다.

따라서 본 연구에서는 차세대 소자에서 계속적으로 적용이 유력한 코발트 실리사이드를 상정하여 Ti을 중간층, 캡핑층으로 복합구조로 채용한 경우 실리사이드 자체의 특성 파악 및 실리사이드 공정시 1500Å 높이의 게이트에서 하부 게이트 산화막에 미치는 영향성에 대한 기초자료 확보를 시도하였다.

### 2. 실험 방법

전극의 적층 구조를 만들기 위하여 직경 10 cm의 P형 실리콘 기판 전면에 게이트 산화막 역할을 하는 60Å 두께의 열산화막을 형성한 후 두께 1500Å의 폴리실리콘을 550°C에서 SiH<sub>4</sub>과 PH<sub>3</sub>의 반응 가스에 의해 형성시켰다. 1500Å 두께의 게이트 높이를 목표로 최종 게이트 패턴을 형성하기 위하여 Fig. 1에 나타낸 공정순서와 같이, 우선 사진식각 공정을 통하여 0.2 μm의 선폭의 게이트를 만들었으며, 이와 같은 게이트 패턴위에 다시 PECVD(plasma enhanced CVD) 공정을 통하여 산화막을 3000Å 두께로 증착하였다. 절연 산화막 형성 후 폴리실리콘 위에만 실리사이드를 선택적으로 형성하기 위하여 CMP(chemical mechanical polishing) 공정을 통하여 폴리실리콘이 노출되게 하였다.

CMP 공정 완료 후 100:1 BOE 20 sec의 세정공정을 실시한 후 Table 1과 같은 실험 조건으로 코발트를 위주로 Ti를 중간층으로 갖는 Co/Ti와 캡핑층으로 하는 Ti/Co의 두가지 그룹의 복합박막 구조를 스퍼터링으로 증착하였다.

스퍼터링은 DC magnetron을 이용하여 Ar plasma 상태에서 진행하였으며, 스퍼터링시 챔버 초기 진공도는 1.0

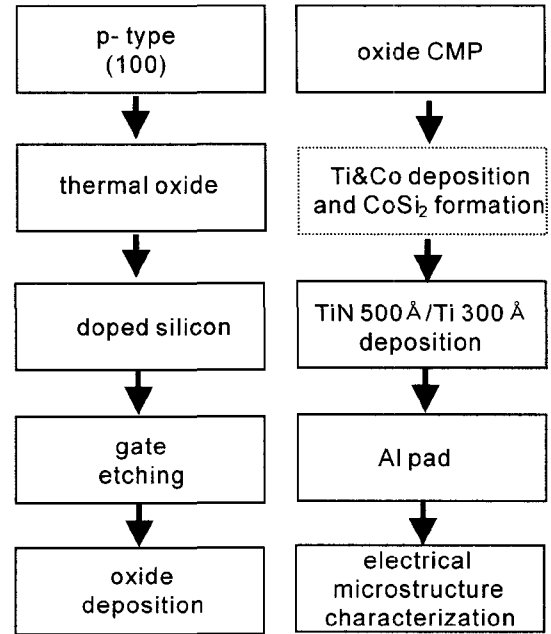


Fig. 1. Experimental procedure.

×10<sup>-7</sup>Torr이었고 증착 과정의 진공도는 약 10<sup>-3</sup>Torr를 유지하면서 증착속도는 Ti 박막은 10Å/sec, Co 박막은 10.44Å/sec로 각각 진행하였다. 세부적인 스퍼터링 조건은 Ti 증착의 경우 DC power 2kW와 증착 압력 25 mTorr이었고, Co 박막의 경우는 DC power 1kW와 증착압력 16 mTorr으로 진행하였으며, 이때 기판온도는 동일하게 200°C로 하였다. 박막 증착 후 CoSi<sub>2</sub>를 형성시키기 위하여 급속열처리(RTA: rapid thermal anneal)를 두단계에 걸쳐 진행하였으며, Table 1에서와 같이 첫 번째 RTA는 700°C/20 sec 조건으로 진행하였고, 두 번째 RTA는 850°C/20 sec 조건으로 진행하였다. 첫 번째 RTA 후 미반응 금속의 제거를 위해서 습식세정을 실시하였는데, Table 1에서와 같이 Co/Ti 구조는 WP1(H<sub>2</sub>SO<sub>4</sub>: H<sub>2</sub>O<sub>2</sub> = 3:1) 180 sec+WP2(NH<sub>4</sub>OH: H<sub>2</sub>O<sub>2</sub>: H<sub>2</sub>O = 1:4:20) 180 sec의 조건으로 세척하였으며 Ti/Co 구조는 WP1 180sec만 처리하였다. 두 번째 RTA 후는 모든 조건에서 동일하게 100:1 BOE 60 sec의 처리로 열처리 과정의 불순물 및 미반응 금속을 완전하게 제거하였다.

CoSi<sub>2</sub> 형성 조건 및 열처리 조건에 대한 전기적 특성의 측정을 위하여 전기적 배선층을 만들기 위해 스퍼터링에 의해 TiN 500Å/Ti 300Å의 배리어 금속을 형성시키고 Al 3000Å을 증착하여 금속 패드를 형성하였다.

Table 1. Experimental conditions

NO	Film		1st RTP	1st Strip	2nd RTP	2nd Strip
	1st	2nd				
1	Ti 100Å	Co 150Å	700°C/20 s	WP1/WP2	850°C/20 s	BOE 1 min
2	Ti 100Å	Co 200Å	700°C/20 s	WP1/WP2	850°C/20 s	BOE 1 min
3	Co 150Å	Ti 100Å	700°C/20 s	WP1	850°C/20 s	BOE 1 min
4	Co 200Å	Ti 100Å	700°C/60 s	WP2	850°C/20 s	BOE 1 min

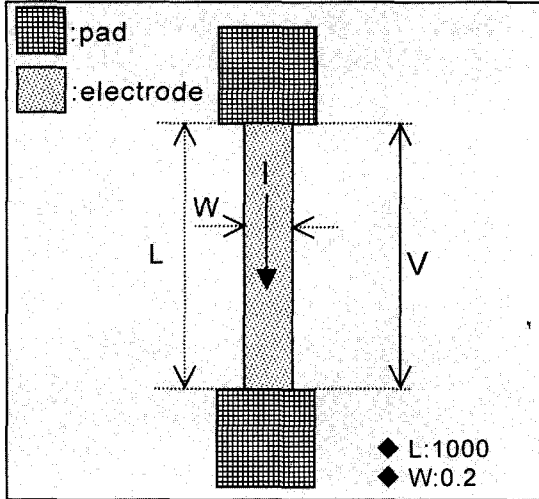


Fig. 2. The drawing of the test pattern for sheet resistance measurement.

완성된 시편은 복합박막구조 종류 및 공정에 따른 게이트 산화막 및 게이트 자체의 전기적 특성 조사를 위하여 게이트의 면저항 측정, 전류-전압 특성, 시간의존 파괴측정(TTB: time-to-breakdown) 특성, 캐퍼시턴스-전압 측정을 진행하였다. 게이트의 면저항 특성은 Fig. 2에 나타난 게이트 선폭 0.2  $\mu\text{m}$ , 전극 길이 1000  $\mu\text{m}$ 의 측정 패턴에서 면저항을 측정하였다. 기판전면에 골고루 분포한 21개 지점에서 측정하였다. 면저항은 일정한 전압을 인가하였을 때, 전극선에 나타는 전류를 이용하여 다음 식 (1)과 같은 수식에서 면저항을 환산하였다.<sup>11)</sup>

$$R_s = \frac{V}{[(I \times W)/L]} \quad (1)$$

여기서 각각  $R_s$ 는 면저항이고,  $V$ 는 전압(voltage),  $I$ 는 전류(current),  $L$ 은 전극선길이(gate line length),  $W$ 는 전극선폭(gate line width)이다.

게이트 산화막의 전류-전압 측정에서는 실리콘 기판을 ground로 하여  $400 \times 400 \mu\text{m}^2$ 의 패턴에 -15 V(voltage)의 전압을 인가하였을 때 전극으로부터 기판 하부로 흐르는 전류를 전압에 대해 전극 산화막의 전기적 파괴가 일어날 때까지 거동을 조사하였다. 게이트 산화막의 TTB (time-to-break) 특성은  $400 \times 400 \mu\text{m}^2$  크기의 실험 패턴에 -160  $\mu\text{A}$ 의 일정한 전류를 가할 때 게이트 산화막의 전기적 파괴가 이루어질 때까지의 시간을 측정하였다. 캐퍼시턴스-전압 특성은 accumulation과 inversion의 상태가 되도록 -5~+5 V의 전압을 1 MHz의 주파수를 가지고 인가하면서 복합 박막구조에 따른 게이트 산화막의 캐퍼시턴스, 전기적 게이트 산화막 두께를 측정하였다.

### 3. 결과 및 고찰

#### 3.1. 전극의 면저항 분석

$\text{CoSi}_2$ 의 형성 구조에 따른 면저항의 결과를 Fig. 3

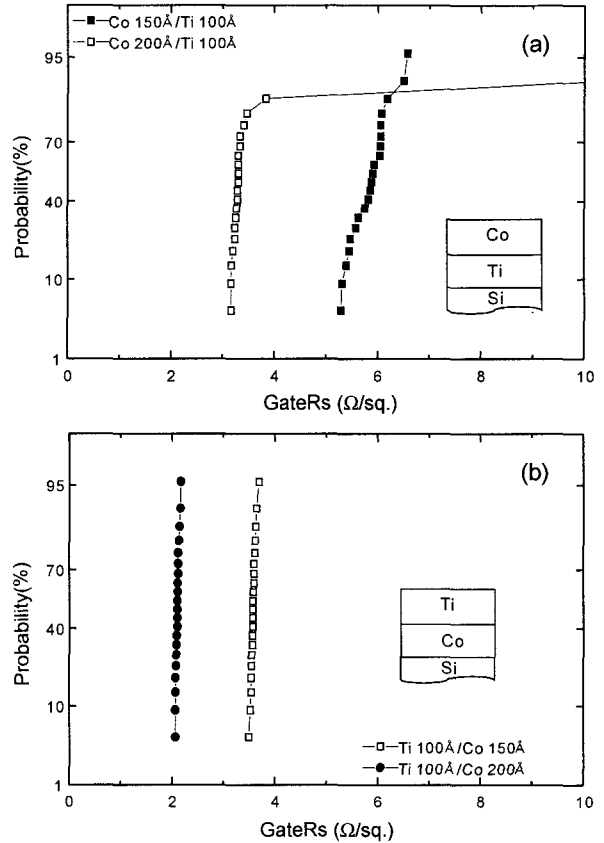


Fig. 3. The plots of the sheet resistance of (a) Co/Ti-silicide/polysilicon, and (b) Ti/Co-silicide/polysilicon gates.

(a), (b)에 나타내었는데, Co/Ti 중간층과 Ti 캡핑층/Co의 두가지 그룹에 대하여 각각 나타내었다.

Fig. 3의 (a)에서와 같이 Co 150Å/Ti 100Å(중간층)과 Co 200Å/Ti 100Å(중간층)의 두 구조를 비교하면 Co 두께가 두꺼운 경우가  $\text{CoSi}_2$ 의 형성 두께 증가하면서 게이트 면저항이 감소하는 경향이 뚜렷하였다. 즉, Co가 150Å로 얇은 조건은 5.3~6.5  $\Omega/\text{sq.}$ 의 분포를 보였지만, Co가 200Å로 두꺼운 조건은 3.1~3.8  $\Omega/\text{sq.}$ 의 낮은 면저항을 보였다. 따라서 복합구조의 Ti를 중간층으로한 코발트실리사이드는 코발트의 두께를 조절함으로써 효과적으로 면저항을 조절할 수 있었다.

Fig. 3(b)의 Ti를 캡핑층으로 채용한 경우는 Ti 100Å/Co 150Å와 Ti 100Å/Co 200Å의 두 구조로 Co가 직접 하지의 다결정 실리콘과 반응하여  $\text{CoSi}_2$ 를 형성하므로 Ti 중간층을 가진 (a)에 비해 면저항이 작았다. 즉, Ti 100Å/Co 150Å은 약 3.5  $\Omega/\text{sq.}$ 의 면저항을 보였지만, Ti 100Å/Co 200Å은 약 2.0  $\Omega/\text{sq.}$ 의 면저항으로 (a)에 비해 작았다. 한편 (a),(b) 두 구조에서 전극 면저항 분포는 Ti 캡핑층을 가진 (b)가 중간층을 가진 (a) 보다 균일하게 분포하는 것으로 나타나 캡핑층을 가진  $\text{CoSi}_2$ 의 형성이 더 균일하게 진행되는 것으로 예상된다. Fig. 3의 결과는 어떤 복합 박막구조에서도 면저항을 2~6  $\Omega/\text{sq.}$  범위에서 게이트 선폭에 따라 적절한 면저항을 선택하는 것이 가능함을 의미하였다.

3.2. 전극 산화막 특성

3.2.1. 전류-전압 특성

-15 V의 전압 부가에 대한 전극 산화막의 전류 이동에 대한 거동을  $\text{CoSi}_2$  형성 구조에 따라 Fig. 4의 (a), (b) 각각 나타내었다.

Ti 중간층을 가진 Co/Ti 구조에서는 Fig. 4의 (a)에 나타난 바와 같이 동일한 거동을 보였으며, 누설전류는 10-12 A(ampere)의 수치를 보였다. 전압의 상승에 따라 터널링(tunneling)으로 이동하는 전류 거동은 Co 두께에 영향 없이 동일한 변화를 보였으며 높은 전압의 인가에 따른 산화막의 절연 특성이 파괴되는 break-out은 약 -11.2 V로 같았다. 따라서 Ti 중간층 구조에서 산화막에 대한 제거력이 뛰어난 Ti와 확산 특성이 활발한 Co에 의한 게이트 산화막의 절연특성에 대한 영향성은 전류-전압 특성에서는 관찰되지 않았다.

Fig. 4의 (b)에 나타난 Ti 캡핑구조를 가진 복합막막의 누설전류는 역시 10-12 A의 낮은 수치를 보였으며, 터널링 영역에서는 약 7.5 V까지는 Co 두께에 관계없이 동일한 거동을 보였으나 7.5 V 이상에서는 Co 200Å 조건이 낮은 전류 수치를 보였다. 이것은 Co 200Å 조건과 같이 Co의 두께가 크고 중간층이 없는 경우, Co가 게이트 산화막까지 확산 이동하여 게이트 산화막의 특성에 영향을 미쳐서 전류-전압 특성을 변화시킬 수 있음을 간접적으로 보여주고 있다. 따라서 이러한 중간층이 없는 코발트실리사이드 공정에서는 게이트 높이를 크게 하거나 코발트층의 두께를 얇게하여 코발트가 게이트산화막에 미치는 영향이 최소화되도록 하는 공정설계가 필요함을 알 수 있었다.

3.2.2. 시간의존 파괴특성

Fig. 5의 (a), (b)에는  $400 \times 400 \mu\text{m}^2$ 의 패턴에 -160  $\mu\text{A}$ 의 일정 전류를 흘려주며 이때 게이트 산화막의 시간에 따른 TTB 특성을 나타내었다.

(a)의 Ti 중간층을 가진 복합막막구조로 조건에서는 Co 두께 및 추가 열처리에 따른 뚜렷한 경향성은 나타나지 않았으며, 전체적인 시간 분포는 54~141 sec의 범위를 보였다. 그러나 Co 두께와 관계없이 모두 30 sec 이하의 초기 파괴 경향을 보이는 데이터가 나타났다. (b)의 Ti 캡핑층을 가진 경우도 43~133 sec의 분포를 보였다. 따라서 코발트 두께에 대한 TTB의 의존성은 없었고 Ti 중간층과 캡핑층의 경우를 비교하여도 전체적인 평균시간 수치와 분포에서 큰 차이가 없다고 판단 할 수 있었다. TTB의 변화가 없는 것은 코발트 등의 금속 불순물이 게이트산화막 자체의 내부 트랩 형성을 이루지 못한 것으로 적어도 살리사이드 공정이 게이트 산화막 내부에까지는 영향을 미치지 않았음을 의미하였다.

3.2.3. 캐퍼시턴스-전압 특성

$\text{CoSi}_2$  공정에 따른 accumulation 상태와 inversion 상태의 캐퍼시턴스 특성을 -5~+5 V 범위에서 측정하면서 측정된 값을 accumulation영역에서의 최대캐퍼시턴스( $C_{ox}$ )를 이용하여 나누어 1이 최대값이 되도록 표준화( $C/C_{ox}$ )

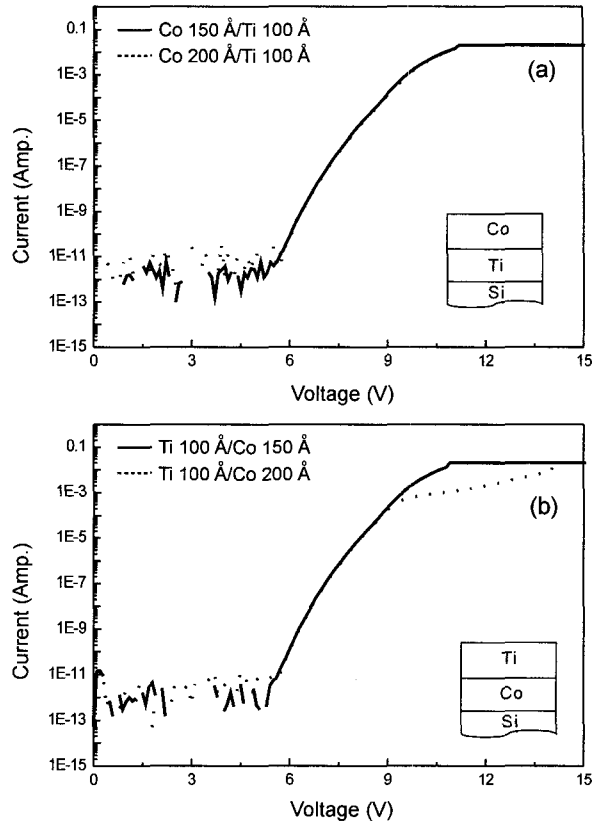


Fig. 4. The current-voltage plots of the gate oxide with (a) Co/Ti-silicide/polysilicon, and (b) Ti/Co-silicide/polysilicon pads.

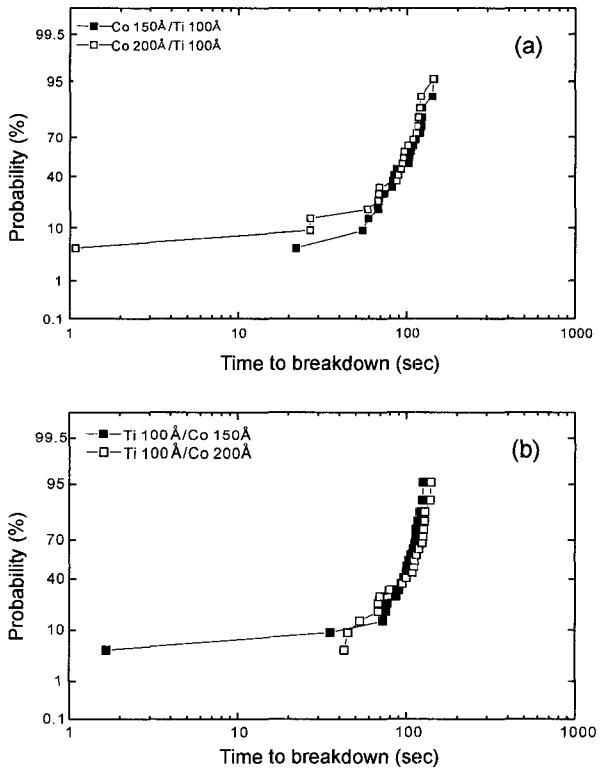


Fig. 5. Time-to-breakdown characteristics of gate oxides with (a) Co/Ti-silicide/polysilicon, and (b) Ti/Co-silicide/polysilicon pads.

**Table 2.** CV measurement result

NO	Film		Cox(pF)	Cinv(pF)	Tox(Å)
	1st	2nd			
1	Ti 100Å	Co 150Å	822.0	204.5	66.4
2	Ti 100Å	Co 200Å	817.0	201.8	66.8
3	Co 150Å	Ti 100Å	822.3	71.5	66.3
4	Co 200Å	Ti 100Å	806.1	69.0	67.7

한 값을 Fig. 6의 (a), (b)에 나타내었다.

Fig. 6의 Accumulation(-5~0 V) 상태에서는 캐퍼시턴스 값이 금속박막층의 구조에 관계없이 806.1~825.0 pF의 분포로 Ti 캡핑 및 중간층에 대한 경향성은 없었지만, inversion(0~+5 V)상태에서는 Ti 캡핑층과 중간층의 구조에 따라 캐퍼시턴스의 차이가 뚜렷하였다. 즉 중간층Ti가 없는 경우인 (b)가 상대적으로 (a)보다 작음을 알 수 있다.

이러한 현상을 정량적으로 나타낸 Table 2와 같이 중간층을 갖는 Co 150Å/Ti 100Å와 Co 200Å/Ti 100Å의 조건은 inversion 상태에서 각각 204.5 pF과 201.8 pF의 높은 값을 보이지만 Ti 100Å/Co 150Å과 Ti 100Å/Co 200Å은 각각 71.5 pF과 69.0 pF의 낮은 수치를 보였다.

따라서 이러한 결과는 CoSi<sub>2</sub>의 형성 공정에서 확산 방

지층의 역할을 할 수 있는 중간층이 없는 경우는 살리사이드 공정 및 후속 공정 중에 가해지는 열처리 동안 게이트 산화막 상부 까지 Co 확산 이동이 상대적으로 활발하게 발생하는 영향에 의해 나타나는 현상으로 판단되었다.

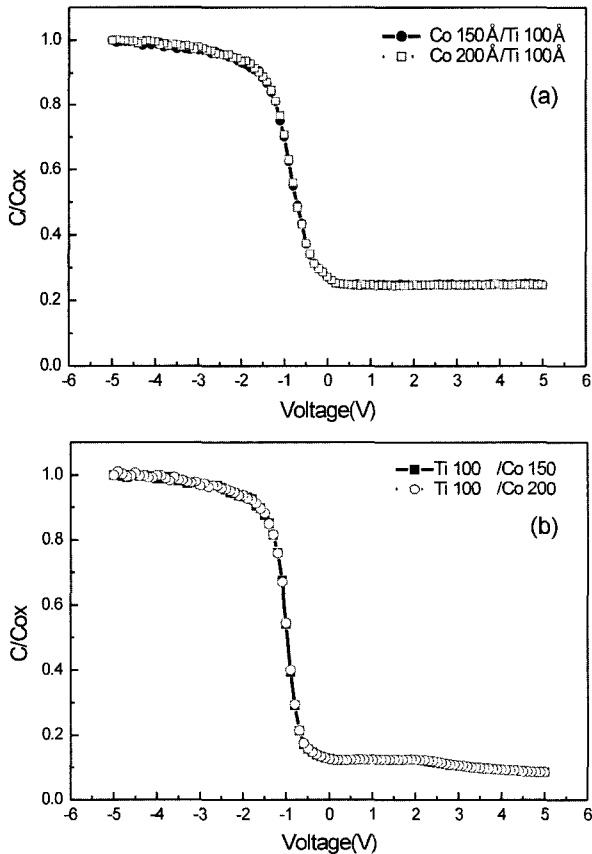
한편 전류-캐퍼시턴스 측정에서 유추된 게이트 산화막의 두께는 66.1~67.7Å으로 비슷한 경향을 보여 복합박막 구조에 따른 전기적 게이트 산화막의 두께 변화는 없는 것으로 나타났다.

#### 4. 결 론

60Å-게이트 산화막/1500Å-폴리실리콘게이트 구조의 게이트 상부에 Ti를 중간층과 캡핑층으로 갖는 코발트 실리사이드 공정시, 낮은 게이트 높이 때문에 금속원소의 물질이동에 따른 게이트 산화막의 영향을 알아보았다. 코발트실리사이드 면저항은 Ti의 중간층, 캡핑층 채용에 관계없이 Co의 상대적 두께에 따라 목표하는 저저항 조절이 가능하였다. 전류-전압 특성에서 게이트 산화막의 특성은 비슷하였으나 중간층이 없고 코발트 두께가 200Å인 경우 오히려 누설 특성이 개선되는 특성이 있었고 이는 코발트의 게이트 산화막의 영향성을 간접적으로 나타내었다. 게이트 산화막의 시간의존과특성은 실리사이드 구조에 따른 의존성 없이 비슷한 정도였으며 이는 코발트가 게이트 산화막의 내부까지 영향을 미치지 않는다는 것을 의미하였다. C-V측정에 의한 게이트 산화막의 두께는 동일하였고, inversion 상태의 Ti 중간층이 없는 경우 캐퍼시턴스가 감소하였다. 이는 얇은 게이트에서의 게이트 산화막 상부 계면까지 Co의 확산가능성을 의미하였다. 1500Å의 얇은 폴리실리콘게이트에서 코발트는 중간층이 없는 경우 게이트 산화막의 상부계면까지 이동하여 영향을 미칠 수 있었으나 게이트 산화막 내부까지 이동하여 결함을 유도하지 않았으며, 이를 방지하기 위해서는 100Å 두께의 Ti 중간층을 채택하여 효과적인 방지가 가능하였다.

#### 감사의 글

이 논문은 2003년도 정보통신기초기술 연구지원사업(과제번호 03-기초-0061) 지원에 의하여 연구되었습니다. 이에 감사드립니다.



**Fig. 6.** Current-voltage characteristics of gate oxides with (a) Co/Ti-silicide/polysilicon, and (b) Ti/Co-silicide/polysilicon pads.

## 참 고 문 헌

1. J. S. Byun, D. H. Kim, W. S. Kim and H. J. Kim, *J. Appl. Phys.*, **78**(3), 1725 (1995).
2. R. T. Tung, *Applied Surface Science*, 117/118, 268 (1997).
3. H. Zhang, J. Poole, R. Eller and M. Keefe, *J. Vac. Sci. Technol. A*, **17**(4), 1904 (1999).
4. Y. Akasaka, K. Miyano, K. Nakajima, M. Takahashi, S. Tanaka and K. Suguro, *Jpn. J. Appl. Phys.* **38**(4B), 2385 (1999).
5. M. Sekiguchi, M. Yamanaka, T. Fujii, M. Fukumato and S. Mayumi, *J. Electrochem. Soc.*, **144**(1), (1997).
6. J. Lutze, G. Scott and M. Manley, *IEEE Electron Device Letters*, **21**(4), 155 (2000).
7. H. Fang, M. C. Oztu, E. G. Seebauer and D. E. Batchelor, *Journal of the Electrochem. Soc.*, **146**(11), 4240 (1999).
8. J. P. Gambino, E. G. Colgan, A. G. Domenicucci and B. Cunningham, *J. Electrochem. Soc.*, **145**(4), (1998).
9. C. Y. Kang, D. G. Kang, and J. W. Lee, *Journal of Applied Physics*, **86**(9), 5293 (1999).
10. S. H. Cheong and O. S. Song, *Korean Journal of Materials Research*, **13**(5), 279 (2003).
11. D. G. Ong, *Modern MOS Technology: Process, Devices, and Design*, McGraw-Hill, New York (1984).