

Recessed-gate 4H-SiC MESFET의 DC특성에 관한 연구

박승욱* · 황웅준 · 신무환†

명지대학교 세라믹 공학과 반도체 재료/소자 연구실
*칩팩코리아 R & D Center

Study on DC Characteristics of 4H-SiC Recessed-Gate MESFETs

Seung Wook Park*, Ung-Jun Hwang and Moo Whan Shin†

Swmiconductor Materials/Devices Lab., Department of Ceramic Engineering Myong Ji University

*Chip Pac Korea, R & D Center

(2002년 10월 17일 받음, 2003년 1월 8일 최종수정본 받음)

Abstract DC characteristics of recessed gate 4H-SiC MESFET were investigated using the device/circuit simulation tool, PISCES. Results of theoretical calculation were compared with the experimental data for the extraction of modeling parameters which were implemented for the prediction of DC and gate leakage characteristics at high temperatures. The current-voltage analysis using a fixed mobility model revealed that the short channel effect is influenced by the defects in SiC. The incomplete ionization models are found out significant physical models for an accurate prediction of SiC device performance. Gate leakage is shown to increase with the device operation temperatures and to decrease with the Schottky barrier height of gate metal.

Key words Wide band-gap semiconductors, SiC, Schottky contact, MESFET, I-V Characteristics, Modeling

1. 서 론

SiC 반도체는 일반적으로 사용되어지고 있는 Si(1.1 eV) 과 GaAs(1.43 eV) 같은 반도체와 비교할 때 넓은 밴드갭(2.86~3.26 eV)을 가지고 있어 밴드갭을 이용한 특성조작이 용이하고, 4×10^6 V/cm의 높은 항복시 전기장의 세기와 2×10^7 cm/sec의 높은 전자 포화 속도, 그리고 4.9 W/cm-K의 높은 열전도도 값 때문에 고전력·고주파 작동에 매우 유망한 재료로 알려지고 있다.^{1,3,4)} SiC는 적층 순서에 따라 수많은 ploy type를 가지고 있으며 현재 β -SiC라고 불리는 3C-SiC의 입방정상 (cubic)과 70여 종의 육방정상 (hexagonal), 170여 종의 능면정상 (rhombo-hedral)이 보고되고 있다. 입방정상을 제외한 나머지 SiC를 α -SiC로 통칭하는데 이중 육방정계에서 ABCABC의 적층 순서를 가지는 4H-SiC와 ABCACB의 적층 순서를 가지는 6H-SiC가 가장 활발한 연구 대상이 되고 있으며 또한 우수한 화학적 안정성에 의해 열악한 환경에서 작동할 수 있는 반도체 소자용 재료로서도 각광받고 있다. 특히 6H-SiC의 이동도 값에 비하여 약 2배의 이동도를 갖는 4H-SiC는 최근에 더욱 많은 연구와 개발의 관심 대상이 되고 있다.⁵⁾

전술된 SiC의 우수한 전자물성으로 인하여 최근에 많은 구조의 소자가 제작되고 있다. 특히 고주파·고출력 응용소자로서 전계효과트랜지스터 (Field Effect Transistor

- FET)의 응용가능성이 크게 주목받고 있으며 특히 SiC/SiO₂의 계면상태가 불안한 Metal Oxide FET (MOSFET) 형태보다는 Metal Semiconductor FET (MESFET) 소자의 개발이 상용화의 관점에서 더욱 활발히 추진되고 있는 실정이다. MESFET 소자 중 특히 게이트가 리세스된 MESFET 소자는 음극과 쇼트키 접합의 특성을 더욱 향상시키기 위한 방법인데, 이는 음극접합에 적합한 도핑층과 채널층에 적합한 도핑층을 선택적으로 설계할 수 있기 때문이다. 이러한 소자설계의 이점으로 소자의 항복전압을 향상시킬 수 있으며 고주파 작동 시의 노이즈 (noise)를 제어할 수 있게된다. 특히, 음극 접촉 저항이 클 경우에는 열 방출이 증가하여 소자의 온도가 증가하게 되어 소자의 기계적 안정성이 결여되며 캐리어 산란으로 인하여 전력소자에서 가장 중요한 전류값의 저하를 가져오게 된다.

실제 소자의 제작 이전에 정확한 소자특성을 이론적으로 재현성있게 예측하는 것은 소자의 상용화에 필수적인 요소이다. 이를 위하여 모델링한 예측치를 실험 결과와의 비교를 통하여 모델 변수들을 정립한 후에 이를 근거로 소자성능을 극대화할 수 있는 소자구조를 제안할 수 있게된다. 특히 SiC는 단결정 성장이 매우 어렵고 승화법을 기초로 한 수정 Lely법 등에 의하여 매우 제한된 크기로 성장되므로 에피 웨이퍼의 값이 고가여서 실험적인 검증을 통하여 소자의 특성을 분석한다는 것은 매우 어려운 일이며 이 때문에 정확한 소자성능 모델링의 중요성이 더욱 크다고 할 수 있다. 하지만 이러한 중요성

†E-Mail : mwshin@mju.ac.kr

에도 불구하고 소자성능예측에 대한 논문은 그동안 상당히 제한적이었는데 그 이유는 에피와 단결정에서의 결합도가 워낙 높아서 소자성능의 예측에 한계가 있었기 때문이었다. 하지만 이 재료의 결정성장기술이 최근 급성장되면서 결합밀도가 $1/\text{cm}^2$ 이하로^{4,6-8)} 줄게되고 다이오드와 MESFET 소자가 상용화되면서 이에 대한 소자특성모델의 중요성이 더욱 커지게 되었다. 본 연구에서는 4H-SiC의 물리적 변수 추출을 통하여 소자 제작시 추정되는 전류 전압 특성을 비롯한 성능 특성을 정확하게 예측하는 모델링 확보를 목적으로 하고 있으며 각각의 수행 변수 등을 기반으로 이동도 모델, 및 deep level에 의하여 중요하게 인식되는 Incomplete Ionization 모델등을 적용하여 소자 특성을 분석하였다. 또한 MESFET 게이트 길이에 의해 나타나는 Short channel effect 현상에 대하여 분석하였으며 전류 전압특성 모델링 결과를 실험치를 통하여 비교.검토함으로써 모델의 타당성을 검증하였다. 또한 채널 층에서의 전기장 및 동작 온도에 따른 전자의 이동도 값을 모델링을 통하여 추출하였으며 고온 동작 특성에서의 전류 전압 특성 및 게이트를 통한 전류의 누설 현상에 대하여 분석하였다.

2. Recessed MESFET과 모델링 기구

본 연구에서는 캐리어의 transport mechanism을 비롯한 상술된 물리적 모델들을 광대역 반도체 및 이종 접합 구조의 시뮬레이션 Tool인 Atlas/blaze를 이용하여 4H-SiC 소자의 모델링을 구현하였으며 소자 특성 model의 예비적인 결과와 Huang¹⁾의 실험결과를 비교해 봄으로써 본 연구에서 사용된 변수의 검증을 꾀하였다. Fig. 1은

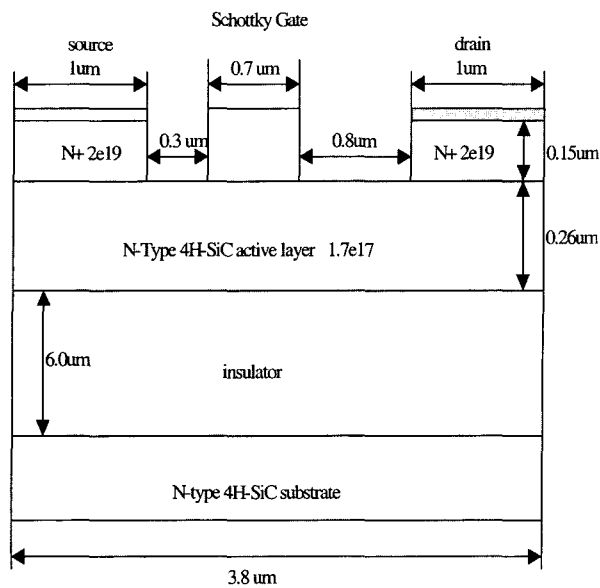


Fig. 1. Schematic cross section of the modeled 4H-SiC MESFET (gate length = 0.7, source-gate space = 0.3, gate-drain space = 0.8, width = 332 μm, gate metal = Au, Active layer doping = 1.7×10^{17}).

모델링한 리세스된 4H-SiC MESFET의 구조를 나타낸다. 모델링 결과의 신뢰성을 위해서 채택된 실험적 소자는 Huang¹⁾ 등이 제작한 4H-SiC MESFET으로써 게이트 길이 0.7 μm, 리세스된 깊이 0.15 μm, 게이트-소스 간 길이, 0.3 μm이며 게이트-드레인 간 거리는 항복전압의 향상을 위하여 이 보다 큰 0.8 μm으로 제작되었고 활성 층의 도핑농도는 $1.7 \times 10^{17} \text{ cm}^{-3}$ 그리고 두께는 0.26 μm이다. MESFET 소자의 Schottky Barrier Height는 MESFET 시뮬레이션에서 gate에 대한 boundary condition 적용에 매우 중요한 역할을 한다. 게이트 메탈의 일함수는 직접적으로 Schottky barrier height를 결정하고 결국 소자의 공핍 영역의 깊이에 영향을 주게 되어 직접적으로 소자 동작 시 전류 전압특성에 영향을 미치게 된다. 게이트 메탈의 일함수와 전자 친화도 값에 의해 Schottky barrier height 값을 결정하게 되고 이는 소자의 공핍층 형성과 직접적으로 연계하기 때문에 소자의 pinch off 특성을 결정하는데 중요한 영향을 미치는 수행변수이다.

$$\phi_s = \text{affinity} + \frac{E_g}{2q} + \frac{kT_L}{2q} \ln\left(\frac{N_c}{N_v}\right) - \text{workfun} + V_{\text{applied}} \quad (1)$$

보다 정확한 Schottky barrier height의 계산을 위해 4H-SiC의 전자 친화도 4.17 eV를 모델링 상에 대입하고 유효 질량 값인 $m_c = 0.76m_0$, $m_v = 1.20m_0$ 을 다음과 같이 정의된 식(2),(3)에 대입하여 conduction 및 valence band의 상태 밀도를 구하여 모델링에 적용하였다.²⁾

$$n = 2 \left[\frac{2\pi m_n kT}{h^2} \right]^{3/2} \exp\left[-\frac{E_c - E_F}{kT}\right] \quad (2)$$

$$= N_c \exp\left[-\frac{E_c - E_F}{kT}\right]$$

$$p = 2 \left[\frac{2\pi m_p kT}{h^2} \right]^{3/2} \exp\left[-\frac{E_F - E_v}{kT}\right] \quad (3)$$

$$= N_v \exp\left[-\frac{E_F - E_v}{kT}\right]$$

이 때에 N_c 는 $2[2\pi m_n kT/h^2]^{3/2}$ 이며 N_v 는 $2[2\pi m_p kT/h^2]^{3/2}$ 으로 일반적으로 정의된다. 전류 전압특성에 큰 영향을 미치는 특성으로 Wafer 상에 존재하는 결함에 의해 형성되는 trap과 deep donor (ED)와 acceptor (EA) 준위의 영향을 들 수 있다. SiC에서 trap 준위나 deep donor (ED)와 acceptor (EA) 준위는 상온뿐만 아니라 고온에서도 중요한 물리적 변수가 될 수 있는 것은 이 재료의 에너지 갭이 Si(1.12 eV)나 GaAs(1.43 eV)에 비하여 월등히 높기 때문에 전도대와 가전도대 사이에 위치한 이러한 준위들이 상대적으로 높고 상온은 물론 높은 온도에서도 도펀트의 이온화가 100% 이루어지지 않을 확률이 크기 때문이다. 따라서 캐리어 전송모델에 있어서 incomplete

ionization 모델은 필수적인 것으로 예측되었으며 다음의 식에 의하여 소자성능에 대한 모델에 implement 되었다. 전자와 홀에 대한 이온화 기울기는 다음과 같다. 여기서 EFn EFp는 quasi-Fermi levels이다.^{2,3)}

$$I_D = \frac{N_D^+}{N_D} = \frac{1}{1 + 2 \exp[(E_{Fn} - E_D)/kT]} \quad (4)$$

또한

$$I_A = \frac{N_A^-}{N_A} = \frac{1}{1 + 4 \exp[(E_A - E_{Fp})/kT]} \quad (5)$$

앞에서 언급했듯이 wafer 성장시 발생하는 결함 등에 의해 영향받는 특성 뿐 아니라 소자의 전류 전압 특성에 영향을 미치는 것이 저전계 이동도 모델과, 고전계 이동도 모델로 나타내는 이동도 값이다. 이동도는 MESFET의 드레인 전류에 비례하고 전기장, 온도, 도핑 농도에 따라 변하면서 전류 전압 곡선 값을 직접적으로 결정하는 요인이다. 그러므로 정확한 이동도 모델의 추출은 소자 특성 분석에서 매우 중요한 과제이다. 본 연구에서는 저전계 이동도 모델로는 Caughey-Thomas Model과 Fixed 이동도 모델을 사용하였고 고전계 이동도 모델로는 Field Dependent 이동도 모델을 사용하여 소자의 전류 전압 특성을 분석하였다.²⁾ 전기장에 의한 변화가 적은 저전계 영역에서는 이동도가 도핑에 의해 좌우된다. 소자 채널의 도핑농도가 커질 경우 이동도는 불순물에 의한 산란 현상의 지배를 받게 되어 이동도의 상당한 감소를 받게된다. 다음은 식 (6)은 4H-SiC 저전계 영역에서의 Caughey-Thomas model을 상온에서 사용할 수 있게 온도에 독립적인 모델로 식을 변환시킨 것이다.^{8,11)}

$$\mu_p, \mu_n = \mu_{min}^{n,p} + \frac{\mu}{1 + \left(\frac{N_D + N_A}{N_{n,p}^\mu} \right)} \quad (6)$$

이 식에서 $N_{n,p}^\mu$ 와 $\gamma_{n,p}$ 는 고정 변수이고 도너, 억셉터 이온이 가진 내부 작용으로 발생하는 ionized impurity scattering으로 인하여 이동도 값이 의존적으로 변하고 있음을 확인할 수 있으며 $\mu_{min}^{n,p}$ 는 도핑수준에 의존적인 최

소 이동도 값이다. Table 1은 Caughey-Thomas model에서 적용시킨 이동도 변수이며 4H-SiC MESFET 소자의 모델링을 위하여 추출된 주요 수행 변수들은 Table 2에 요약되어 있다.

드레인에 전압이 가해지기 시작하면 전기장이 형성되어 그 전기장에 따라 이동도 값도 영향을 받는다. 이는 전압이 걸렸을 경우에는 전기장이 형성되어 저전계의 경우와 같이 소자의 도핑농도에 의한 산란으로 이동도가 좌우되는 것보다는 고전계에서는 형성된 전기장에 의해 이동도가 영향을 받기 때문이다. 이로 인해 정확한 소자의 모델링을 위해서는 저전계 영역에 대한 이동도 모델 뿐 아니라 고전계 영역에서 적용할 수 있는 이동도 모델의 적용은 필수적이다. 본 연구에서는 다음과 같은 고전계 이동도 모델을 적용하였다. 이 모델은 아직까지 정확하게 정립된 4H-SiC에 대한 고전계 영역에서의 이동도 모델에 대한 연구 결과가 없는 관계로 6H-SiC의 고전계 이동도 모델을 적용하였다.³⁾ 즉,

$$\mu_n^E (cm^2 V^{-1} s^{-1}) = \mu_n \left[\frac{1}{1 + E \mu_n / v_{sn}^2} \right]^{\frac{1}{b}} \quad (7)$$

또한,

$$\mu_p^E (cm^2 V^{-1} s^{-1}) = \mu_p \left[\frac{1}{1 + E \mu_p / v_{sp}^2} \right]^{\frac{1}{b}} \quad (8)$$

고전계 이동도 모델에서 SiC의 경우 $b=2$ 인 값을 가지며 b 값인 2를 고전계 모델상에 대입함으로써 보다 정확한 SiC에 대한 고전계 이동도 모델링을 실현하였다.¹⁾

이동도 모델의 적용을 위해 전기장과 연관된 drift velocity model을 사용한다. 다음 식은 선형 구역에서 적용되는 saturation velocity값을 전기장과 이동도의 관계로 나타낸 것이다.

$$v_n = \mu_n(E)E \quad (9)$$

위의 모델 등에서 계산되어진 값 등을 가지고 전자 및

Table 1. Material parameters of 4H-SiC employed for the Caughey-Thomas model.

Electron	Hole	Reference
$\mu_n^\delta = 460.0(\text{cm}^2/\text{V} \cdot \text{S})$	$\mu_p^\delta = 108.1(\text{cm}^2/\text{V} \cdot \text{S})$	Ref. 13
$\mu_n^{\text{min}} = 0.0(\text{cm}^2/\text{V} \cdot \text{S})$	$\mu_p^{\text{min}} = 15.9(\text{cm}^2/\text{V} \cdot \text{S})$	Ref. 13
$N_n^\mu = 1.94 \times 10^{17}(\text{cm}^{-3})$	$N_p^\mu = 1.76 \times 10^{19}(\text{cm}^{-3})$	Ref. 13
$N_n^\mu = 1.94 \times 10^{17}(\text{cm}^{-3})$	$N_p^\mu = 1.76 \times 10^{19}(\text{cm}^{-3})$	Ref. 7
$\gamma_n^d = 0.61$	$\gamma_p^d = 0.34$	Ref. 13
$\beta_n^e = 2$	$\beta_p^e = 2$	Ref. 14

Table 2. Materials parameters for the fixed mobility model for the modeling of 4H-SiC MESFET. Parameters without references were obtained by calculation.

paramaters	value	Reference
Energy gap (300)	3.26 eV	Ref. 7
permittivity	9.7	Ref. 7
electron affinity	3.5 eV	Ref. 15
low field mobility	460 $\text{cm}^2/\text{Vs}(300)$	Ref. 7
saturation velocity	1.25 $\times 10^7$ cm/s	Ref. 7
gate work function	5.1	
ni	1.4 $\times 10^9$	
Nc(300)	1.66 $\times 10^{19}$	
Nv(300)	3.3 $\times 10^{19}$	

정공에 대한 current-continuity 방정식과 poisson 방정식 등을 기초로 한 집합에서의 전자와 정공 전류는 식 (10), (11)에 의하여 계산되어 진다.

$$J_n = q(D_n \nabla n - \mu_n n \nabla \phi) \quad (10)$$

정공에 대하여는,

$$J_p = -q(D_p \nabla p - \mu_p p \nabla \phi) \quad (11)$$

여기서 변수들의 정의는 다음과 같다. 즉,

ϕ = electrostatic potential

n = electron concentration

p = hole concentration

J_n = electron current density

J_p = hole current density

$\mu_n(\mu_p)$ = electron(hole) mobility

D_n, D_p = diffusivity

DC 특성 중 소자의 한계를 결정하는 항복 전압 특성을 분석하기 위해서는 MESFET 소자의 항복기구인 애벌랜치 항복을 고려하여야 한다. 본 연구에서는 항복 전압 특성 분석을 위하여 Selberherr 모델의 Impact Ionization 변수를 이용하였으며 사용된 모델의 식은 다음과 같다.

$$G = \alpha_n \frac{J_n}{q} + \alpha_p \frac{J_p}{q} \quad (12)$$

여기서 전자와 홀의 전류 밀도는 각각 ionization rates α_n, α_p 에 따른다.

다음은 4H-SiC의 avalanche ionization을 고려하여 나타낸 식이다.^{2,5)}

$$\alpha_n = 2.5 \times 10^6 \exp\left(\frac{-1.48 \times 10^7}{|E|}\right) \quad (13)$$

$$\alpha_p = 2.5 \times 10^6 \exp\left(\frac{-1.48 \times 10^7}{|E|}\right) \quad (14)$$

고온 동작 온도에서 4H-SiC의 밴드갭의 온도에 대한 의존성은 고온동작 특성을 분석하는데 매우 중요한 수행변수이다. 하지만 아직 4H-SiC 물질에 대한 실험적으로 정확히 밝혀져 있는 밴드갭에 대한 물리학적 모델이 정립되어 있지 않은 관계로 다음의 6H-SiC에 대한 밴드갭 모델 $E_g(T) = E_g(300) + \alpha[300^2/(300+\beta) + T^{2/(T+\beta)}]$ 을 4H-SiC의 고온동작 특성 분석에 적용하였다.³⁾ $\alpha = dE_g/dT = -3.3 \times 10^{-4}$, $\beta = 0$ 값을 사용하였으며⁵⁾ 4H-SiC의 동작 온도 변화에 따른 소자의 이동도 변화는 다음 식을 따라 온도와 이동도의 관계로 나타내어진다.

$$u_n = u_0 \left(\frac{T}{300}\right)^{-\alpha} \quad (15)$$

3. 결과 및 고찰

3.1. 전류 전압 특성

Fig. 2는 본 연구에서 적용한 모델에 따라 $V_g = 0$ V 일 때 소자의 전류 전압 특성 곡선이다. 게이트 바이어스가 없을 때의 소자에 대한 전류-전압특성을 여러 물리적 모델을 사용하여 계산하여 실험치와 비교 함으로서 SiC의 특성 예측에 적합한 모델을 선별하고 이를 사용하여 게이트 전압의 변화에 따른 전체 전류-전압의 특성변화를 조사하였다. 여러 모델 중에서 Caughey-Thomas model과 Trap을 적용하여 모델링 한 결과와 Caughey-Thomas model와 incomplete ionization을 적용한 결과에서 전류 전압 곡선이 실험 결과와 매우 잘 일치하는 것을 확인할 수 있었다. SiC는 wafer는 성장이 까다롭고 성장 후 micro pipe와 같은 결함이 상시 존재하여 소자의 물성에 많은 영향을 끼친다는 것은 잘 알려져 있는 사실이다. 그러므로 SiC Wafer 상에서 존재하는 이러한 결함 등이 소자 내에서 Trap으로 작용하거나 Incomplete Ionization을 이끌어 결함이 없는 완벽한 wafer로 가정하여 모델링 하는 것보다 trap이나 incomplete ionization을 고려하여 소자 특성을 모델링 하는 것이 Fig. 2에서 본 것과 같이 소자의 전류-전압 특성에 보다 잘 부합하는 것을 볼 수 있었다. 논문 등에는 Incomplete Ionization에 대한 donor level이 52.1 meV와 9.81 meV 정도이며 acceptor level은 0.191 eV 정도라고 밝혀져 있다.^{3,9,11)} 본 연구에서는 소자의 결함에 의한 incomplete ionization을 고려하여 Huang의 실험 결과¹⁾와 비교하였다. 모델링 결과와 실제 실험 결과는 Fig. 3에서 보는 것과 같이 매우 잘 일치하였고, V_T 역시 Ming wei의 실험 결과와 같은 $V_T = -11$ V 정도로 확인되었으며 $V_g = 0$ V일 때 약 $I_d = 100$ mA로 나타났다. Fixed 이동도 모델에 비해 소자의 knee 전압이 실제 소자 및 Caughey-Thomas model을 사용하였을 때 더욱 잘 일치하는 것은 도핑에 의한 산

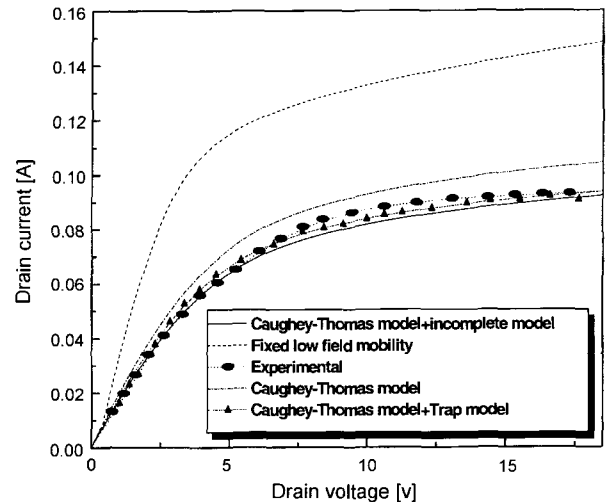


Fig. 2. I-V characteristics of 4H-SiC MESFET calculated by using several physical models ($V_g = 0$ V).

란이 매우 정확하게 예측되었으며 채널 층위의 cap-layer 층에서의 이동도와 버퍼와 채널 사이에서의 보상 층에서의 도핑 변화를 Caughey-Thomas model을 사용함으로써 정확한 이동도가 모델링 상에 대입되었고 결함 등에 의한 기생 저항 성분 등이 잘 고려 된 결과이다. 그리고 V_T 에 관한 특성은 게이트에 전압 변화에 따른 공핍 영역의 확장으로도 확인할 수 있다. 게이트 전압이 커짐에 따라 채널의 공핍 영역이 확장되어 실질 채널이 감소됨으로써 전류 전압 특성에서 드레인 전류 값이 또한 감소하기 때문이며 이러한 현상은 Fig. 4에서 정확히 확인할 수 있다. 게이트 전압 -10 V 정도에서 채널의 공핍이 거의 끝나가고 있음을 볼 수 있으며 이는 $V_T = -11$ V의 결과와 동일하다. Fig. 5는 소자의 항복 전압 특성을 분석한 결과 이다. 이 모델은 4H-SiC 다이오드에 관한 이온화 변수를 논문 등을 통해 추출한 후 MESFET 소자에 적용한 결과이다. MESFET 소자에서는 애벌랜치

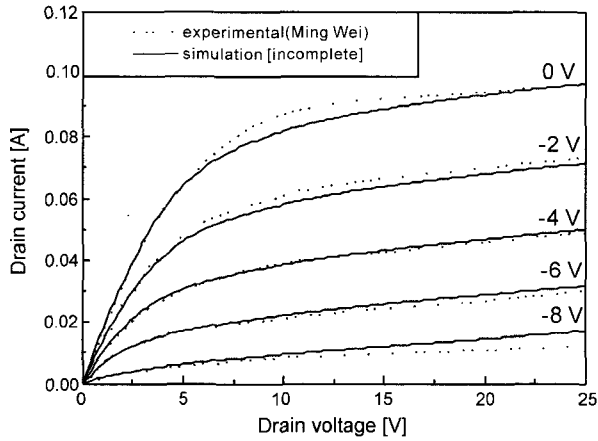


Fig. 3. Comparison of the modeled I-V data obtained using the incomplete ionization model with the experimental results (P -type = buffer = 1.4×10^{15}).

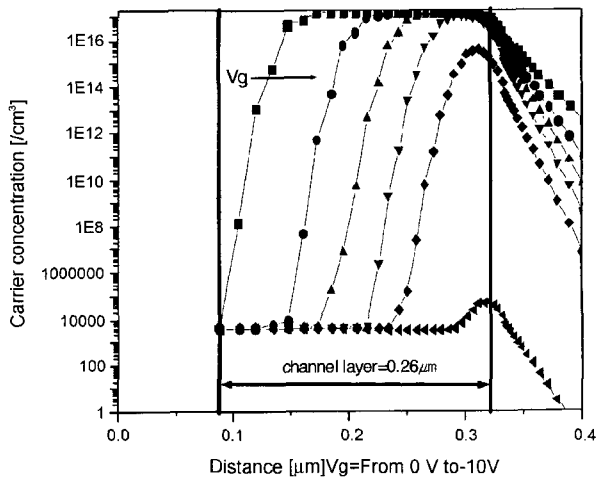


Fig. 4. Depletion region profile as a function of channel depth when the gate voltage decreases with an decreasing step of -2 V from $V_g = 0$ V.

ionization에 의하여 소자의 항복 전압이 결정된다. 모델링 결과 항복전압은 197 V 정도로 나타났다.

본 연구에서 다루어진 특정한 구조의 SiC MESFET의 경우 fixed 이동도 모델을 사용하였을 때에 short channel effect의 경향이 예측되었다. 이러한 short channel effect는 일반적으로 MESFET이나 JFET (Junction Field Effect Transistor) 소자에서 게이트의 길이가 줄어들 때에 야기되는 채널층에서의 2차원적인 전위 분포 및 높은 전계의 결과로 발생된다. 이 경우에 드레인 전압이 충분히 가해져도 드레인-소스 전류가 포화되지 못하고 계속적으로 전류가 증가되는 결과를 초래하게 된다. 즉, 채널의 도핑이 고정되었다고 가정하면 게이트의 길이가 줄어들수록 소스와 드레인 접합의 공핍층 너비(width)와 게이트 길이가 상대적으로 대등하게 되며 이 때에 채널의 전위분포는 게이트 전압과 후면전압에 의하여 결정되는 수평적 전계장 세기와 드레인 바이어스에 의하여 결정되는 수직적 전계장의 세기에 의존하게 된다. 결국, 게이트의 길이가 상대적으로 작게 소자가 설계될 경우 3차원적인 아닌 2차원적인 전위분포가 형성된다고 할 수 있으며 이 경우 punch through에 의하여 전류의 포화가 불가능하게 된다. Fig. 6은 이러한 short channel effect가

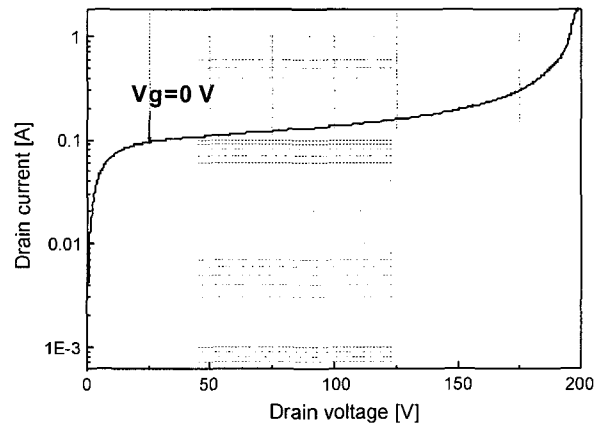


Fig. 5. Breakdown characteristic of SiC MESFET ($V_g = 0$ V).

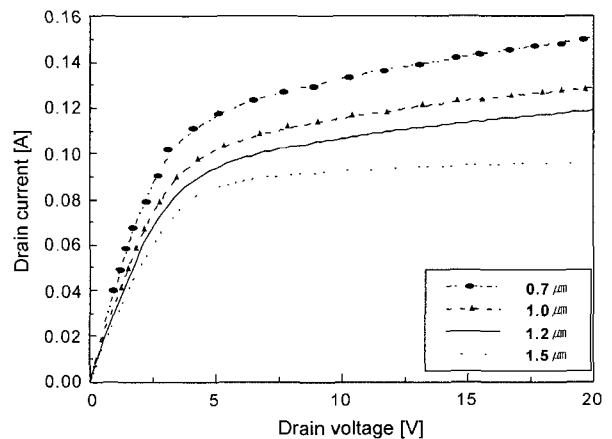


Fig. 6. I-V characteristics of SiC MESFET with different gate length at $V_g = 0$ V.

SiC MESFET에서도 야기될 수 있음을 보여주고 있으며 본 논문에서 다루고 있는 특정한 소자구조에 대하여 게이트 길이가 1.2 μm 이하에서 이러한 현상이 나타남을 보여주고 있다.

3.2. 동작 온도에 따른 소자의 특성

Fig. 7은 소자의 이동을 fixed 이동도 모델 및 온도에 의한 이동도 변화 모델과 밴드갭 변화 모델을 이용하여 고온 동작 온도에 따라 소자의 전류 전압 특성을 분석한 것이다. 이동도는 소자의 동작 온도가 올라감에 따라 열에 의한 산란 작용으로 인하여 감소하며 또한 전계가 증가함에 따라 감소한다. 이러한 현상은 소자의 채널에서 모델링 상으로 측정된 온도와 전계에 따른 이동도 변화 곡선인 Fig. 8에서도 잘 보여주고 있다. 고출력 소자는 쓰이는 SiC는 높은 전류에 의해 발생하는 열에 의해 게이트 누설전류가 발생하여 고출력 고주파 소자로 작동시 잡음 특성 등에 많은 영향을 준다. 게이트 누설전류는 소자의 동작 온도가 올라감에 따라 쇼트키 장벽을 통한 전자의 터널링이 발생한다. 이

러한 현상은 항복 메커니즘에 대한 전자의 열 이온적 성분이 증가하기 때문이다.^{11,12)} 따라서 고온에서는 열전자 방출에 영향을 받아 게이트를 통한 소자의 누설전류의 발생이 더욱 높아지게 되는데 Fig. 9와 10의 결과로도 확인할 수 있다. 소자의 게이트 금속의 일함수가 증감함에 따라 소자의 누설전류 특성 또한 따라서 증감한다. 게이트의 일함수가 크면 게이트 아래의 고갈 영역의 폭은 넓어져 전자의 터널링이 감소하여 열 이온적 성분이 쇼트키 장벽을 넘기 위해서는 더 많은 열에너지가 필요하게 되기 때문이다. Fig. 9와 10에서 볼 수 있듯이 높은 일함수를 가지는 금속을 게이트로 사용하였을 때 높은 쇼트키 장벽을 구현할 수 있어(식 1) 적은 누설 전류를 가지게 된다. 따라서 5.1 eV의 금속일 때 4.7 eV의 금속일 때 보다 게이트로의 누설 전류가 적음을 확인 할 수 있었으며 SiC 고출력 MESFET소자에서 게이트 금속으로서 5.1 eV의 Au는 300°C까지 비교적 안정적인 게이트 누설 전류를 나타낸다는 것을 확인할 수 있었다.

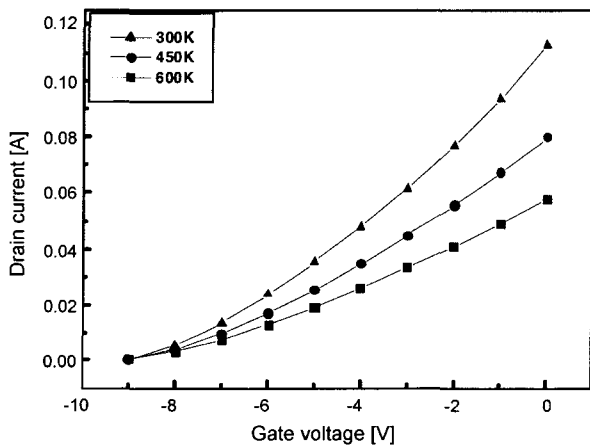


Fig. 7. Drain current as functions of device operating temperatures and gate voltage.

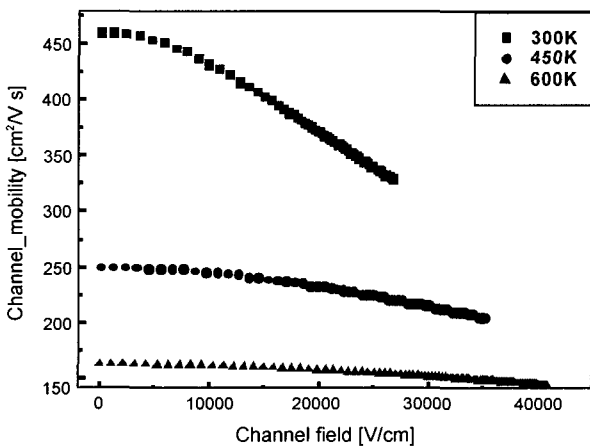


Fig. 8. Electron mobility as functions of device operating temperatures & Channel field.

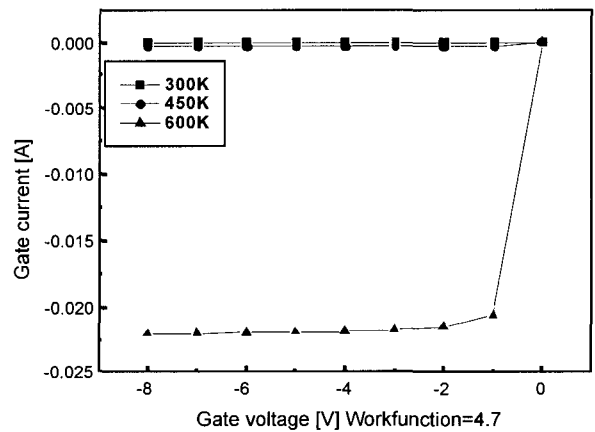


Fig. 9. Gate current vs. reverse gate voltage at $V_{ds} = 0$ V (Work function of 4.7).

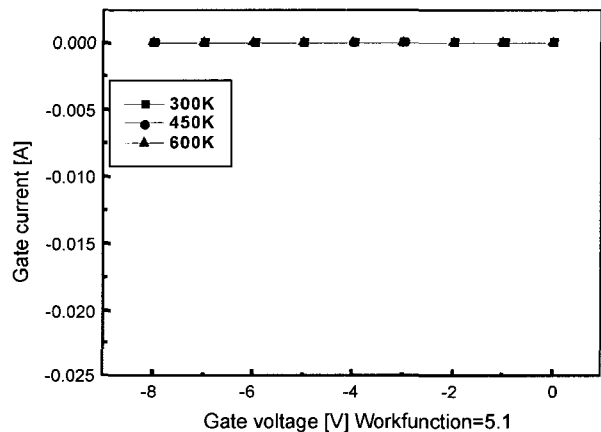


Fig. 10. Gate current vs. reverse gate voltage at $V_{ds} = 0$ V (Workfunction = 5.1 eV).

4. 결 론

참 고 문 헌

본 연구에서는 고효율 고주파 4H-SiC MESFET 제작을 위한 예측성 및 재현성 있는 소자 모델링을 확보하기 위하여 소자의 전류 전압 특성을 이동도 모델 변화와 trap 및 incomplete ionization등을 고려한 모델을 적용하여 모델링 하였다. 모델링을 위한 이동도 모델 적용 결과 fixed 이동도 모델을 이용하는 것보다 Caughey-Thomas model을 적용하는 것이 실제 소자와 knee 전압 및 Id 특성에 대해 더욱 잘 부합 되는 것을 확인할 수 있었다. SiC 소자의 제작을 위한 wafer 상에 존재하는 결함은 trap이나 incomplete ionization을 이끌어 전류 전압 특성에 영향을 준다는 가정하에 모델링 한 결과를 실험결과와 비교한 결과, knee 전압 5 V, V_T 전압 -11 V 및 전류-전압 특성 ($I_d = 100$ mA)이 매우 잘 일치하는 결과를 얻을 수 있었다. 이를 통하여 SiC에 존재하는 결함이 소자의 전류 전압 특성에 매우 큰 영향을 일으키며 모델링 시 이러한 결함 등을 고려하는 것이 매우 중요한 변수임을 입증하였다. 고온 동작 온도에 따른 소자의 전류 전압 특성 분석에서는 게이트 전극을 통한 누설전류는 온도가 증가함에 따라 늘어나 소자의 전류 전압 특성에 영향을 주는 것을 확인할 수 있었으며 모델링 결과 고효율 고주파 소자로 쓰이는 SiC MESFET에 Au를 사용하는 것은 비교적 고온에서 안정적인 특성을 나타내는 것을 확인 할수 있었다.

감사의 글

이 논문은 1999년도 한국학술진흥재단의 연구비에 의하여 지원되었음(KRF-99-041-E00509)

1. M. Huang, N. Goldman, C. H. Chang, Isaak Mayergoyz, J. Mayergoyz, J. McGarrity and D. Woolard, J. Appl. Phys. **84**, 372 (1998).
2. S. M. Sze, Physics of Semiconductor Devices, John Wiley and Sons, 2nd Ed. Chap.1, 2 (1981).
3. Codreanu, M. Avram, E. Carbunescu and E. ILiescu, Material Science in Semiconductor Processing **3**, 137 (2000).
4. J. Wang and W. B Williams, Semiconductor. Science. Technol. **14**, 220 (1999).
5. Alex Q, Huang and Bo Zhang, Solid-State Electronic. **44**, 325 (2000).
6. Ravi K. Chilukuri, Praveen M, Shenoy and B. J. Baliga, Proc. of 1988 International Symposium on Power Semiconductor Devices & ICs, Kyoto, Japan, 115 (1998).
7. M. W. Shin, T. J. Kordas and R. J. Trew, Proc. of 1995 International Symposium on Power Semiconductor Devices & ICs, Yokohama, Japan, 497 (1995).
8. Kevin F. Brennan, Bellotti, Maziar Farahmand, Joe HaralsonII, P. Paul Ruden, John D. Albrecht and A. Standi, Solid-State Elec. **44**, 195 (2000).
9. M. Lades and G. Wachutka, Solid-State Elec. **44**, 359 (2000).
10. W.Wesch, Nuclear Instruments and Methods in Physics Research, **B 116**, 305 (1996).
11. S. T. Allen, S. T. Sheppard, W. L. Pribble, R. A. Sadler, T. S. Alcorn, Z. Ring and J. W. Palmour, Proc. of Mat. Res. Soc. Symp. San Fransisco, CA, USA, **572**, 15 (1999).
12. A. Elford and P. A. Mawby, Microelectronics Journal, **30**, 527 (1998).
13. W. C. Schaffer, G. H. Negley, K. G. Irvine and J. W. Palmour, Proc. Mater. Res. Soc. Symp., **339**, 595 (1994).
14. M. Rulf, H. Mitlehner and R. Helbig, IEEE Trans. Electron Devices, **41**, 1040 (1994).
15. D. Defives, O. Durand, F. Wyczisk, O. Noblanc, C. Brylinski and F. Meyer, Microelectronic Engineering, **55**, 369 (2001).