

Ti-capping층이 NiSi의 열적안정성에 미치는 영향

박수진 · 이근우 · 김주연* · 전형탁* · 배규식†

수원대학교 전자재료공학과
*한양대학교 재료공학부

Effects of Ti-capping Layers on the Thermal Stability of NiSi

Soo-Jin Park, Keun-Woo Lee, Ju-Youn Kim*, Hyung-Tak Jun* and Kyoo-Sik Bae†

Department of Electronic Materials Engineering, The University of Suwon, Suwon, 445-743, Korea
*Division of Materials Engineering, Hanyang University, Seoul, 100-791, Korea

(2002년 12월 10일 받음, 2003년 7월 16일 최종수정본 받음)

Abstract Ni and Ti films were deposited by the thermal evaporator, and then annealed in the N₂ ambient at 300-800°C in a RTA(rapid thermal annealing) system. Four point probe, AFM, FESEM, AES, and XPS were used to study the effects of Ti-capping layers on the thermal stability of NiSi thin films. The Ti-capped NiSi was stable up to 700°C for 100 sec. RTA, while the uncapped NiSi layers showed high sheet resistance after 600°C. These results were due to that the Ni in-diffusion and Si out-diffusion were retarded by the capping layer, resulting in the suppression of the formation of NiSi₂ and Si grains at the surface.

Key Words Ti-capped NiSi, thermal stability, interface roughness, Ni diffusion

1. 서 론

반도체소자의 초미세화에 따라 채널길이와 배선선폭은 0.1 μm 대로 줄어들고, 이에 따라 단채널 효과, 소스 및 드레인에서의 기생저항 증가, 게이트에서의 RC 시간지연 증가 등의 문제가 야기되었다. 이를 해결하기 위하여 자기정렬 실리사이드화 공정을 통해 TiSi₂, CoSi₂ 같은 금속 실리사이드 접촉 및 게이트 전극으로 사용하려는 노력이 진행되고 있다. 그런데 TiSi₂는 비저항이 13~16 μΩ·cm로 우수한 재료이지만 선폭이 0.3 μm 이하에서 고저항 C49 상에서 저저항 C54 TiSi₂ 상으로 변태시 핵생성이 제한되어 상변태가 일어나지 못하여 면저항이 급격히 증가하는 면저항의 선폭의존성 때문에, 그리고 CoSi₂의 선폭의존성은 훨씬 작지만 Co의 불균일한 확산반응으로 인해 균일한 실리사이드 두께를 얻는데 기술적인 어려움이 있을 뿐만 아니라 실리사이드 형성시 과도한 Si소모로 인해 차세대 MOSFET소자에 적용하기에는 한계가 있다.¹⁾

반면 NiSi는 이러한 문제점을 나타내지 않고 Ni과 Si이 1:1의 비율로 반응하기 때문에 기존의 disilicide 재료에 비해 20% 이상 Si소모량이 작아 얇은접합(shallow junction)을 파손하지 않으며, 얇은 두께의 실리사이드 형성과 상대적으로 저온(350~750°C)에서 실리사이드화가 가능한 재료이다.^{2,3)} 그러나, NiSi는 실리사이드 형성시 NiSi/Si 계면의 산화와 계면 거칠성(roughness), 응집(aggregation), NiSi₂으로의 상변화 등의 문제로 인해 높은 누설 전류와 면저항값, 그리고 열적불안정성을 나타낸다.⁴⁾ 이러한 문제점들을 해결하기 위하여 Ni을 증착하기 전에 N⁺을 이온주입하거나,⁵⁾ Ni층에 Pt를 혼합시키거나,⁶⁾ Ni/Pt 이중층을 사용하는 방법⁷⁾이 시도되었다. 또 최근에는 TiN 또는 Ti을 capping 층으로 사용하면 NiSi/Si 계면의 산화 및 그로 인한 계면 거칠성을 방지하여 접합누설전류를 줄일 수 있다고 보고된 바 있다.⁸⁾ 그러나, Ti-capping층과 NiSi 박막의 열적안정성과의 관계에 대해서는 아직 보고된 것이 없다. 본 실험에서는 NiSi 형성시 산소친화력이 강한 Ti-capping층이 NiSi의 열적안정성에 미치는 영향과 그 기구(mechanism)에 대하여 중점적으로 연구하였다.

2. 실험 방법

기판으로는 비저항이 5~10 Ω·cm인 4 inch n-type (100) Si wafer를 사용하였다. Si 기판을 10% HF 수용액으로 10분 동안 자연산화막을 제거하고 증류수로 세정한 후, 열증발기(thermal evaporator)에 넣어 Ni(20 nm) 또는 Ti(20 nm)/Ni(20 nm)을 증착시켰다. 증착시 Ni은 99.9%, Ti는 99.99% 순도의 소스를 사용하였으며, 진공도는 1.5×10⁻⁵ Torr로 유지하였다.

금속이 증착된 시편은 1×1 cm 크기로 절단하여 세척한 후 N₂ 분위기에서 300~800°C에서 100초 동안 single-step으로 급속열처리(rapid thermal annealing, RTA)하여

†E-Mail : ksbae@suwon.ac.kr

실리사이드를 형성하였다. 이때 불순물의 유입을 방지하기 위해 열처리 전후 약 10분 간 N₂ purging을 실시하였다.

급속열처리한 시편은 four point probe로 면저항의 변화를 측정하였고, Ni/Si시편과 Ti/Ni/Si의 계면 거칠기를 분석하기 위하여 시편의 표면은 FESEM(field effect scanning electron microscopy: XL30FEG)과 AFM(atomic force microscopy: Auto-probe CP)로 관찰하였다. 또한 AES(auger electron spectroscopy: PHI680)에 의해 깊이 에 따른 화학조성의 변화를 분석하였고, 형성된 화합물의 정확한 상을 확인하기 위해서 XPS(X-ray photoelectron spectroscopy: VG)를 사용하였다.

3. 결과 및 고찰

Fig. 1은 Ni 단일막과 Ti/Ni 이중막을 증착한 시편에 대하여 급속열처리하기 전과 300~800°C에서 100초 급속열처리 후 면저항의 변화를 비교한 것이다. 보고된 Ni₂Si, NiSi 및 NiSi₂ 박막의 비저항이 각각 24, 14, 50 μΩ·cm 이고, NiSi 형성온도가 350~750°C 임^{3,9)}을 고려할 때, 600°C까지의 면저항 감소는 NiSi의 형성에 의한 것임을 알 수 있다. 그런데, Ni 단일막의 경우(Fig. 1(a)), 700°C에서 면저항이 증가하기 시작하여 800°C에서는 급격한

증가를 나타내었다. 반면에 Ti-capping층을 사용한 경우(Fig. 1(b)), 300°C에서 Ni₂Si의 형성에 의한 면저항의 증가가 나타났고, 500°C에서 이미 면저항의 최소값(~7 Ω/sq.)을 나타내어 NiSi 형성이 완료되었음을 보여주었다. 형성된 NiSi의 두께가 20 nm라 할 때 NiSi의 비저항은 14 μΩ·cm로 보고되어진 비저항값과 같은 값을 나타낼 수 있다. 이 최소값은 700°C까지 유지하다가 800°C에서 증가하기 시작하여 Ni 단일막보다는 Ti/Ni 이중막 일때 상대적으로 열적안정성이 우수한 것으로 나타났다. 그리고 비저항이 낮으면서 적은 양의 미반응 Ni과 capping layer인 얇은 Ti막은 면저항 측정시 형성된 NiSi층의 비저항에 크게 영향을 끼치지 않는 점을 고려하여 측정하였다.

Ti-capping층이 NiSi/Si 계면의 거칠성(roughness)에 미치는 영향을 알아보기 위하여 500°C에서 급속열처리한 시편의 표면을 AFM으로 관찰하였다. 이는 표면관찰을 통해 계면 거칠성을 간접적으로 확인할 수 있기 때문이다. Fig. 2에 보이는 바와 같이 Ni 단일막(Fig. 2(a))의 경우 표면이 거칠어 RMS(root mean square)값이 24.1 인 반면, Ti-capping층(Fig. 2(b))을 사용한 경우, RMS 값이 5.18 Å으로 매우 평탄하였다. 이는 NiSi가 형성될 때 Ni의 확산이 균일하게 일어나 균일한 두께의 NiSi가 형성되었으며, 따라서 NiSi/Si의 계면도 상대적으로 평탄함을 간접적으로 의미한다. 그러므로 형성된 NiSi층이 균일한 두께와 조성을 갖으면서, 기관과의 계면이 평탄해

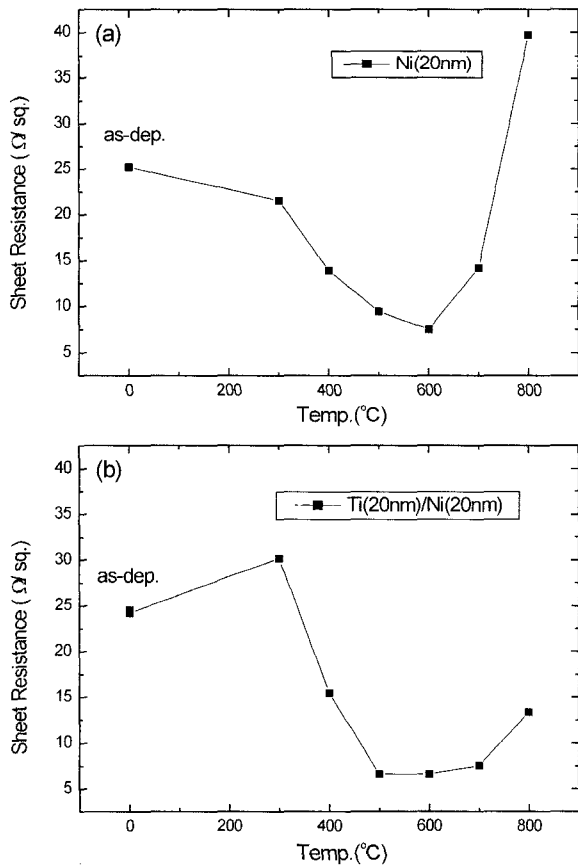


Fig. 1. Variation of sheet resistance of (a) Ni/Si and (b) Ti/Ni/Si as a function of RTA temperature.

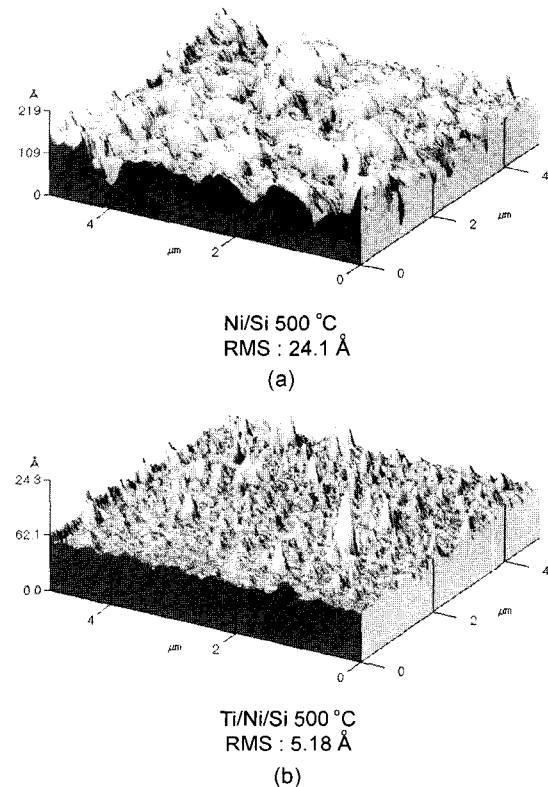


Fig. 2. AFM of (a) Ni/Si and (b) Ti/Ni/Si after RTA process at 500°C.

질 때 그에 따라 열적안정성은 증가된다.

실리사이드가 형성될 때 금속과 Si 원자의 확산이 균일하지 못하거나 확산속도가 너무 빠르면, 실리사이드의 두께 뿐만 아니라, 형성된 실리사이드의 조성과 상의 분포도 균일하지 않게 되어 열적불안정성을 야기할 수 있다. 이를 확인하기 위하여 면저항의 증가를 보이기 시작한 700°C에서 금속열처리한 시편의 표면 미세구조를 FESEM으로 관찰하였다. Fig. 3(a)에서 보이는 바와 같이 Ni 단일막의 경우, 검은색으로 나타나는 상당량의 Si이 표면층으로 확산하여 grain 형태를 이루고 있음을 보여 주고 있다. 반면, Ti-capping층을 사용한 경우(Fig. 3(b)), 검은 영역이 상대적으로 적게 나타나 표면으로의 Si 확산이 억제된 것으로 보여진다. 이는 표면의 Ti-capping 층 때문에 Si이 관찰되지 못한 결과일 수도 있으며, 다음의 Fig. 4와 5의 AES 분석 결과와 비교하면 Si의 확산은 상대적으로 억제된 것으로 나타난다.

Fig. 4와 5는 Ni 단일막과 Ti/Ni 이중막 시편에 대한 열처리온도에 따른 AES를 이용하여 깊이 따른 성분 분석 결과를 비교한 것이다. 500°C에서는 두 시편 모두 NiSi가 안정적으로 형성되었음을 보여준다. 그러나 Ni:Si의 원자비가 5:5가 아니라, 약 6:4이어서 미반응한 Ni, 또는 Ni₂Si가 잔존하고 있는 것으로 보여진다. 그리고 Ni 단일막의 경우(Fig. 4(a)) 표면층에 상당량의 산소가 있

음에도 불구하고 NiSi가 형성되어 있으나, Ti-capping층이 있을 때는(Fig. 5(a)), Ni과 Si의 확산이 억제되어 표면층에는 NiSi가 존재하지 않는다. 또한, Ni 단일막과 Ti/Ni 이중막 시편의 NiSi/Si 계면에서 모두 산소가 없는 것으로 나타났으며, 결국 계면에서의 산화는 미미하기 때문에 열적안정성에 큰 영향을 주지 않는 것으로 생각된다. 열처리온도 700°C가 되면, Ni 단일막(Fig. 4(b))의 경우, Ni은 기판 쪽으로 깊숙이 확산하는 반면 Si은 표면 쪽으로 확산하여 이에 따라 NiSi층의 두께가 얇아졌다. 따라서 700°C에서 면저항이 증가한 것(Fig. 1)은 Ni

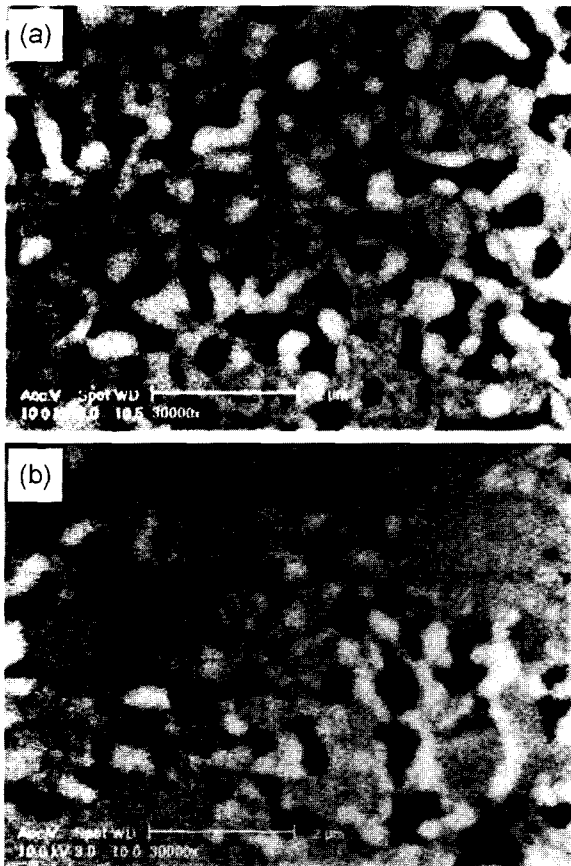


Fig. 3. FESEM of (a) Ni/Si and (b) Ti/Ni/Si after RTA process at 700°C.

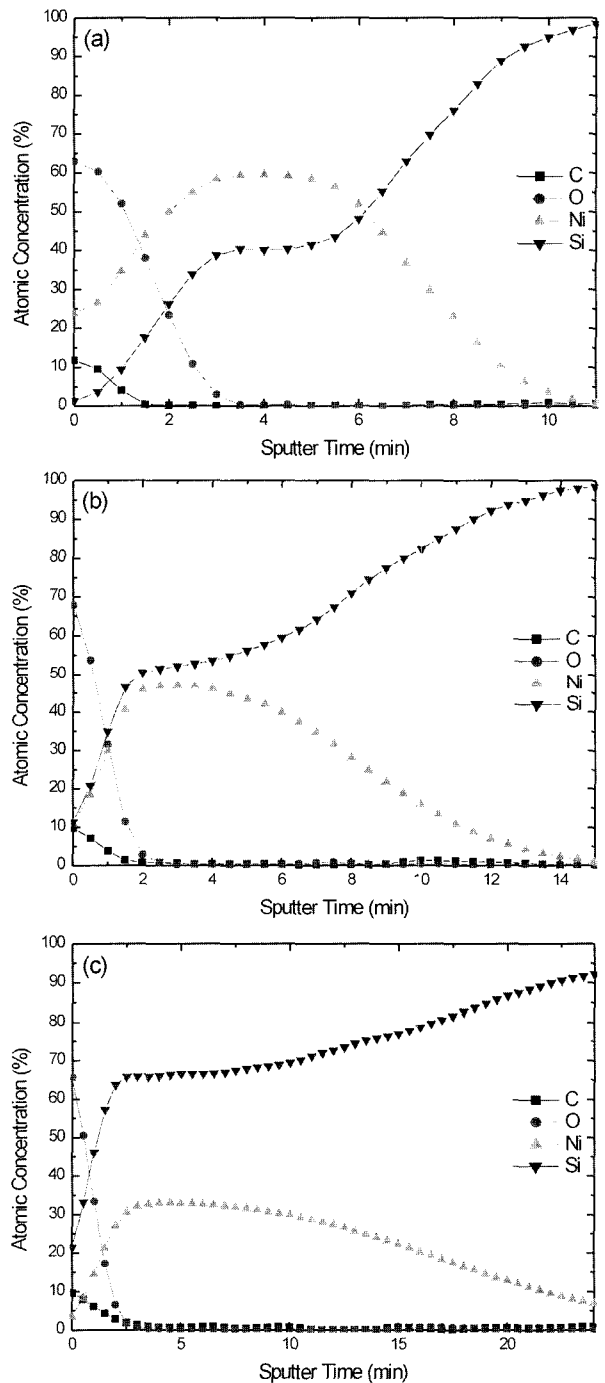


Fig. 4. AES depth profiles of Ni/Si after RTA process at (a) 500°C, (b) 700°C, and (c) 800°C, respectively.

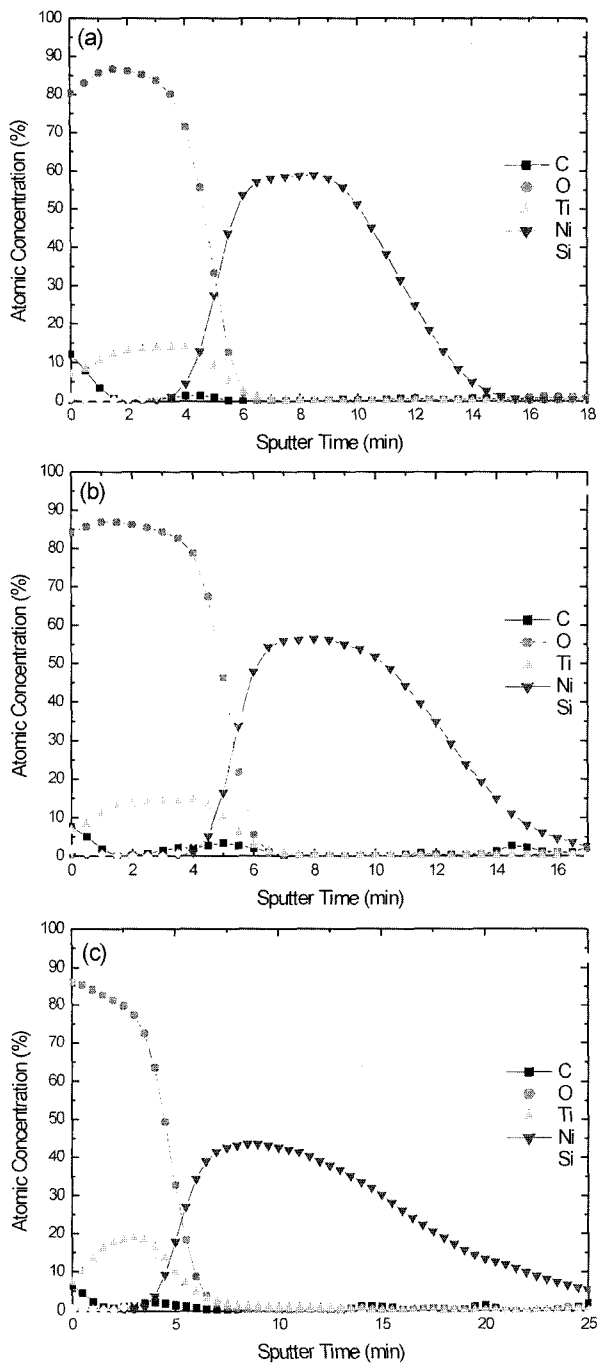


Fig. 5. AES depth profiles of Ti/Ni/Si after RTA process at (a) 500°C, (b) 700°C, and (c) 800°C, respectively.

과 Si의 확산으로 NiSi 층의 얇아졌고 Si이 표면층으로 확산하여 grain(Fig. 3(a))을 형성하였기 때문임을 알 수 있다. 반면에, Ti/Ni 이중막 시편(Fig. 5(b))은 500°C와 비교했을 때 거의 변화를 보이고 있지 않다. 따라서, Ti-capping 층은 Ni와 Si의 확산을 억제하며 이러한 이유로 열적안정성을 유지하는 것으로 판단된다. 이러한 경향성은 800°C에는 더욱 뚜렷이 나타난다. Fig. 4(c)에서 보인 바와 같이 Ni은 기판 안으로 깊숙이 확산하고 Si도 표면 쪽으로 더 확산하여 Ni:Si 원자비가 3:7 이상으로 반전되어졌다. 이로 미루어 상당량의 NiSi₂가 형성되

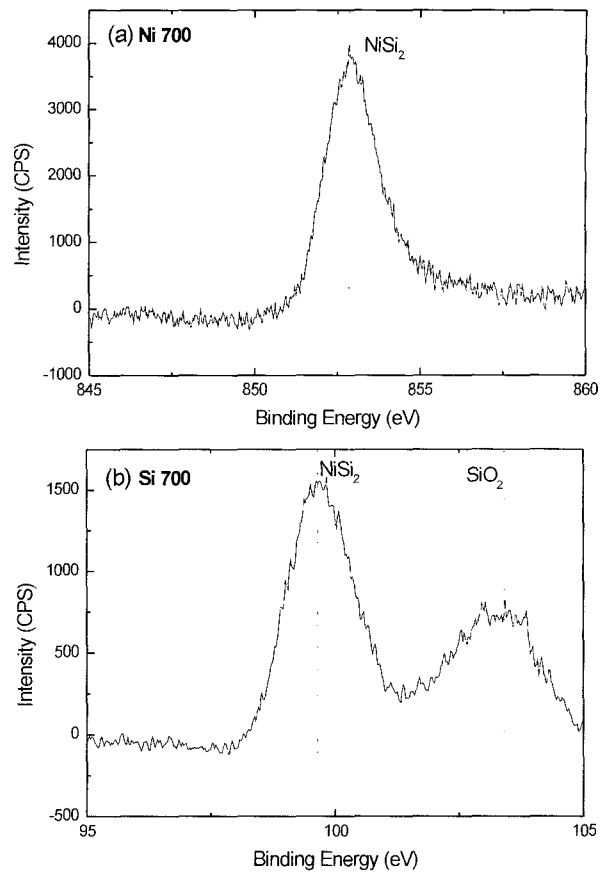


Fig. 6. XPS spectra of Ni/Si after RTA process at 700°C (a) Ni and (b) Si.

었음을 짐작할 수 있다. 따라서, 700°C에서 단일막 시편의 면저항이 증가한 것은 Si이 표면층으로 확산하여 grain을 형성한 것과 Ni 원자가 기판 쪽으로 확산하여 비저항이 높은 NiSi₂가 형성되어졌기 때문이다. 온도에 따른 정확한 상분석을 하기 위해서는 XRD를 통해 분석해야 하지만 시편의 두께를 고려했을 때, 이처럼 얇은 박막의 상분석은 어렵기 때문에 이를 확인하기 위해 면저항의 변화를 보인 700°C에서 급속열처리한 Ni 단일막 시편만을 XPS로 분석하였다. 그 결과, Fig. 6에서 XPS 결과를 관찰하면 앞서 면저항의 변화와 AES 분석으로 유추했던 NiSi₂의 피크가 뚜렷이 나타났다. 따라서 저항이 증가한 이유는 700°C에서 급속열처리시 NiSi에서 NiSi₂으로 상전이가 되었기 때문이다. 그리고 Ti-capping 층이 있는 Ti/Ni 이중막인 경우(Fig. 5(c))도 Ni:Si 원자비가 4:6으로 반전되었으나 분석 결과 Ni의 기판으로의 확산이 Ni 단일막에 비해서 상당히 억제되었던 것으로 나타났다.

4. 결 론

열증발기를 사용하여 Si 기판위에 Ni 단일막 및 Ti/Ni 이중막을 증착하고 N₂분위기에서 300~800°C, 100초간 급속열처리하여 니켈실리사이드를 형성한 후 Ti-capping 층이 NiSi의 열적안정성에 미치는 영향을 연구하였다. Ni

단일막인 경우 600°C에서 열적안정성을 보였으며 700°C에서부터 상전이와 표면에 형성된 Si grain으로 인해 면저항이 증가하여 열적불안정성을 나타내었다. 그러나 Ti/Ni 이중막인 경우, 700°C까지 열적안정성이 유지되었다. 이는 Ti-capping층이 NiSi/Si 계면의 산화를 방지하는 것이 아니라, Ni과 Si의 확산을 방해하여 그 결과 균일한 두께와 조성을 가진 NiSi를 형성하였고 또한 NiSi₂와 Si grain의 형성을 억제하였기 때문이었다. 따라서 Ni 단일막보다는 Ti-capping층을 사용을 한 Ti/Ni 이중막일때 NiSi의 열적안정성이 우수하였음을 확인하였다.

감사의 글

본 연구는 한국과학재단 지역대학 우수과학자 지원연구 (과제번호 : R05-2000-000-00245-0(2002))비로 수행되었으며 이에 감사 드립니다.

참 고 문 헌

1. R. Mukai, S. Ozona and H. Yagi, *Thin Solid Film*, **270**, 567 (1995).
2. Y. S. Ahn, O. S. Song and C. W. Yang, *Journal of the Korean Institute of Surface Engineering*, **32**(6), 703 (1999).
3. H. Iwai, T. Ohguro and S-I Ohmi, *Microelectronics Engineering*, **60**, 157 (2002).
4. P. C. Moon, F. Deng, M. Chan, W. Y. Chan and S. S. Lau, *Applied Surface Science*, **157**, 29 (2000).
5. L. W. Cheng, S. L. Cheng, J. Y. Chen, L. J. Chen and B. Y. Tsui, *Thin Solid Films*, **355-356**, 412 (1999).
6. D. Z. Chi, D. Mangelinck, A. S. Zuruzi, A. S. W. Wong and S. K. Lahiri, *J. Electron. Mater.* **30**(12), 1483 (2001).
7. J. F. Liu, J. Y. Feng and J. Zhu, *J. Appl. Phys.*, **90**(2), 745 (2001).
8. T. H. Hou, T. F. Lei and T. S. Chao, *IEEE Trans. Electron Device Letters*, EDL-20(11), 572 (1999).
9. Y. Hu and S. P. Tay, *J. Vac. Sci. Technol. A* **16**(3), 1820 (1998).