

실리콘-게르마늄 이종접합 바이폴라 트랜지스터의 신뢰성 현상

이승윤* · 박찬우 · 김상훈 · 이상흥 · 강진영 · 조경익

한국전자통신연구원 반도체원천기술연구소 SiGe소자팀
(2003년 8월 4일 접수)

The reliability physics of SiGe hetero-junction bipolar transistors

Seung-Yun Lee*, Chan Woo Park, Sang-Hoon Kim, Sang-Heung Lee, Jin-Yeong Kang, and Kyoung-Ik Cho

Basic Research Laboratory, Electronics and Telecommunications Research Institute(ETRI)
Yuseong-gu, Daejeon 305-350, Korea

(Received August 4, 2003)

요 약

실리콘-게르마늄 이종접합 바이폴라 트랜지스터 (SiGe HBT)에서 발생하는 신뢰성 열화 현상을 고찰하였다. SiGe HBT의 경우에 전류이득 감소, AC 특성 저하, 오프셋 전압이 자주 관찰되는데 그 원인으로는 각각 에미터-베이스 역 바이어스 전압 스트레스, 과도촉진확산 (transient enhanced diffusion), 공정 변동 (fluctuation)에 따른 베이스-컬렉터 접합 특성 저하를 들 수 있다. 에미터-베이스 접합에 역 바이어스 전압 스트레스가 걸리면 에미터-베이스 접합면의 테두리 부분에서 높은 에너지를 가지는 전자와 정공들이 생성되고, 이들 전자와 정공들이 실리콘-산화막 계면 및 산화막 내부에 전하를 띤 트랩을 생성하기 때문에 재결합에 의한 베이스 누설전류가 증가하여 소자의 전류이득은 크게 감소하게 된다. 에미터-베이스 접합과 외부 베이스의 거리가 임계 값보다 짧을 때에는 소자의 차단주파수(f_c)가 감소하게 되는데 이것은 외부 베이스 이온주입에 의하여 내부 베이스 내의 도펀트의 확산이 촉진되어 나타나는 현상이다. 외부 베이스 이온주입 에너지가 충분하지 않은 경우에는 컬렉터-베이스 접합의 턴온 전압이 감소하여 전류-전압 특성 곡선에서 오프셋 전압이 발생하게 된다.

주제어 : 실리콘-게르마늄, 트랜지스터, 신뢰성, 바이어스 스트레스, 오프셋 전압, 과도촉진확산

Abstract

The reliability degradation phenomena in the SiGe hetero-junction bipolar transistor (HBT) are investigated in this review. In the case of the SiGe HBT the decrease of the current gain, the degradation of the AC characteristics, and the offset voltage are frequently observed, which are attributed to the emitter-base reverse bias voltage stress, the transient enhanced diffusion, and the deterioration of the base-collector junction due to the fluctuation in fabrication process, respectively. The reverse-bias stress on the emitter-base junction causes the recombination current to rise, increasing the base current and degrading the current gain, because hot carriers formed by the high electric field at the junction periphery generate charged traps at the silicon-oxide interface and within the oxide region. Because of the enhanced diffusion of the dopants in the intrinsic base induced by the extrinsic base implantation, the shorter distance between the emitter-base junction and the extrinsic base than a critical measure leads to the reduction of the cut-off frequency (f_c) of the device. If the energy of the extrinsic base implantation is insufficient, the turn-on voltage of the collector-base junction becomes low, in the result, the offset voltage appears on the current-voltage curve.

Key Words : SiGe, transistor, reliability, bias stress, offset voltage, transient enhanced diffusion

* E-mail : seungyun@etri.re.kr

1. 서 론

베이스 층에 SiGe 에피택셜 층이 포함된 실리콘-게르마늄 이중접합 바이폴라 트랜지스터 (SiGe heterojunction bipolar transistor, SiGe HBT)는 실리콘 BJT (bipolar junction transistor)에 비해 높은 주파수에서 동작이 가능하여 RF IC의 능동소자로 사용되기에 적합한 소자의 하나로 생각되고 있다 [1]. SiGe HBT 제조 기술은 기존의 실리콘 반도체 공정을 그대로 이용하므로 생산 단가나 공정의 재현성 측면에서 GaAs나 InP 등의 화합물 반도체 기술에 비해 우수한 경쟁력을 지니고 있다. 이러한 SiGe HBT가 RF IC의 구성요소가 되기 위해서는 소자 신뢰성 (reliability)에 대한 고려가 반드시 필요하다. 이제까지 트랜지스터의 신뢰성은 제작이 완료된 트랜지스터의 파라미터가 어떤 주어진 환경을 거친 후에 사양 (specification) 내에 들어오는지 여부를 확인하는 성능 시험의 개념으로만 여겨져 왔다. 그러나, 특정 조건에서 발생하는 신뢰성 열화 현상은 본질적으로 소자 동작 메커니즘에 해당되는 것이므로 더 우수한 성능의 소자를 제작하기 위해서는 소자 신뢰성과 그 원인 사이의 인과관계를 명확히 밝혀야 한다. SiGe HBT의 경우에도 외부 요인에 의하여 베이스 누설 전류가 증가하거나 전류이득이 감소하는 등 정상 동작에서 벗어난 신뢰성 열화가 관찰되는데 이러한 외부 요인과 이상 현상과의 상관관계를 고찰함으로써 SiGe HBT 성능을 개선할 수 있을 것이다. 이에 여러 종류의 신뢰성 열화 현상 중에서 SiGe HBT에 있어서 특별히 자주 관찰되는 현상의 특성과 그 원인을 체계적으로 살펴봄으로써 앞으로의 SiGe HBT 특성 분석 및 개발에 도움이 되고자 한다.

2. 실리콘-게르마늄 이중접합 바이폴라 트랜지스터의 개발 현황

1980년대 중반부터 연구가 시작된 SiGe HBT는 실리콘 반도체 공정을 기반으로 하고 있으면서 실리콘 BJT에 비해서 고주파 특성이 우수하기 때문에 각국의 반도체 제조업체들은 경쟁적으로 SiGe 물질 및 HBT 소자에 관한 연구 개발에 힘을 기울여 왔다. 세계적으로 기술을 선도하고 있는 기관으로는

미국 IBM을 들 수 있는데, 1980년대 중반에 세계 최초로 초고진공 (ultra-high vacuum) CVD 시스템 [2]을 개발하여 SiGe HBT 제작에 도입하였으며 현재 까지 활발한 연구를 수행하고 있다. 이외에도 상당수의 유럽 및 일본 업체들이 SiGe HBT 및 그 소자가 탑재된 수 GHz에서 수십 GHz 대의 동작 특성을 갖는 RF IC의 상용화 및 시장 선점을 위해 노력하고 있다. 이미 디지털휴대전화에 사용되는 핵심 RF IC 부품인 SiGe low noise amplifier (LNA), voltage controlled oscillator (VCO), power amplifier (PA) 시제품이 발표된 상태이다. 이제는 SiGe에 관련된 연구는 SiGe HBT 소자에만 국한되지 않고 SiGe HBT 기술과 기존에 개발된 실리콘 CMOS 기술을 집적하는 SiGe BiCMOS 연구 및 개발로 발전되고 있다. 회로 설계에 있어서 전력소모가 작은 실리콘 CMOS와 동작속도가 빠른 SiGe HBT를 동시에 사용하게 된다면 각 소자의 특징을 적절히 조합함으로써 우수한 성능의 RF IC를 쉽게 구현할 수 있는 장점이 있다 [3]. 세계 유수의 반도체 제조업체들은 이미 이러한 SiGe BiCMOS 공정의 개발을 완료하고 주문자들을 대상으로 하는 SiGe BiCMOS foundry 서비스를 실시하고 있다. 시장 조사 기관인 Semico Research사의 연구 보고서 [4]에 따르면 2001년부터 2006년까지 SiGe 반도체 시장의 연평균 성장률은 49%이고 2006년에는 그 규모가 27억 달러에 이를 것으로 예상된다. 향후 5년 동안 그 시장이 급격하게 성장할 것으로 예측되고 있는 휴대전화, 광통신, 하드디스크, Bluetooth, 무선 LAN, GPS, 디지털 셋탑 박스 등에 SiGe 트랜지스터가 광범위하게 사용될 것이며, 기술 발전에 따라 foundry 서비스를 제공하는 업체의 수가 증가하는 요인이 SiGe 반도체 시장의 성장을 더욱 촉진할 것이라고 전망하고 있다. 기술적으로는 scale-down에 의하여 소자 내의 기생 성분이 획기적으로 감소함으로써 SiGe HBT의 RF 동작 속도를 나타내는 척도인 f_c (cutoff frequency) 및 f_{max} (maximum oscillation frequency)가 이미 200 GHz 대에 도달하였다 [5,6]. 지속적인 성능 개선에 의하여 SiGe HBT는 실리콘 BJT의 특성을 뛰어 넘어 GaAs, InP 등의 화합물 반도체 소자에 근접하는 고주파 특성을 보이는 단계에까지 와 있으며 이제는 무선 통신 분야에서 화합물 반도체 소자를 대체하는 것

이 SiGe HBT 연구 개발의 궁극적인 목표가 되고 있다.

3. 실리콘-게르마늄 이종접합 바이폴라 트랜지스터의 특징

실리콘 BJT에 비해 RF 동작 특성이 뛰어난 SiGe HBT의 장점은 게르마늄이 가지고 있는 두 가지 고유한 특성에서 비롯된다. 하나는 실리콘에 비해서 상대적으로 작은 에너지 밴드 갭이고, 또 다른 하나는 실리콘과 비슷한 격자 상수이다. 순수한 게르마늄의 에너지 밴드 갭은 실리콘에 비하여 약 0.4 eV 작으며, SiGe 혼합물의 에너지 밴드 갭은 Ge의 분율에 반비례하여 감소한다. 한편 SiGe 층이 실리콘 기판과 정합 (coherency)을 이루어서 SiGe 층 내에 압축응력이 잔류하는 경우에는 그 에너지 밴드 갭은 더욱 감소하게 되는데 [7] 게르마늄과 실리콘의 격자 상수 차이는 상온에서 4.17 %에 불과하고 그 결정구조가 동일하기 때문에 실리콘 기판 위에 증착된 SiGe 층은 실리콘 격자와 정합을 이루면서 충분히 작은 에너지 밴드 갭을 가질 수 있다. 즉, CVD나 MBE 등의 증착 방법을 이용하여 Ge의 함유량을 조절하면서 원하는 밴드 갭을 갖는 SiGe 에피택셜 층을 실리콘 기판 위에 성장시키는 것이 가능한 것이다. 이러한 SiGe 층에 p형 불순물을 도핑하여 npn형 바이폴라 트랜지스터의 베이스로 사용하게 되면 에미터와 베이스 접합에서 밴드 갭 차이에 의한 소수 캐리어 (minority carrier) 농도의 증가로 트랜지스터의 전류이득이 실리콘만 사용한 경우 (BJT)에 비하여 커지게 된다. 동일한 베이스 두께 및 농도, 바이어스 조건 하에서 SiGe HBT의 콜렉터 전류는 식 (1)과 같이 표시된다 [7].

$$I_c(\text{SiGe HBT})/I_c(\text{Si BJT}) = A \exp\{[E_G(\text{Si BJT}) - E_G(\text{SiGe HBT})]/kT\} \quad (1)$$

I_c 및 E_G 는 각각 콜렉터 전류와 에너지 밴드 갭이며 A 는 비례상수이다. 식 (1)로부터 SiGe 층에 Ge가 많이 포함되어 에너지 밴드 갭 차이가 커질수록 콜렉터 전류 및 이에 비례하는 전류이득이 증가한다는 사실을 알 수 있다. 한편, Ge의 분율이 너무 크게 되면 정합이 깨지면서 압축응력이 완화되어 밴드

갭 차이가 줄어들게 되므로 적절한 범위 내에서 Ge를 포함시켜야 하는데 일반적으로 SiGe HBT에 사용되는 Ge의 농도는 약 10-30 atomic percent이다.

SiGe HBT는 실리콘 BJT에 비하여 전류이득이 월등히 크기 때문에 전류이득의 손해를 감수하면서 베이스의 불순물 농도를 높일 수 있다. 바이폴라 트랜지스터의 전류이득은 베이스의 불순물 농도에 반비례하는데 SiGe HBT의 경우 에너지 밴드 갭 차이에 의한 전류이득 상승 효과가 있기 때문에 실리콘 BJT에 비하여 불순물 농도를 증가시켜도 전류이득은 동일한 수준으로 유지할 수 있다. 베이스에 불순물이 많이 도핑될수록 베이스 내의 punch through [8]를 방지하는데 유리하므로 베이스 두께를 얇게 할 수 있으며, 이때 베이스를 통과하는 전하의 통과시간 (transit time)이 짧아지므로 트랜지스터의 동작속도가 빨라지게 된다. 또한 불순물 농도에 반비례하여 베이스의 면저항이 감소되므로 베이스 저항이 낮아질수록 좋아지는 트랜지스터의 잡음특성 [9]도 개선된다. 결론적으로, Ge의 실리콘과의 결정구조의 유사성 및 에너지 밴드 갭 차이에 의하여 베이스 두께 및 저항이 작아진 SiGe HBT는 실리콘 BJT에 비하여 동작속도가 빠르고 잡음특성이 우수한 특성을 갖는다고 할 수 있다. 또한 SiGe 층은 실리콘 기판 위에서 에피택셜 성장이 가능하여 기존의 실리콘 반도체 공정과 쉽게 호환되므로 II-VI족 및 III-V족 화합물 반도체에 비해 훨씬 경제적인 장점이 있다.

4. 실리콘-게르마늄 이종접합 바이폴라 트랜지스터의 신뢰성 열화 현상

고성능의 SiGe HBT를 제작하기 위해서는 SiGe 에피택셜 층 물성 및 증착 기술, 소자 구조, 소자 동작 메커니즘, 소자 신뢰성, 소자 특성 모델링 및 측정 방법에 대한 연구가 선행되어야 하는데 그 중 소자 신뢰성은 SiGe HBT 상용화를 위해서 필수적으로 고려되어야 하는 분야이다. 일반적으로 신뢰성은 어떠한 아이템 (item)이 주어진 조건 하에서 일정 시간동안 요구된 기능을 수행하는 성질로 정의된다 [10]. 즉, 신뢰성이 높다는 것은 고장이 잘 일어나지 않는다는 것을 의미한다. SiGe HBT 개발

초기에는 응력이 잔류하는 SiGe 층이 포함된 고유한 소자 구조 때문에 신뢰성에 대한 의문이 제기되었다. 연구가 진행되면서 SiGe 층 내의 응력이 직접적인 원인이 되는 문제는 없다는 것으로 결론이 내려졌으나 [11], 기술이 발전해 나갈수록 다른 양상의 신뢰성 열화 현상이 생겨나게 되었다. 다른 전자 소자와 마찬가지로 SiGe HBT의 동작속도를 높이기 위해서는 소자 크기를 줄여서 (scale-down) 전하가 이동하는 거리를 짧게 하고 소자 내의 기생 (parasitic) 성분을 감소시켜야 한다. 한편, 전자 소자의 크기가 작아질수록 전기적인 스트레스에 대한 소자의 민감도 (sensitivity)가 증가하게 되는데, 특히 SiGe HBT의 경우에는 소자 동작 시의 콜렉터 전류 밀도가 scale-down에 따라 급격하게 증가하게 되어 에미터-베이스 및 콜렉터-베이스의 접합 특성이 쉽게 열화 (degradation) 되는 경향을 보이게 되었다. 이러한 접합 특성의 열화에 의하여 소자의 전류이득 및 항복전압 (breakdown voltage)이 감소하게 되고 결국 소자가 안정적으로 동작할 수 있는 범위가 매우 좁아져서 IC에 사용하기 어려워지는 경우가 발생하게 되었다. 결론적으로 SiGe HBT 기술의 진보와 더불어 소자 신뢰성 연구의 중요성은 더욱 커지게 되는 것이다. SiGe HBT의 경우 외부 요인에 의하여 정상 동작에서 벗어난 특성을 보이는 때가 있는데 이러한 외부 요인과 이상 현상과의 상관 관계를 밝히는 것이 신뢰성 특성 (reliability physics) 연구의 핵심이 되며 SiGe HBT에 있어서 신뢰성 연구의 대상으로는 베이스 누설 전류 증가, 전류이득 감소, p-n 접합 항복 (breakdown), 오프셋 (offset) 전압 발생, f_t 등의 AC 특성 저하 등을 들 수 있다. 이러한 현상의 원인으로서는 에미터-베이스 역 바이어스 전압 스트레스, 과도측진확산 (transient enhanced diffusion), 접합에서의 누설 전류 등이 있는데 앞으로 SiGe HBT 제작 시 대표적으로 관찰되는 3종류의 신뢰성 열화 현상의 원인 및 특성을 살펴보기로 한다.

4.1 에미터-베이스 역 바이어스 전압 스트레스에 의한 전류 이득 감소 현상

실리콘 BJT의 에미터-베이스 접합에 역방향 바이어스에 의한 스트레스가 가해졌을 때 소자의 전

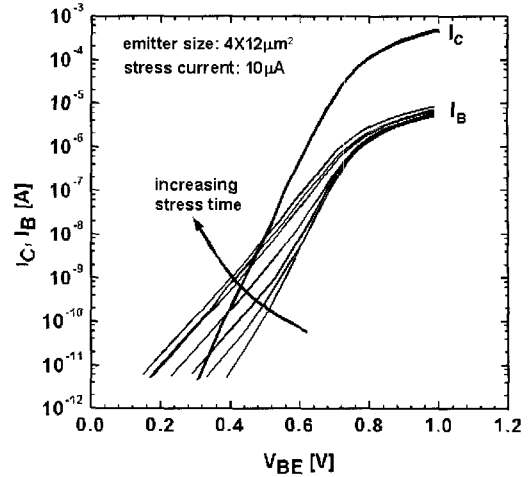


Fig. 1. Gummel plot showing the degradation of the base current with increasing stress time for a Si bipolar transistor [13].

류이득이 크게 감소하는 현상은 소자의 신뢰성을 좌우하는 중요한 이슈로서 지난 이십 여 년 동안 꾸준히 연구되어 왔다 [12]. 현재까지의 연구 결과, 이러한 전류이득 감소현상은 역방향 바이어스가 걸린 에미터-베이스 접합부에서 생성되는 높은 에너지의 전자와 정공 (hot carrier)에 의해 발생된다는 것이 정설로 받아들여지고 있다 [13]. 그림 1은 실리콘 BJT에서 관찰되는 역방향 바이어스에 의한 전형적인 스트레스 효과를 보여주는 것인데, 스트레스를 가해주는 시간이 증가함에 따라 Gummel 곡선의 베이스 전류가 점차 증가하는 반면, 콜렉터 전류는 거의 일정하게 유지됨을 알 수 있다. 따라서 소자의 전류이득은 시간이 지남에 따라 크게 감소하게 되는 것이다. 이러한 전류이득 감소효과는 스트레스가 가해지기 시작한 초기에 가장 심하게 나타나며, 시간이 지날수록 점차 작아진다.

이러한 베이스 누설전류 증가현상은 에미터-베이스 접합의 둘레길이 대 면적 비율이 높은 소자일수록 더 심하게 나타나는데 [13], 이는 대부분의 누설 전류가 에미터-베이스 접합의 테두리 부분에서 비롯됨을 의미하는 것이다. 이는 두 가지 이유 때문으로 여겨지고 있는데 [13,14], 첫번째 이유는 역방향 바이어스를 걸어주었을 때 가장 강한 전기장이 형성되는 곳이 바로 에미터 영역과 고농도의 외부베이스 영역이 만나는 접합의 테두리 부분이라는 것

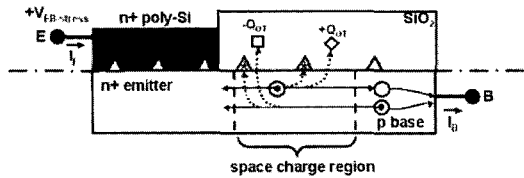


Fig. 2. Schematic cross section of a BJT during reverse biased stress. The hot electrons (●) and holes (○) generated at the n+/p emitter-base junction may create surface traps (△), or charge the oxide electron (□) and hole (◇) traps.

이다. 따라서 높은 에너지를 가지는 전자와 정공도 주로 이 부분에서 생성된다. 또 한가지 이유는, 다 결정 실리콘 에미터 전극과 베이스 전극을 분리시키기 위한 산화막 층이 에미터-베이스 접합의 테두리 부분을 덮고 있으면서 산화막-실리콘 계면을 형성하고 있다는 것이다 (그림 2). 이처럼 에미터 영역, 고농도의 외부베이스 영역, 산화막 층 등 세 영역이 동시에 만나는 에미터-베이스 접합의 테두리 부분에서는 강한 전기장에 의해 생성된 높은 에너지의 전자와 정공이 산화막-실리콘 계면에 충돌하면서 다수의 재결합 장소 (recombination center)를 형성하게 된다.

그림 2의 모식도에서 나타낸 바와 같이, 에미터-베이스 접합의 테두리 부분에서 생성된 고 에너지 전자와 정공들은 산화막-실리콘 계면에 충돌하면서 원자결합을 끊어 계면에 다수의 계면트랩 (interface trap)을 형성하거나, 혹은 산화막 내부로 침투하여 전하를 띤 산화막트랩 (charged oxide trap)을 형성한다. 이러한 트랩들이 트랜지스터 작동 시 전자와 정공의 재결합 장소로 작용하여 베이스 누설전류를 증가시키고 전류이득을 감소시키는 원인이 되는 것이다 [13,14].

이러한 전류이득 감소효과는 SiGe HBT 소자에서도 동일하게 관찰된다. 그림 3은 에미터-베이스 접합부의 면적이 $0.5 \times 6.0 \mu\text{m}^2$ 인 HBT 소자의 Gummel 곡선을 보여주고 있는데, 에미터-베이스 접합이 항복 (breakdown)을 한번 거치면서 베이스 누설전류가 증가하고 전류이득이 크게 감소하였음을 알 수 있다.

일반적으로, 제작된 HBT 소자의 동작 특성평가는 (1) 베이스-에미터 전압의 변화에 따른 콜렉터

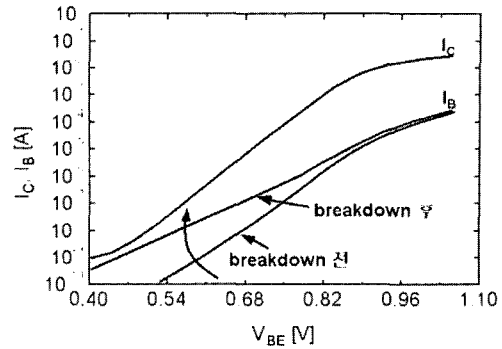


Fig. 3. IB and IC current versus VBE before and after reverse emitter-base junction breakdown for a SiGe HBT (Emitter Area: $0.5 \times 6.0 \mu\text{m}^2$).

전류 대 콜렉터-에미터 전압 곡선, (2) 에미터-베이스 접합의 역방향 바이어스 항복전압, (3) 베이스-콜렉터 접합의 역방향 바이어스 항복전압, (4) 콜렉터 전류에 따른 전류이득 변화, (5) Gummel 곡선, (6) f_t 및 f_{max} 등의 측정을 통해 이루어진다. 그림 3의 결과는 에미터-베이스 접합의 역방향 바이어스 항복전압을 측정하는 과정에서 전류이득 감소현상이 발생하면 그 후에 측정되는 나머지 특성치들이 왜곡될 수 있음을 보여준다. 따라서, 소자의 동작특성을 제대로 파악하기 위해서는 에미터-베이스 접합의 항복전압을 가장 나중에 측정하는 것이 바람직하다.

바이폴라 트랜지스터의 에미터-베이스 접합이 주기적으로 역방향 바이어스에 노출되는 analog-digital converter, OP amp, comparator 등과 같은 집적회로에서는 이러한 역 바이어스 전압 스트레스 효과가 회로의 동작 신뢰성에 치명적인 악영향을 미치게 된다. 이러한 효과를 최소화하기 위해서는, 우선 에미터-베이스 접합의 테두리 부분에서 높은 에너지의 전자와 정공들이 형성되는 것을 억제해야 한다. 이를 위해서는, 소자의 특성을 해치지 않는 범위 내에서 에미터 또는 베이스의 도핑농도를 낮추는 것이 하나의 방법이 될 수 있다. 도핑농도가 낮아지면 에미터-베이스 접합부에 형성되는 공간전하영역 (space charge region)의 폭이 넓어지므로, 이 영역에 형성되는 전기장의 세기가 감소하기 때문이다. 또한, 산화막-실리콘 계면과 산화막 내부에 형성되는 트랩들의 수를 최소화하기 위해서는, 산화막-실리콘 간

계면 상태를 깨끗하게 유지하고 산화막 자체의 물성을 향상시킬 수 있는 산화막 증착조건을 확립하는 것이 중요하다.

4.2 베이스-컬렉터 접합 특성에 따른 컬렉터-에미터 오프셋 전압 발생 현상

에미터가 접지된 common emitter configuration에서 SiGe HBT의 컬렉터에 양의 전압이 인가되고 에미터-베이스 접합이 순방향 바이어스가 되어 베이스 전류가 흐르게 되면 이상적인 경우 컬렉터 전류가 흐르게 된다. 그러나 실제로 소자를 제작하고 컬렉터 전류 대 컬렉터-에미터 전압 특성을 측정하면 특정 컬렉터-에미터 전압까지 컬렉터 전류가 거의 흐르지 않는 현상이 종종 관찰된다. 이때의 전압을 컬렉터-에미터 오프셋 (offset) 전압이라 하는데, 이것에 의하여 포화 (saturation) 영역에서의 전력소모가 증가하고 액티브 영역 동작이 제한되는 문제가 발생한다 [15]. 컬렉터-에미터 오프셋 전압 발생은 에미터-베이스 접합 및 베이스-컬렉터 접합 특성과 밀접한 관계가 있는데 그 값은 에미터-베이스 접합과 베이스-컬렉터 접합의 턴온 (turn-on) 전압 차이와 같다 [16]. 만일 베이스-컬렉터 접합의 턴온 전압이 에미터-베이스 접합의 경우와 같거나 클 때에는 오프셋 전압은 무시할 수 있을 정도로 작다. 이러한 오프셋 전압은 GaAs/AlGaAs 및 InP/InGaAs 계의 HBT에서 주로 관찰되었다. 화합물 반도체 HBT는 실리콘 BJT와는 달리 접합을 이루는 양 면의 물질이 다르고 mesa 구조를 가지므로 접합 특성이 접합 형성 조건의 영향을 민감하게 받고 두 종류의 접합 면적이 매우 달라서 전류-전압(I-V) 곡선에서 오프셋 전압이 쉽게 나타난다. 또한 HBT에서 에너지 밴드 갭 차이에 의하여 발생하는 에미터-베이스 접합의 전도대 스파이크 (conduction band spike)도 오프셋 전압을 일으키는 원인 중의 하나이다 [17]. I-V 곡선에서 오프셋 전압 부근은 베이스-에미터 전압 (V_{BE}) 및 베이스-컬렉터 전압 (V_{BC})이 양의 값을 갖는 포화 영역에 해당되며 컬렉터-에미터 전압 (V_{CE}) < 베이스-에미터 전압 (V_{BE}) 조건이 성립된다. 그림 4은 npn 트랜지스터의 포화 영역에서의 이상적인 소수 캐리어 농도 분포이다. 두 접합 모두 순방향 바이어스이므로

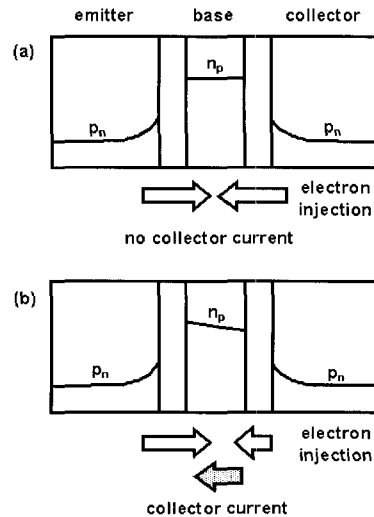


Fig. 4. Ideal minority carrier distributions in the saturation region, (a) when the collector-emitter voltage is equal to the offset voltage, (b) when the collector-emitter voltage is larger than the offset voltage.

베이스로 전자가 주입되는데 동일한 양의 전자가 에미터와 컬렉터에서 방출되면 그림 4(a)와 같은 농도분포가 되어 컬렉터 전류가 0이 된다. 그러나 V_{CE} 이 증가하여 베이스-컬렉터 접합이 점차 순방향 바이어스에서 벗어나게 되면 에미터에서 베이스로 주입되는 전자의 양이 더 많아져서 그림 4(b)와 같은 농도분포를 갖게 되며, 이때 컬렉터 전류가 흐르게 된다. 일반적으로 트랜지스터의 에미터 및 베이스가 컬렉터에 비해서 고농도로 도핑되므로 에미터-베이스 접합의 턴온 전압이 베이스-컬렉터 접합의 경우보다 작다. 그러나 공정 상의 원인에 의하여 베이스-컬렉터 접합의 턴온 전압이 감소되면 이상적인 I-V 특성에서 벗어나 오프셋 전압이 관찰된다. 그림 4(a)는 V_{CE} 가 오프셋 전압일 때, 그림 4(b)는 V_{CE} 가 오프셋 전압보다 클 때에 해당된다. 오프셋 전압 이하에서는 에미터에 비해 컬렉터에서 더 많은 전자가 방출되어 컬렉터 전류가 베이스에서 컬렉터 쪽으로 흐르게 된다. 즉, 베이스 내부에서 소수 캐리어의 농도 분포 기울기가 그림 4(b)와는 반대가 되어 음의 컬렉터 전류가 형성되는 것이다. 오프셋 전압 연구 초기에 오프셋 전압 이하에서는 컬렉터 전류가 흐르지 않는다고 생각되었으나 I-V

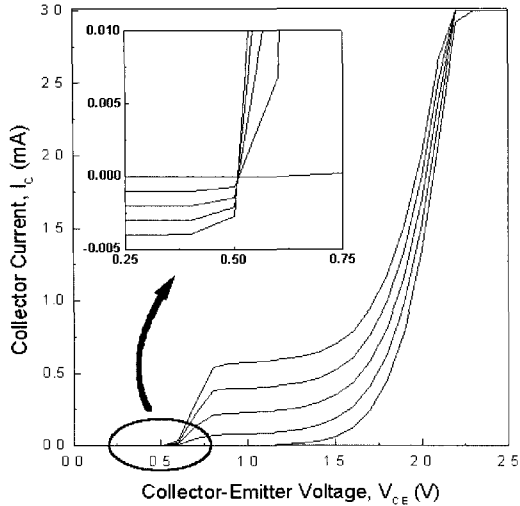


Fig. 5. Collector current versus collector-emitter for a SiGe HBT showing the offset voltage.

곡선을 자세히 관찰하면 음의 콜렉터 전류가 흐른다는 사실을 확인할 수 있다 [18]. 그림 5와 같이 콜렉터 전류의 절대값은 V_{CE} 가 0에 가까운 작은 값일 때에는 베이스 전류와 거의 동일하고 V_{CE} 가 증가하여 오프셋 전압에 근접할수록 감소한다. 한편, 에미터와 콜렉터를 서로 바꿔서 측정하면 두 계면의 턴온 전압 차이에 의하여 오프셋 전압은 나타나지 않는다. 기생 직렬 저항인 에미터, 베이스, 콜렉터 저항이 무시될 수 있을 정도로 작다고 가정할 때 오프셋 전압은 다음과 같은 식 (2), (3), (4)으로부터 구할 수 있다 [19].

$$V_{CE} = V_{BE} - V_{BC} \quad (2)$$

$$I_C = I_{CCS}[\exp(qV_{BE}/m_F kT) - 1] - I_B \quad (3)$$

$$I_B = I_{BCS}[\exp(qV_{BC}/n_R kT) - 1] \quad (4)$$

단,

I_C : 콜렉터 전류

I_{CCS} : 콜렉터 포화 전류

I_{BCS} : 베이스 포화 전류

m_F : 콜렉터 전류 ideality factor

n_R : 베이스 전류 ideality factor

오프셋 전압에서는 $I_C=0$ 이고 에미터-베이스 접합과

베이스-콜렉터 접합이 순방향 바이어스이므로 식 (2), (3), (4)을 정리하면, 오프셋 전압 ($V_{CE,off}$)은 다음과 같은 식 (5)로 표시된다.

$$V_{CE,off} = (m_F kT/q) \ln(I_B/I_{CCS}) - (n_R kT/q) \ln(I_B/I_{BCS}) \quad (5)$$

식 (5)로부터 오프셋 전압은 I_B 가 증가할수록 콜렉터 및 베이스 ideality factor에 따라 증가하기도 하고 감소하기도 한다는 사실을 알 수 있다.

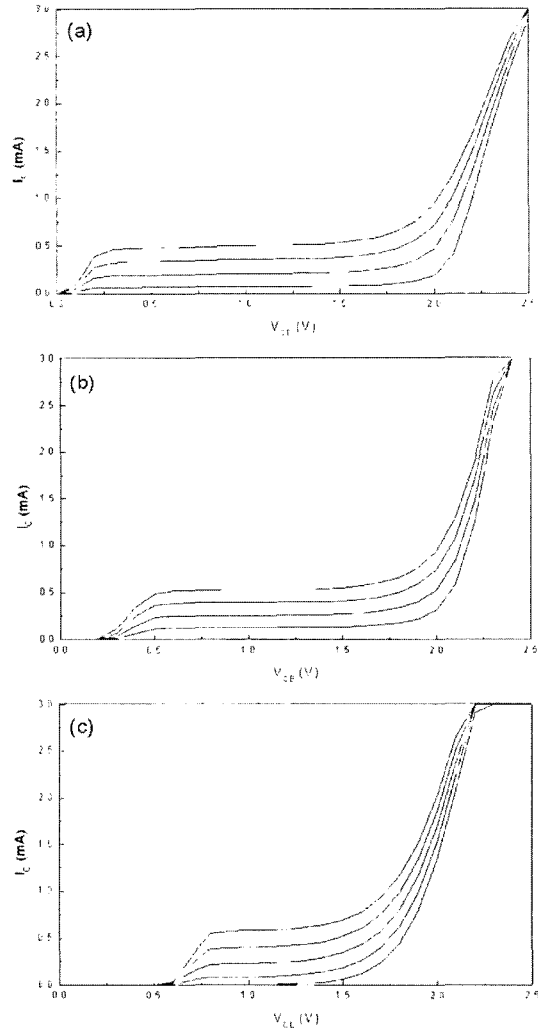


Fig. 6. Collector current versus collector-emitter for SiGe HBTs with various BF_2 implantation conditions into the extrinsic base: (a) implantation energy: 80keV (b) implantation energy: 40 keV (c) no implantation.

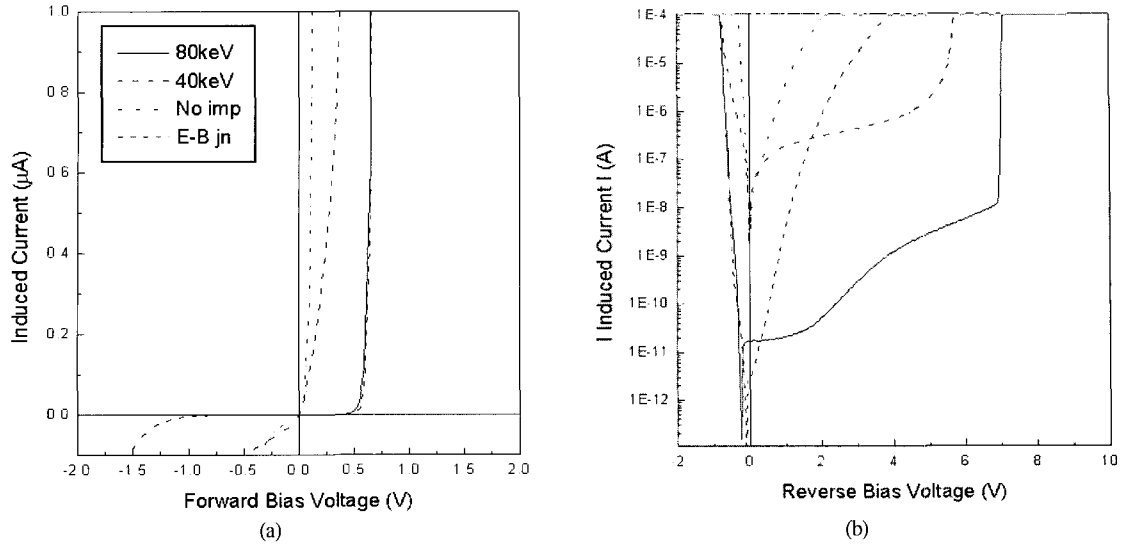


Fig. 7. Diode characteristics of base-collector junctions in SiGe HBTs with various BF₂ implantation conditions.

그림 6과 그림 7은 SiGe BiCMOS 공정으로 제작된 SiGe HBT의 I-V 및 베이스-컬렉터 접합 다이오드 특성이다. 두 종류의 웨이퍼는 각각 외부 베이스 이온주입 에너지를 80 keV 및 40 keV로 하였고 나머지 한 웨이퍼는 이온주입을 실시하지 않았다. 이온주입 에너지가 80 keV인 경우에는 웨이퍼 내의 대부분의 소자가 그림 6(a)와 같이 이상적인 I-V 특성을 보였으나, 이온주입 에너지가 40 keV인 경우에는 웨이퍼 중심부를 벗어나면 그림 6(b)와 같이 오프셋 전압이 발생하는 소자가 많이 발견되었다. 한편, 이온주입을 실시하지 않은 웨이퍼에서는 대부분의 소자가 그림 6(c)와 같이 약 0.5 V의 오프셋 전압을 나타내었다. 그림 7은 그림 6의 I-V 특성을 보이는 소자의 베이스-컬렉터 접합 다이오드 특성이다. 그림 7에는 전류 단위 및 바이어스 방향을 다르게 표시한 두개의 그래프가 있는데 위 그래프는 턴온 전압, 아래 그래프는 항복전압을 잘 나타내고 있다. 세 웨이퍼의 에미터-베이스 접합 다이오드 특성은 거의 동일하였으며 비교를 위하여 그 결과를 그림 7에 삽입하였다. 이온주입 에너지가 80 keV일 때 다른 경우에 비하여 베이스-컬렉터 접합의 턴온 전압 및 항복 전압이 훨씬 컸으며 특히 턴온 전압은 에미터-베이스 접합의 경우와 거의 동일하였다.

그러나 이온주입 에너지가 40 keV이거나 이온주입을 하지 않았을 때에는 베이스-컬렉터 접합의 턴온 전압이 에미터-베이스 접합의 턴온 전압보다 훨씬 작았다. 외부 베이스 이온주입 조건에 따라 베이스-컬렉터 전압 특성이 바뀐 이유는 외부 베이스 표면에 존재하는 Ti 실리사이드와 접합과의 거리가 다르기 때문에 나타난 현상으로 생각된다. 이온주입 에너지가 작을수록 베이스-컬렉터 접합이 얇은 곳에서 형성되므로 외부 베이스 표면의 Ti 실리사이드와 접합과의 거리가 짧아지게 된다. Ti 실리사이드와 베이스-컬렉터 접합의 거리가 가까울수록 Ti 실리사이드 형성 시 발생하는 응력, 결함, 또는 불순물의 영향에 의하여 접합 부근에 전도성이 높은 지역이 쉽게 형성되어 바이어스 방향에 상관없이 전류가 잘 흐르게 되는 것으로 추측된다. Chand et al. [16]이 보고한 바와 같이 턴온 전압이 작은 소자는 항복 전압이 낮은 특성을 나타내었는데 이것은 앞에서 언급한 내용과 부합되는 결과이다. 이상의 내용을 종합해 보면, 높은 에너지로 이온주입을 실시하여 Ti 실리사이드와 베이스-컬렉터 접합 사이의 거리를 충분히 확보하지 않으면 베이스-컬렉터 접합 특성이 저하되어 턴온 전압 및 항복 전압이 감소하고 오프셋 전압이 증가하게 된다고 결론 내릴 수 있다.

4.3 소자구조에 따른 AC 특성 저하 및 전류이득 감소 현상

SiGe HBT의 베이스는 내부 베이스 및 외부 베이스의 두 영역으로 나뉜다. 내부 베이스는 콜렉터 및 에미터와 직접 접촉하여 npn 소자를 형성하는 영역으로 이곳을 제외한 나머지 부분은 내부 베이스와 콘택을 연결하는 외부 베이스 영역이 된다. 자기정렬(self-align) 구조에서는 에미터-베이스 콘택 모서리(edge)와 에미터 폴리 실리콘 모서리의 간격에 따라 외부 베이스 중 저항이 가장 높은 영역인 연결부(link)의 면적이 결정되는데 이것은 SiGe HBT 소자의 특성에 직접적인 영향을 미치게 된다. 그림 8은 ETRI에서 제작되는 SiGe HBT 소자의 단면도 및 평면도이다. 단면도에 표시된 것과 같이 SiGe 베이스층 부분은 boron 농도 및 Ti 실리사이드 유무에 따라 (A), (B), (C) 세 영역으로 나뉘어진다. (A) 영역은 액티브 형성 직후 증착된 SiGe 에피택셜 층과 물성이 가장 유사한 부분으로, 그 위쪽에 위치한 에미터 폴리 실리콘에 의하여 후속 공정의 영향을 가장 적게 받는다. (B) 영역은 에미터 폴리 실리콘 패터닝 후에 boron이 고농도로 이온주입된 부분이며, (C) 영역은 측벽 형성 후 자기정렬 방식으로 Ti 실리사이드가 표면에 형성된 부분이다. (A), (B), (C) 영역의 면저항은 각각 $\sim 10 \text{ k}\Omega/\square$, $\sim 1 \text{ k}\Omega/\square$, ~ 20

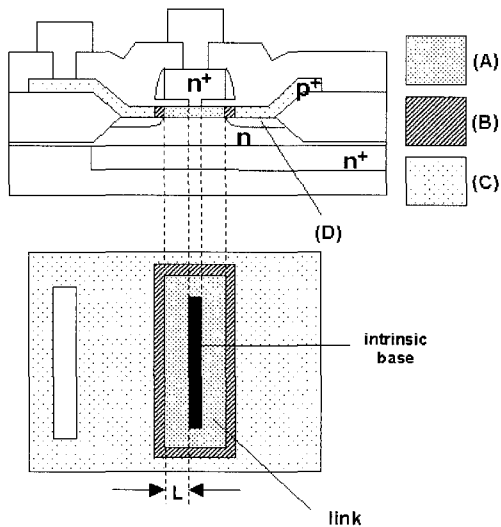


Fig. 8. Cross-sectional and plane views of the base and emitter region of a SiGe HBT.

Ω/\square 로 Ti 실리사이드가 형성된 (C) 영역의 저항이 월등히 작다. 한편, (A) 영역 중에서 에미터-베이스 콘택 바로 아래 부분이 소자로 동작하므로 평면도 상에서 빗금으로 표시된 부분이 내부 베이스가 되고 (A) 영역 중 이 부분을 제외한 나머지 부분이 외부 베이스 중 저항이 가장 높은 연결부(link)가 된다. 에미터 폴리 실리콘 모서리의 위치를 변경하여 에미터-베이스 콘택 모서리와 에미터 폴리 실리콘 모서리의 간격인 L값을 감소시키면 연결부의 면적은 감소하고 저항이 낮은 (c) 영역의 면적은 증가하게 되며 L값을 증가시키면 정반대의 경향을 나타내게 된다. 에미터 폴리 실리콘 패터닝을 위해 필요한 마스크를 수정하여 레이아웃이 다른 4종류의 SiGe HBT를 제작하였고 L값은 각각 $0.0 \mu\text{m}$, $0.2 \mu\text{m}$, $0.4 \mu\text{m}$, $0.8 \mu\text{m}$ 로 하였다.

그림 9(a)는 에미터-베이스 접합부 면적이 $0.5 \times 6.0 \mu\text{m}^2$ 인 HBT 소자의 L값에 따른 f_t 를 나타낸 그래프로 f_t 는 $L=0.0 \mu\text{m}$ 일 때 다른 경우에 비해 매우 낮은 값을 나타내었고 $L=0.4 \mu\text{m}$ 일 때 가장 큰 값을 나타내었다. $L=0.4 \mu\text{m}$ 일 때 f_t 가 최대값을 보였다가 L값이 작을수록 f_t 가 감소하는 경향을 관찰할 수 있었는데, 이것은 내부 베이스가 외부 베이스 이온주입의 영향으로 베이스 폭이 커져서 나타난 현상으로 추측된다. SiGe HBT 소자 제작 시 행해지는 외부 베이스 이온주입에 의하여 내부 베이스 내의 boron의 확산이 촉진되고 이에 따라 베이스 폭이 커져서 f_t 가 감소된다는 사실이 널리 알려져 있으며, 이때의 boron의 이동 현상을 과도촉진확산(transient enhanced diffusion, TED)이라 한다 [20]. L값이 작을수록 외부 베이스 이온주입의 영향이 커지고 TED가 활발하게 진행될 것이므로 이에 따라 f_t 가 감소된 것으로 보인다. 그림 9(b)는 L값에 따른 f_{max} 그래프로 $L=0.8 \mu\text{m}$ 인 경우보다 $L=0.2 \mu\text{m}$ 및 $L=0.4 \mu\text{m}$ 일 때 f_{max} 가 약 5 GHz 정도 큰 결과를 나타내었다. 이것은 L값이 작을수록 외부 베이스 중에서 저항이 가장 큰 연결부(link)의 면적이 감소하므로 f_{max} 가 증가하게 된 것으로 생각된다. f_{max} 는 베이스 저항 및 콜렉터-베이스 접합 정전용량의 제공근에 반비례하며 f_t 의 제공근에 비례한다 [1]. L값이 작아질수록 콜렉터에 p형 도펀트가 주입된 (D) 영역의 면적이 늘어나서 콜렉터-베이스 접합 정전용량이 증가하고

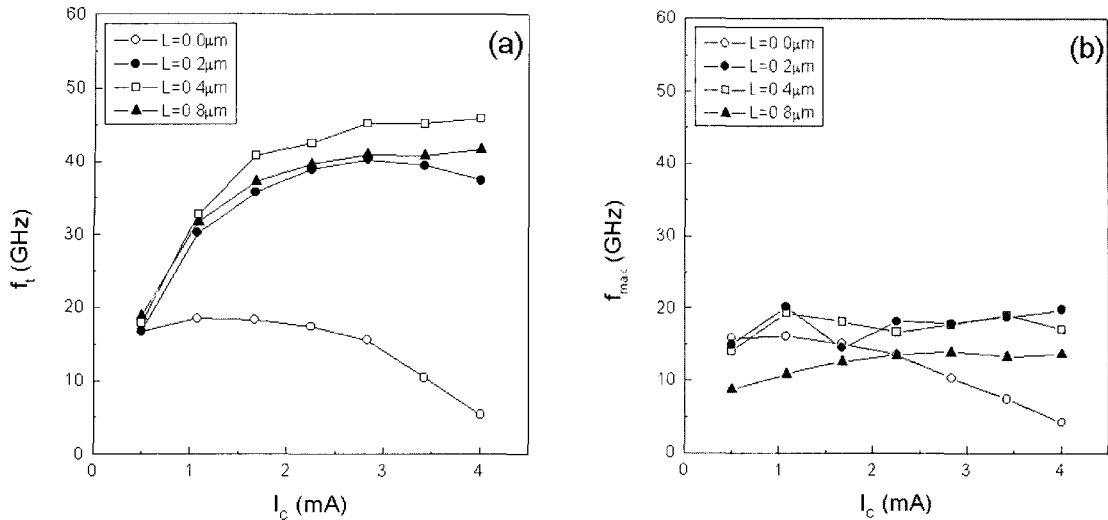


Fig. 9. AC characteristics of SiGe HBTs(Emitter Area: $0.5 \times 6.0 \mu\text{m}^2$) with various values of L : (a) f_t versus collector current (b) f_{max} versus collector current.

이것이 f_{max} 에 영향을 미치겠지만, L 값 감소에 따른 (D) 영역 면적 증가 폭에 비해 연결부 (link)의 면적 감소 폭이 더 클 것이므로 주로 베이스 저항에 따라 f_{max} 가 변화된다고 추측된다. L 값 감소에 병행하여 액티브 면적을 줄임으로써 (D) 영역 면적을 일정하게 유지하는 경우에는 L 값에 따라 f_{max} 가 큰 폭으로 증가하게 될 것이다. 한편, $L=0.0 \mu\text{m}$ 인 경우에는 f_{max} 가 다시 감소하였는데 이것은 그림 9(a)에서와 같이 f_t 가 매우 작기 때문에 나타난 결과이다.

그림 10은 L 값이 다른 소자의 Gummel 곡선이다. 각 소자의 컬렉터 전류는 베이스-에미터 전압이 약 0.7V까지는 거의 비슷한 반면에 베이스 전류는 L 값이 감소함에 따라 급격하게 증가하고 있다. 컬렉터 전류는 일정한 반면에 L 값이 작아질수록 베이스 전류는 증가하므로 전류이득이 감소한다. 이러한 현상은 L 값에 따른 연결부 면적 변화 자체에 의한 것이 아니라 Ti 실리사이드와 실리콘이 만나는 계면과 에미터 간의 거리가 바뀌어서 발생하는 것이다. El-Diwany et al. [21] 및 Jong et al. [22]은 외부 베이스에 실리사이드가 존재하는 트랜지스터 구조에서 전류 이득의 감소는 에미터에 가까운 실리사이드-실리콘 계면에서의 재결합에 의한 베이스 전류의 주변 성분 (peripheral component) 증가에 의해 발생하며, 이러한 재결합 장소가 에미터에서 멀어질수록 베이스

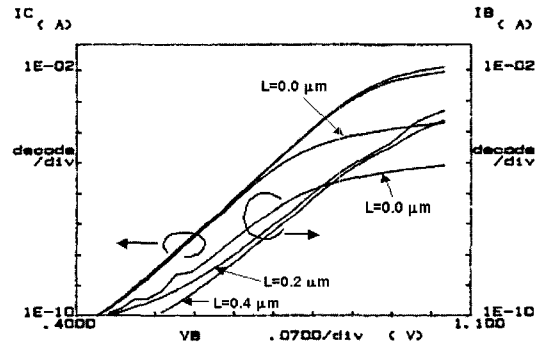


Fig. 10. Gummel plots for SiGe HBTs with various values of L .

전류 주변 성분이 감소하여 전류이득이 증가한다고 보고하였다. 따라서 L 값이 작아질수록 그림 8의 (B) 영역과 (C) 영역의 경계가 에미터에 가까워지므로 베이스 전류 주변 성분이 증가하여 전류이득이 감소하게 되는 것이다. 이상의 결과를 종합해 보면, 자기정렬 구조에서 약 $L=0.2 \mu\text{m}$ 까지는 L 값이 작을수록 베이스 저항이 감소하여 f_{max} 가 증가하지만 그 이하가 되면 TED 및 재결합에 의한 베이스 전류 증가에 의하여 f_t , f_{max} , 전류이득이 감소하므로 RF IC에 사용하기에 적합한 소자를 제작하기 위해서는 TED 효과를 억제할 수 있는 최소한의 거리는 확보되어야 한다고 결론 내릴 수 있다.

5. 결 론

SiGe HBT에서 발생하는 신뢰성 열화 현상을 관찰하고, 실리콘 BJT 및 화합물 반도체 HBT에 적용되는 기존의 이론을 바탕으로 그 원인을 고찰하였다. 에미터-베이스 접합 항복전압 측정 후에 소자의 전류이득이 급격하게 감소하는 현상이 흔히 관찰되는데 이것은 에미터-베이스 역 바이어스 전압 스트레스 효과에 의한 것이다. 한편, 소자의 레이아웃에 따라 f_i 및 f_{max} 등의 AC 특성이 민감하게 변화하며, 특히 에미터-베이스 접합과 외부 베이스의 거리가 임계 값보다 짧을 때에는 외부 베이스 이온주입에 의한 베이스 도펀트의 과도축진확산이 발생하여 f_i 가 감소하게 된다. 공정의 변동 (fluctuation)에 의해서도 신뢰성 열화 현상이 나타나는데 외부 베이스 이온주입 에너지가 작아서 충분히 깊은 접합이 형성되지 않으면 한 웨이퍼 내의 다수의 지역에서 콜렉터-베이스 접합의 턴온 전압 감소에 의한 오프셋 전압이 발생하게 된다. 이러한 SiGe HBT의 신뢰성 열화 현상을 방지하기 위해서는 전체 소자 파라미터 (parameter)를 고려하여 소자 구성 막의 특성, 레이아웃, 및 공정 조건을 최적화 하여야 한다.

감사의 글

본 연구는 정보통신부의 연구비 지원에 의해 수행되었으며 이에 감사 드립니다.

참 고 문 헌

- [1] A. Gruhle, Proceedings of the 2001 Bipolar/BiCMOS Circuits and Technology Meeting, 19 (2001).
- [2] B. Meyerson, Appl. Phys. Lett. **48**, 797 (1986).
- [3] S. C. Jain, S. Decoutere, M. Willander, and H. E. Maes, Semicond. Sci. Technol. **16**, R51 (2001).
- [4] Semico Research Corporation, "Silicon Germanium Blooms: The Quick and Quiet Solution", <http://www.semico.com/studies/docs/toc158.pdf> (2002).
- [5] S. Jeng, B. Jagannathan, J. Reih, J. Johnson, K. Schonenberg, D. Greenberg, A. Stricker, H. Chen, M. Khater, D. Ahlgren, G. Freeman, K. Stein, and S. Subbanna, IEEE Electron Device Lett. **22**, 542 (2001).
- [6] K. Washio, E. Ohue, H. Shimamoto, K. Oda, R. Hayami, Y. Kiyota, M. Tanabe, M. Kondo, T. Hashimoto, and T. Harada, IEEE Trans. Electron Devices, **49**, 271 (2002).
- [7] S. Iyer, G. Patton, J. Strok, B. Meyerson, and D. Harame, IEEE Trans. Electron Devices, **36**, 2043 (1989).
- [8] S. Wolf, *Silicon Processing for the VLSI Era*, Volume 2, (Lattice Press, Sunset Beach, 1990), p.471.
- [9] H. Schumacher, U. Erben, and W. Duerr, Solid-State Electron. **41**, 1485 (1997).
- [10] IEEE Standard Computer Dictionary. A Compilation of IEEE Standard Computer Glossaries, IEEE STD 610, 170 (1991).
- [11] J. Dunn, D. Harame, S. St. Onge, A. Joseph, N. Feilchenfeld, K. Watson, S. Subbanna, G. Freeman, S. Voldman, D. Ahlgren, and R. Johnson, Proceedings of 38th Annual International Reliability Physics Symposium, 237 (2000).
- [12] A. Neugroschel, C.-T. Sah, M. S. Carroll, and K. G. Pfaff, IEEE Trans. Electron Devices **44**, 792 (1997).
- [13] J. D. Burnett and C. Hu, IEEE Trans. Electron Devices **35**, 2238 (1988).
- [14] A. Neugroschel, C.-T. Sah, and M. S. Carroll, IEEE Trans. Electron Devices **42**, 1380 (1995).
- [15] J. Zhang, X. Jin, P. Chen, P.-H. Tsien, and T.-C. Lo, Proceedings of 1997 IEEE/Cornell Conference on Advanced Concepts in High Speed Semiconductor Devices and Circuits, 109 (1997).
- [16] N. Chand, R. Fischer, and H. Morkoc, Appl. Phys. Lett. **47**, 313 (1985).
- [17] S.-C. Lee, J.-N. Kau, and H.-H. Lin, Appl. Phys. Lett. **45**, 1114 (1984).
- [18] M. Hafizi, C. R. Crowell, and M. E. Grupen, IEEE Trans. Electron Devices **37**, 2121 (1990).
- [19] A. Shatalov, S. Subramanian, A. Dentai, S. Chadrasekhar, and S. M. Goodnick, J. Appl. Phys. **88**, 3765 (2000).

- [20] G. Malm, J. V. Grahn, and M. Ostling, *Solid-State Electron.* **44**, 1747 (2000).
- [21] M. H. El-Diwany, M. P. Brassington, and P. Tuntasood, *IEEE Electron Device Lett.* **9**, 247 (1988).
- [22] J. L. de Jong, R. H. Lane, J. G. de Groot, and G. W. Conner, *Proceedings of the Bipolar Circuits and Technology Meeting 1988*, 202 (1988).