

고속 무선 전송을 위한 QPSK 복조기 FPGA 설계

An FPGA Design of High-Speed QPSK Demodulator

정 지원

Ji-Won Jung

요 약

본 논문에서는 QPSK 방식을 채용하는 고속 무선 전송 시스템에 적용될 수 있는 Zero-Crossing IF-level QPSK 복조기에 대해서, 복조기에 소요되는 알고리즘들을 고찰하고 이를 구현하기 위한 H/W 구조에 대해서 언급한다. Zero-Crossing IF-level QPSK 복조기를 구현하기 위해서, 비트 동기를 포착하는 심볼 동기부와 반송파 동기를 포착하는 반송파 동기부가 구현되어야 하는데, 심볼 동기부로는 Gardner 알고리즘을, 반송파 동기부로는 빠른 반송파 포착을 위한 Decision-Directed 동기화 알고리즘을 적용하여 설계, 구현하였다. 설계한 QPSK 복조기를 Altera 사의 Design Compiler를 이용하여 CPLD-FLEX10K 칩에 합성해 본 결과 약 2.6 Mbps의 전송속도까지 복조가능하였다. 설계된 Zero-Crossing IF-level QPSK 복조기를 ASIC으로 구현할 경우 CPLD 속도의 5~6 이상 고속화가 가능하므로 약 10 Mbps급 Zero-Crossing IF-level QPSK 복조가 가능하다.

Abstract

High-speed QPSK demodulator has been one important design objective of any wireless communication systems, especially those offering broadband multimedia service. This paper describes Zero-Crossing IF-level(ZCIF) QPSK demodulator for high-speed wireless communications, and its hardware structures are discussed. ZCIF QPSK demodulator is mainly composed of symbol time circuit and carrier recovery circuit to estimate timing and phase-offsets. There are various schemes. Among them, we use Gardner algorithm and Decision-Directed carrier recovery algorithm which is most efficient scheme to warrant the fast acquisition and tracking to fabricate FPGA chip. The testing results of the implemented onto CPLD-FLEX10K chip show demodulation speed is reached up to 2.6 [Mbps]. Actually in case of designing by ASIC, its speed may be faster than CPLD by 5 times. Therefore, it is possible to fabricate the ZCIF QPSK demodulator with speed of 10 Mbps.

Key words : High-Speed Wireless Transmission, QPSK, Zero-Crossing, Symbol Recovery, Carrier Recovery

I. 서 론

현재의 통신 추이는 멀티미디어 서비스를 위한 고속 통신을 요구하고 있으며, 고속 통신을 위한 오류정정부호 및 디지털 모뎀 분야에 연구의 주안점을 두고 있다. 따라서 본 논문에서는 QPSK 방식을 채용하는 고속 무선 전송 시스템에 적용될 수 있는 Zero-Crossing IF-level QPSK 복조기에 대해서, 복조

기에 소요되는 알고리즘들을 고찰하고 이를 구현하기 위한 H/W 구조에 대해서 언급한다. Zero-Crossing IF-level QPSK 복조기를 구현하기 위해서, 비트 동기를 포착하는 심볼 동기부와 반송파 동기를 포착하는 반송파 동기부가 구현되어야 하는데, 심볼 동기부로는 Gardner 알고리즘을, 반송파 동기부로는 빠른 반송파 포착을 위한 Decision-Directed 동기화 알고리즘을 적용하여 설계, 구현하였다.

한국해양대학교 전파공학과(Department of Radio Science & Engineering, Korea Maritime University)

· 논문 번호 : 20030719-105

· 수정완료일자 : 2003년 11월 28일

반도체 기술이 급격히 발달함에 따라 QPSK 복조기를 주문형 반도체인 ASIC이나 FPGA를 이용하여 하나의 칩으로 구현하는 것이 가능하게 되었다. 하지만 ASIC의 개발은 제작 비용과 제작 시간이 많이 소요되는 단점이 있는 반면에 FPGA의 경우에는 제작 비용과 제작 시간을 절감할 수 있고^{[2],[3]}, 사전에 로직을 검토한 후에 설계를 할 수 있으므로 이를 이용하여 QPSK 복조기를 구현하였다.

본 논문에서는 QPSK 복조기 구현을 위해서 복조기의 주요 모듈들을 검토하고, Altera Tool을 이용하여 FPGA로 설계한 QPSK 복조기를 구현한 결과를 제시한다.

II. QPSK 복조기 모듈 분석

2-1 시스템 모델

QPSK 복조기 구현을 모듈 분석을 위한 시스템 모델을 그림 1에 나타내었다. 복조부는 STR(Symbol Timing Recovery, 심볼 동기부)와 CPR(Carrier Phase Recovery, 위상동기부) loop로 구성된다.

I(In-phase), Q(Quadrature) 채널의 입력 신호는 주파수 대역을 제한하고 ISI(Inter Symbol Interference)를 제거하기 위하여 PSF(Pulse Shaping Filter)에 의해 필터링 된다. 필터링 된 신호에 반송파를 곱하여 전송된 신호는 수신단에서 국부 발진기(LO: Local Oscillator)에 의해 기저대역 신호로 변환되며 이후 정합필터(MF: Matched Filter)로 필터링 된다. 정합필터의 출력 신호를 이용하여 정확한 비트의 천이시점을 추정하기 위해서 STR 루프를 사용하고, 포착된 천이시점은 ADC(Analog Digital Converter)에 의

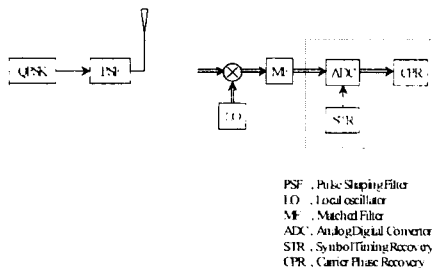


그림 1. 변복조기 링크 해석 모델
Fig. 1. Analysis model of link for modulation/demodulation.

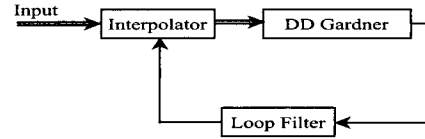


그림 2. STR의 구조
Fig. 2. STR structure.

해 샘플링 된다. 샘플링 된 기저대역 샘플치 신호로부터 잔여 주파수 오프셋 및 위상 오프셋이 보상된다. 정확히 추정되었던 interpolator 출력 신호의 샘플치를 CPR 루프에 입력하여 반송파 복원을 수행한다^{[3],[5]}.

2-2 QPSK 복조부

2-2-1 STR

STR은 채널 전송 과정에서 교란된 비트나 심벌을 제어하는 사용되는데, 이러한 비트 동기의 목표는 수신된 데이터열에 근거하여 수신기에서의 비트의 천이시점을 올바르게 정확하게 추정하는데 있다. STR의 종류로는 처리 속도를 고속으로 유지하기 위해서 심벌당 샘플수를 최소화할 수 있는 Gardner가 제안한 알고리즘을 사용하였다^[4]. 이 알고리즘은 BPSK/QPSK 변조 방식을 위한 타이밍 추출에 관한 것으로 포착과 추적의 어느 동작 모드에서도 유효하게 사용되고 반송파 동기에 독립적으로 동작하므로 CPR과 병행하여 타이밍 포착이 진행되는 장점이 있다. 그림 2에 STR의 구조를 나타내었다.

2-2-1-1 Interpolator

Interpolator는 샘플링 rate를 증가시켜 심벌 타이밍 에러를 작게 하기 위하여 사용한다. Interpolation function은 일반적으로 다항식을 사용한다. 본 논문에서는 천이된 비트를 더 정확하게 추정하기 위해 Lagrange 공식을 적용한 interpolator를 구현하였다. N 개의 결과치 $y_i = f(x_i)[i=1, 2, 3, \dots, N]$ 를 알고 x 지점에서의 값을 결정할 때는 아래의 식 (1)을 이용한다. 여기서, x 는 심벌의 peak값이고, x_1, x_2, \dots, x_n 은 샘플링 오차값을 나타내고 있으며, y_1, y_2, \dots, y_n 은 샘플링 지점의 값을 나타낸다.

$$P(x) = \frac{(x-x_2)(x-x_3)\dots(x-x_N)}{(x_1-x_2)(x_1-x_3)\dots(x_1-x_N)} y_1$$

$$\begin{aligned}
 & + \frac{(x-x_1)(x-x_3)\dots(x-x_N)}{(x_2-x_1)(x_2-x_3)\dots(x_2-x_N)} y_2\dots \\
 & + \frac{(x-x_1)(x-x_2)\dots(x-x_{N-1})}{(x_N-x_1)(x_N-x_2)\dots(x_N-x_{N-1})} y_N
 \end{aligned} \tag{1}$$

2-2-1-2 Gardner Algorithm^[3]

Gardner 알고리즘은 기저대역으로 변환된 신호를 A/D 변환을 통해 심볼 당 2샘플을 취하고, 타이밍 검출기내의 hard limiter를 통과한 샘플값을 이용하여 타이밍 에러를 검출하는 방식으로 그 구조는 그림 3 과 같다.

심볼당 2샘플로 동작하고 반송파 동기 루프에 독립적으로 동작하므로 빠른 초기 동기가 가능하다. 이 알고리즘의 에러 검출에 관한 식을 식 (2)에 나타내었다. $\hat{y}_I(n)$ 과 $\hat{y}_Q(n)$ 의 값은 샘플시 I, Q채널의 경관정된 값이다.

$$\begin{aligned}
 e(n) = & y_I\left(n-\frac{1}{2}\right)\{\hat{y}_I(n)-\hat{y}_I(n-1)\} \\
 & + y_Q\left(n-\frac{1}{2}\right)\{\hat{y}_Q(n)-\hat{y}_Q(n-1)\}
 \end{aligned} \tag{2}$$

이 구조는 hard limiter의 결정과정에 의해 실제 하드웨어로 구현할 때 곱셈기를 제거할 수 있으며 잡음 제거 효과도 가져올 수 있다.

2-2-1-3 Loop Filter

Gardner 알고리즘에서 출력된 error 신호를 누적하

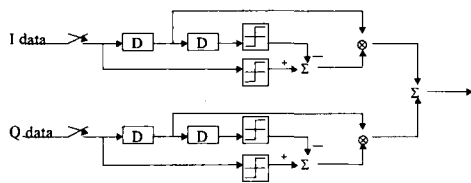


그림 3. DD-Gardner 심볼 동기 알고리즘
Fig. 3. DD-Gardner symbol synchronization algorithm.

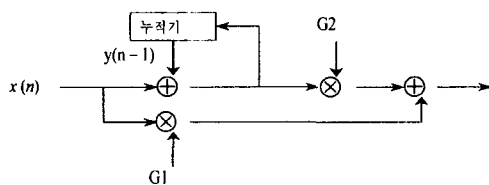


그림 4. Loop filter 구조
Fig. 4. Loop filter structure.

는 필터로서, 그림 4와 식 (3)에 나타내었다.

$$\begin{aligned}
 \text{LoopFilterOutput} = & \\
 & G2 \times (x(n)) + y(n-1) + G2 \times x(n)
 \end{aligned} \tag{3}$$

여기서 $x(n)$ 은 error 신호로서 입력이고, $y(n-1)$ 은 과거에 누적된 값이다. $G1, G2$ 는 Loop Filter의 이득 값이다.

2-2-2 CPR

기저 대역 신호에 반송파를 실어서 보내게 되면 수신측에서는 기저 대역 신호를 복원하기 위해서 반송파 신호를 제거할 필요가 있다. 따라서 동기 회로에서는 수신된 반송파의 위상과 자체 국부 발진기에서 재생된 신호와의 위상과의 차이인 위상 지터(jitter)를 최소화하는 것을 목표로 한다.

전송 효율을 극대화하기 위해서는 반송파 복원을 지원하는 preamble 데이터의 수를 가능한 한 작게 유지해야 하므로 빠르게 반송파를 포착할 수 있는 알고리즘이 요구된다. 그래서 본 논문에서는 반송파 포착 성능 및 추적 성능을 개선함으로써 데이터 전송효율을 증가시킬 수 있는 DD(Decision-Directed) 방식을 사용하였고, 이의 구조는 그림 5에 나타내었다.

QPSK 수신신호는 아래의 식 (4)와 같이 표현할 수 있다.

$$r(n) = (a_n + jb_n) \times e^{-j\theta} + \eta(n) \tag{4}$$

여기서 a_n, b_n 은 각각 I 채널, Q 채널의 데이터열 ($\in \{1, -1\}$)이고, $e^{-j\theta}$ 는 채널상에서 부가된 잡음이고, $\eta(n)$ 은 가우시안 잡음이다. 채널상에서 부가된 잡음을 제거하기 위하여 LPF에서 출력되는 보정된 위상 잡음 신호를 Normalize하고 conjugate하여, 그 신호 $e^{j\theta}$ 를 곱하면 식 (5)와 같다.

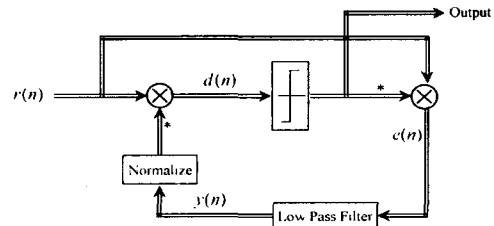


그림 5. DD-CPR의 구조
Fig. 5. DD-CPR structure.

$$d(n) = \{(a_n + jb_n) \times e^{-j\theta} + \eta(n)\} \times e^{j\hat{\theta}} \quad (5)$$

식 (5)의 신호를 decision이 항상 정확하다고 가정하면, $e(n)$ 은 식 (6)과 같다.

$$e(n) = \{(a_n + jb_n) \times e^{-j\theta} + \eta(n)\} \times (a_n - jb_n) \quad (6)$$

E_b/N_0 를 높게 주면 가우시안 잡음은 거의 무시할 수 있으므로, 해석을 용이하게 할 수 있다. 그러므로 용이한 해석을 위해서 $\eta(n)$ 을 무시하면, 식 (6)은 아래의 식 (7)과 같이 나타낼 수 있다.

$$e(n) = \sqrt{(a_n^2 + jb_n^2)} \times e^{-j\theta} \quad (7)$$

식 (7)에서 얻은 잡음 신호의 진폭을 무시하고 AR(Auto-Regressive) LPF에 입력하면 식 (8)을 만족한다.

$$y(n) = \beta \times y(n-1) + (1-\beta) \times e^{-j\theta} \quad (8)$$

여기서 β 는 LPF의 파라미터이고 1보다 작은 값을 가진다. 식 (8)을 전개하면 아래와 같이 일반화 시킬 수 있다.

$$\begin{aligned} y(1) &= \beta \times y(0) + (1-\beta)e^{-j\theta} \\ y(2) &= \beta \times y(1) + (1-\beta)e^{-j\theta} \\ &= \beta^2 \times y(0) + \beta(1-\beta)e^{-j\theta} + (1-\beta)e^{-j\theta} \\ &\quad \vdots \\ y(k) &= \beta \times y(k-1) + (1-\beta)e^{-j\theta} \\ &= \beta^k \times y(0) + \beta^{k-1}(1-\beta)e^{-j\theta} \\ &\quad + \beta^{k-2}(1-\beta)e^{-j\theta} + \dots + (1-\beta)e^{-j\theta} \\ &= (1-\beta)e^{-j\theta} \times \frac{1-\beta^k}{1-\beta} \\ &= e^{-j\theta}(1-\beta^k) \end{aligned} \quad (9)$$

식 (9)가 정상 상태에 도달하면 결과적으로 식 (10)과 같이 표현할 수 있고, 정확히 위상 에러를 포착함을 알 수 있다.

$$y(n) = e^{-j\theta} \quad (10)$$

2-3 시뮬레이션 결과

각각의 모듈들을 분석한 QPSK 변복조기를 컴퓨터 시뮬레이션하여 그 성능을 분석하였다. 그림 6은 필터를 통과한 신호에 1심플당 4 sample의 반송파가 곱해진 변조된 신호이다.

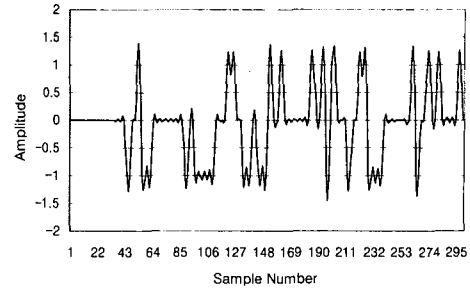


그림 6. 필터링된 채널 신호
Fig. 6. Filtered channel signal.

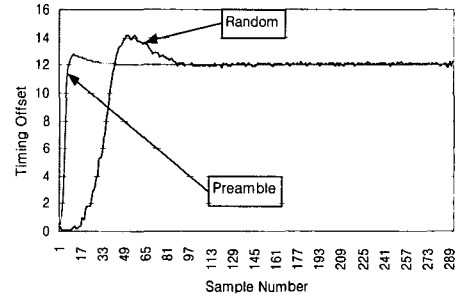


그림 7. STR의 포착 및 추적 성능
Fig. 7. Acquisition and tracking performance of STR.

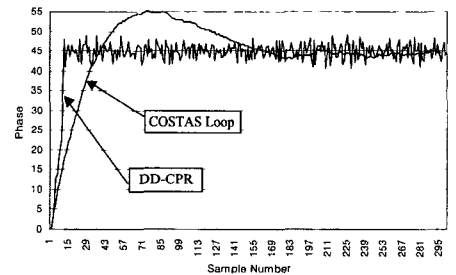


그림 8. LPF의 위상 출력
Fig. 8. Phase output of LPF.

그림 7은 STR의 성능을 분석하기 위한 시뮬레이션 결과이다. 임의로 12개의 샘플치 오차를 부여하여 그 결과를 검토하였다. 그림에서 알 수 있듯이 샘플치 오차를 정확하게 포착하고 추적함을 알 수 있다.

그림 8은 DD 동기화기의 LPF의 위상 출력이다. 임의로 45°의 위상 오차를 주었으므로 위상은 45°를 추적해야 한다. 그림에서 보면 COSTAS Loop을 이용한 CPR 방식보다 DD Loop을 이용한 CPR 방식이 위상 오차에 대한 포착 및 추적 시간이 빠름을 알 수 있다.

III. QPSK 복조기 CPLD 구현

QPSK 복조기는 크게 비트 동기를 포착하는 STR loop와 반송과 동기를 포착하는 CPR loop로 구성된다. STR loop는 Interpolator와 Gardner, 그리고 Loop Filter로 구성되고, CPR loop는 DD 동기화기를 사용하여 구현하였다. 또 디지털 모델 구현시 가장 중요한 모듈인 Multiplier도 구현하였다^{[4],[5]}.

3-1 Interpolator

Interpolator는 샘플링 rate를 증가시켜 Symbol timing error를 작게 하기 위하여 사용한다. Interpolator의 구조를 그림 9에 나타내었다.

8비트로 샘플링 된 입력 신호와 Loop Filter 결과에 의해 결정된 4개의 Interpolator 계수와의 곱으로 출력된 4개의 Multiplier 결과 신호들을 3개의 CSA (Carry Save Adder)를 이용하여 출력한다. Interpolator의 출력은 Gardner의 입력 신호일 뿐만 아니라, CPR의 입력 신호로도 동작하므로 16비트의 신호를 상위 2비트, 하위 6비트를 제거하여 8비트 신호로 출력해야 한다.

3-2 Gardner 알고리즘

Gardner 알고리즘은 타이밍 검출기내의 hard limiter를 통과한 샘플값의 신호를 이용하여 타이밍 에러를 검출하는 방식이다. 그림 10에 Gardner를 나타내었다.

Gardner 구조는 D flip-flop을 이용하여 입력 신호 D0와 지연된 신호 D1, D2를 얻은 다음에, D0와 D2 신호를 경판정 하고, D2의 보수와 D0를 더하여 그 결과치를 D1과 곱하여 error 정보를 추출하는 구조로 이루어져 있다. 하지만 이러한 구조는 하드웨어

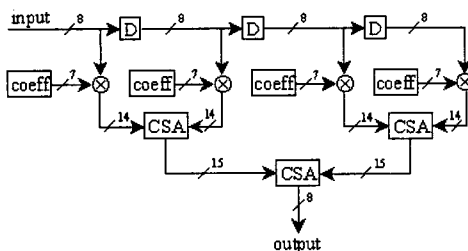


그림 9. Interpolator 구조
Fig. 9. Interpolator structure.

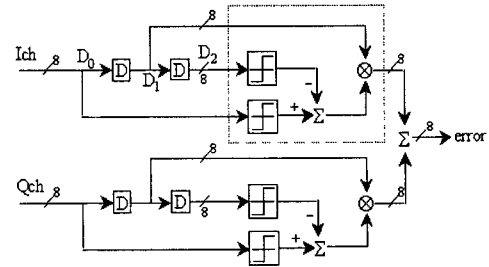


그림 10. DD-Gardner 구조
Fig. 10. DD-Gardner structure.

표 1. 논리 회로의 진리값
Table 1. Truth value of logic circuit.

D2	D0	출력
양수	양수	"00000000"
양수	음수	D1의 보수
음수	양수	D1
음수	음수	"00000000"

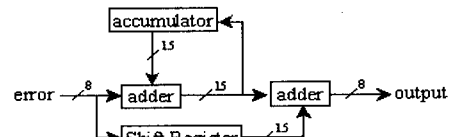


그림 11. Loop filter 구조
Fig. 11. Loop filter structure.

구현시 아주 복잡하고, 많은 처리 시간을 요구하기 때문에 D0와 D2신호의 부호 비트를 이용하여 간단한 논리 회로로 구현하였다. 이 결과를 표 1에 나타내었다. 표 1에서의 출력값을 더해서 나온 9비트의 error 신호를 최하위 1비트를 제거하여 8비트 신호로 만들어서 최종 출력을 한다.

3-3 Loop Filter

DD-Gardner에서 출력된 error의 값을 입력 신호로 하는 Loop Filter의 구조를 그림 11에 나타내었다. 입력 신호 error에 누적기에서 누적된 신호를 더한 신호와 현재에 입력되는 신호에 이득을 부여하기 위하여 8비트 error의 값을 좌측으로 7비트 천이한 신호를 더하여 15비트로 출력한다. Interpolator 계수를 결정하는 처리 시간을 줄이기 위해서 하위 7비트를 제거하여 8비트 신호로 최종적으로 출력한다.

3-4 DD-CPR

STR Loop를 거쳐서 샘플링 된 8비트 디지털 신호를 입력으로 하는 CPR Loop의 구조는 그림 12와 같다. 입력되는 I, Q 채널 신호와 이전에 출력된 LPF 신호를 곱하여 14비트의 값을 얻고, 이 값들을 더하여 15비트의 논리 회로의 입력을 도출한다. 논리 회로는 크게 경판정 부분과 Multiplier부분으로 구성된다. 하지만 실제로 구현을 할 때에는 Multiplier는 사용하지 않는다. 입력된 신호를 부호 비트만으로 경판정하여 1 또는 -1인 2비트의 신호를 얻을 수 있다. 2비트의 신호와 입력되는 8비트의 신호와 곱은 8비트의 신호를 1일 경우에는 그대로 출력하고, -1일 경우에는 보수를 취하여 출력함으로써 최종 8비트의 값을 얻을 수 있다. tmp1과 tmp2는 I채널의 값을, tmp3와 tmp4는 Q채널의 값을 각각 출력한다. tmp1과 tmp2를 더하여 I채널의 LPF 입력을 얻고, tmp3와 tmp4를 더하여 Q채널의 LPF 입력을 얻는다.

LPF의 구조를 그림 13에 나타내었다. 입력 신호와 누적기에서 입력되는 신호와의 합을 구하여 8비트의 신호를 얻고, 이를 하위 1비트를 제거하여 7비트의 값을 최종적으로 출력한다. 출력된 값은 다시 Multiplier의 입력 신호로 동작한다.

3-5 Multiplier 구현

Multiplier는 디지털 모뎀을 구현할 때 가장 중요한 모듈이다. STR을 구현할 경우에는 interpolator에서 사용되고, CPR을 구현할 때에도 빈번히 사용되

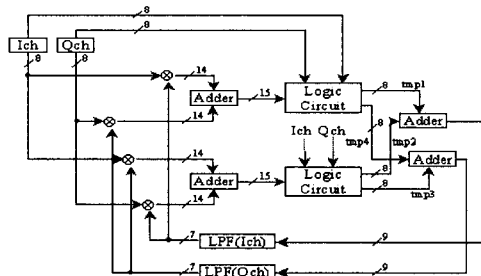


그림 12. DD CPR 구조
Fig. 12. DD CPR structure.

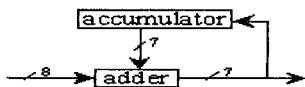


그림 13. LPF 구조
Fig. 13. LPF structure.

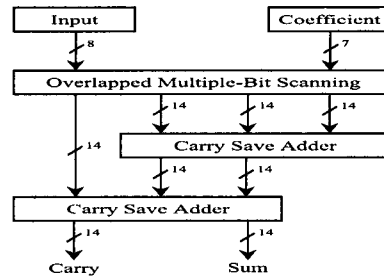


그림 14. Multiplier 구조
Fig. 14. Multiply structure.

표 2. 중첩된 다중비트 스캐닝
Table 2. Overlapped Multiple-Bit Scanning.

Multiplier Bits			Multiplicand Multiples to be Added
X_{i+1}	X_i	X_{i-1}	
0	0	0	Zero
0	0	1	+A
0	1	0	+A
0	1	1	+2A
1	0	0	-2A
1	0	1	-A
1	1	0	-A
1	1	1	Zero

는 블록이다. 그리고 multiplier의 처리 속도는 전체 전송 속도에도 큰 영향을 준다. 그림 14는 multiplier의 구조를 나타내었다.

그림 14에서 보는 바와 같이 multiplier는 overlapped multiple-bit scanning을 이용한 carry save adder로 구성되어진다. Overlapped multiple-bit scanning은 표 2에 나타내었다.

입력되는 8비트의 신호는 피승수로서 A이고, 7비트의 신호는 승수로서 X이다. 먼저 승수 X를 3비트씩, 1비트가 겹쳐지게 묶으면 각각의 경우의 수에 만족하는 4개의 결과를 얻을 수 있다. 먼저 3개의 결과를 첫번째 carry save adder에 입력하여 sum과 carry를 구하고, 구해진 sum과 carry, 그리고 남은 하나의 결과를 두 번째 carry save adder에 입력하여 sum과 carry를 구하게 된다. 그런 다음 carry 부분을 왼쪽으로 1비트 천이시킨 후에 sum과 carry를 더해지게 되면 최종적으로 14비트의 출력을 얻을 수 있다.

IV. 구현 결과

QPSK 복조기의 VHDL code는 Altra사의 Design

호이다. 신호의 결과치는 2비트로 표현되므로 십진 수 3은 이진수 "11"로서 -1을 나타내므로, I채널과 Q채널의 입력값이 동시에 1, 0, 1, 0이므로 정확히 복조됨을 알 수 있다. STR과 CPR을 연동한 회로는 192.8 ns내에서 동작한다. 클럭을 4분주하여 사용하였으므로, FLEX10K100 GC503-4 칩에 합성한 회로는 한 채널 당 1.30 Mbps의 처리 속도를 가진다.

V. 결 론

본 논문에서는 무선 멀티미디어 통신을 위한 고속 무선전송 시스템에 적용될 수 있는 Zero-Crossing IF-level QPSK 복조기에 대해서, 복조기에 소요되는 알고리즘들을 고찰하고 이를 구현하기 위한 H/W 구조에 대해서 분석하였다. Zero-Crossing IF-level QPSK 복조기를 구현하기 위해서, 비트 동기를 포착하는 심볼 동기부와 반송파 동기를 포착하는 반송파 동기부가 구현되어야 하는데, 심볼 동기부로는 Gardner 알고리즘을, 반송파 동기부로는 빠른 반송파 포착을 위한 Decision-Directed 동기화 알고리즘을 적용하여 설계, 구현하였다.

이러한 알고리즘들을 적용하여 FPGA 칩으로 구현한 결과, EPF10K100GC503-4 칩에 합성한 복조기는 총 100,000 게이트 중에 87%를 사용하였고, 복조

기의 경우는 2.6 Mbps 처리 속도를 가진다. ASIC으로 구현 시에는 ASIC과 CPLD의 구조로 인해 CPLD 속도의 5~6배 이상의 고속화가 가능하며, 변복조기는 10 Mbps급을 요하는 무선통신시스템에 적용될 수 있을 것으로 사료된다.

참 고 문 헌

- [1] 유문희, 이수인, 박세경, 김재명, "IMT-2000 위성 부문 표준화 동향", 한국통신학회지, 15(11), 1998년 11월.
- [2] K. Skahill, *VHDL for Programmable Logic*, Addison-Wesley Publishing, 1996.
- [3] D. L. Perry, *Very High-Speed Hardware Description Language*, McGraw-Hill, Inc. 1995.
- [4] F. M. Gardner, "A BPSK/QPSK Timing-Error Detector for Sampled Receivers", *IEEE Trans. On Comm.*, vol. 34. no. 5, pp. 423-429, May 1986.
- [5] M. P. Fitz, "Decision-Directed Burst-Mode C-carrier Synchronization Techniques", *IEEE Trans. On Comm.*, vol. 40, no. 10, Nov. 1992.
- [6] M. P. Fitz, "Planar Filtered Techniques for Burst Mode Carrier", *Proc. of GLOBECOM'91*, pp. 365-369, 1991.

정 지 원



1989년 2월: 성균관대학교 전자공학과 (공학사)
 1991년 2월: 성균관대학교 전자공학과 (공학석사)
 1995년 2월: 성균관대학교 전자공학과 (공학박사)
 1991년 1월~1992년 2월: LG 정보

통신연구소 연구원

1995년 9월~1996년 8월: 한국통신 위성통신연구실 선임 연구원

1997년 3월~1998년 12월: 한국전자통신연구원 초빙 연구원

1996년 9월~현재: 한국해양대학교 전파공학과 부교수

2001년 8월~2002년 8월: 캐나다 NSERC Fellowship(Communication Research Center 근무)

[주 관심분야] 위성통신, 이동통신, 변.복조기술, 채널코딩, FPGA 기술 등