

## 플립칩 패키지내 Sn-3.5Ag 솔더범프의 electromigration

이서원 · 오태성

홍익대학교 공과대학 신소재공학과

### Electromigration of Sn-3.5 Solder Bumps in Flip Chip Package

Seo-Won Lee and Tae-Sung Oh

Department of Materials Science and Engineering, Hongik University,  
72-1 Sangsu-dong, Mapo-gu, Seoul 121-791, Korea

**초 록:** 상부 칩과 하부 기판이 모두 Si로 구성되어 있는 플립칩 패키지 시편을 제조하여 Sn-3.5Ag 솔더범프의 electromigration 거동을 분석하였다. Sn-3.5Ag 솔더범프의 electromigration 테스트 초기부터 파단이 일어나기 직전까지는 플립칩 시편의 저항이 거의 변하지 않았으나, 파단이 발생하는 순간 저항값이 크게 증가하였다. 전류밀도  $3 \times 10^4 \sim 4 \times 10^4$  A/cm<sup>2</sup>에서 Sn-3.5Ag 솔더범프의 electromigration에 대한 활성화 에너지는 ~0.7 eV로 분석되었다. Sn-3.5Ag 솔더범프의 cathode 부위의 솔더/UBM 계면에서 void의 형성 및 전파에 의해 솔더범프의 파단이 발생하였다.

**Abstract:** Electromigration of Sn-3.5Ag solder bump was investigated using flip chip specimens which consisted of upper Si chip and lower Si substrate. While the resistance of the flip chip sample did not almost change until the time right before the failure, the resistivity increased abruptly at the moment when complete failure of the solder joint occurred in the flip chip sample. At current densities of  $3 \times 10^4 \sim 4 \times 10^4$  A/cm<sup>2</sup>, the activation energy for electromigration of the Sn-3.5Ag solder bump was characterized as ~0.7 eV. Failure of the Sn-3.5Ag solder bump occurred at the solder/UBM interface due to the formation and propagation of voids at cathode side of the solder bump.

**Keywords:** Flip chip, Electromigration, Sn-3.5Ag solder, Electronic packaging

### 1. 서 론

최근 휴대전화를 중심으로 consumer 제품의 경량화, 슬림화, 고기능화가 급속히 진행됨에 따라, bare IC 칩을 플라스틱 ball grid array (PBGA) 기판, FR4 인쇄회로기판이나 플렉시블 칩 캐리어 등의 organic 기판에 직접 실장하는 저가형 플립칩 패키지 (low cost flip chip package) 기술의 적용이 급격히 증가하고 있다.<sup>1-3)</sup> 플립칩 기술은 기존의 반도체 패키지에 비해 크기를 현저히 감소시킬 수 있으며 입출력 단자수를 크게 증가시킬 수 있고, 솔더범프를 이용하기 때문에 와이어 본딩을 적용한 패키지보다 lead의 길이가 짧아 기생 인덕턴스를

감소시킬 수 있는 장점이 있다.<sup>4-7)</sup> 인쇄회로기판에 bare IC 칩을 직접 실장하는 플립칩 패키지의 예로는 personal computer memory card international association (PCMCIA) cards, Token Ring local area network (LAN) adapter cards와 시계 모듈 등이 있다.<sup>2)</sup>

현재 플립칩 패키지에 주로 사용되고 있는 솔더범프의 크기는 125  $\mu\text{m}$ 이며, 향후 입출력 단자수가 더욱 증가함에 따라 이와 같은 솔더범프의 크기가 50  $\mu\text{m}$ 까지 감소할 것으로 예측되고 있다.<sup>8,9)</sup> 이와 같이 플립칩 패키지에서 솔더범프의 크기가 미세하기 때문에, 플립칩 패키지의 신뢰도가 솔더/UBM 계면반응특성, 솔더 electromigration 특성 및

Si 칩과 organic 기판 사이의 열팽창계수의 차이에 의한 열피로 특성 등에 의존하게 된다.<sup>8)</sup>

Electromigration은 금속도선내의 수많은 전자들이 전계에 의해 가속되어 일정 방향으로 이동하며 금속원자들에 충돌하여 발생하는 운동량 교환에 의해 금속원자들이 전자의 이동방향과 같은 방향으로 움직이는 확산현상이다.<sup>10)</sup> 솔더범프는 Al이나 Cu 배선에 비해 단면적이 크기 때문에 전류밀도가 낮아 그동안 솔더범프에서의 electromigration은 커다란 주목을 받지 못하였다.<sup>8,11)</sup> 그러나 Al이나 Cu에 비해 솔더합금의 용융온도가 낮고 원자 확산도가 빠르기 때문에, 상온 부근에서도 솔더합금의 electromigration이 발생할 수 있다.<sup>8)</sup> 또한 금속배선-솔더범프의 형상에 기인하여 전류가 금속배선에서 솔더범프로 들어갈 때 전류밀도의 큰 변화에 의한 current crowding이 발생하여 솔더합금의 electromigration이 가속화되기 때문에 플립칩 패키지의 신뢰도가 크게 저하될 수 있을 것으로 보고되고 있다.<sup>8,11)</sup>

이제까지 63Sn-37Pb 공정솔더 (eutectic solder)가 전자 패키지에 주로 사용되고 있었으나, Pb의 환경유해성으로 인해 향후 전 세계적으로 전자 패키지에 Pb를 함유하지 않은 무연솔더를 사용하려고 있다.<sup>12-16)</sup> 현재까지 개발된 무연솔더중에서 가장 실용화 가능성이 높은 솔더합금은 Sn-3.5Ag, Sn-0.7Cu 및 Sn-Ag-Cu이다.<sup>15)</sup>

본 연구에서는 플립칩 패키지내 Sn-3.5Ag 솔더

범프의 electromigration 거동을 분석하였다. Si 칩을 organic 기판에 본딩한 실제 플립칩 패키지에서는 솔더범프의 electromigration에 current stressing 뿐만 아니라 Si 칩과 organic 기판 사이의 열팽창계수의 차이에 기인한 열응력이 영향을 미친다.<sup>9)</sup> 본 연구에서는 current stressing이 솔더 electromigration에 미치는 영향을 열응력의 영향으로부터 분리하여 분석이 가능하도록 상부 칩과 하부 기판이 모두 Si으로 구성된 플립칩 패키지 시편을 제조하였다. 이 시편에 125~175°C의 온도범위에서  $3 \times 10^4 \sim 7 \times 10^4$  A/cm<sup>2</sup>의 전류밀도를 가하여 주면서, 솔더 접합부의 단락(open)이 발생하여 회로 저항이 급격히 증가할 때까지의 시간을 측정하여 electromigration에 의한 솔더범프의 평균수명시간 (Mean Time to Failure: MTF)을 분석하였다.

## 2. 실험방법

솔더범프의 electromigration 특성을 분석하기 위하여 Fig. 1에 도식적으로 나타낸 방법으로 플립칩 패키지 시편을 제조하였다. 우선 테스트용 칩을 제조하기 위해 표면을 산화처리하여 1000Å 두께의 SiO<sub>2</sub>를 형성한 실리콘 웨이퍼 표면에 Ti와 Cu를 각각 1000Å 및 3000Å 두께로 순차적으로 스퍼터 증착한 후, 사진식각공정을 이용하여 원하는 UBM 및 회로배선 패턴을 형성하였다. 이와 같이 형성한 1000Å Ti/3000Å Cu UBM 및 회로배선 패

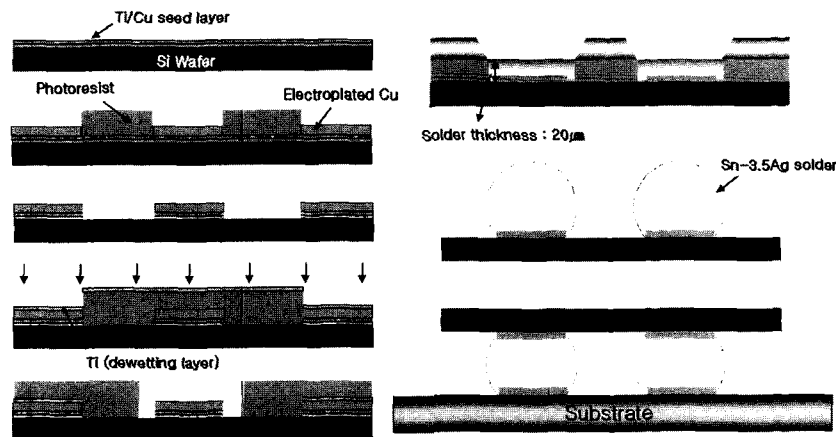


Fig. 1. Flow chart for fabrication process of flip chip sample.

턴에 Cu를 10 μm 두께로 전해도금하여 솔더본딩용 Ti/Cu UBM과 회로배선을 형성하였다. 솔더범프를 리플로우시 Cu UBM에서만 솔더범프가 ball-up 되며 Cu 회로배선으로 솔더합금이 젖어 들어가는 것을 방지하기 위하여 Cu 회로배선 위에 dewetting 층으로서 1000Å Ti을 스퍼터링 하였다. 이때 UBM은 photoresist를 사용하여 덮어놓음으로써 UBM에 Ti dewetting layer가 형성되는 것을 방지하였다.

Ti/Cu UBM에 솔더범프 형성용 솔더합금을 증착하기 위한 photoresist 패턴을 형성하였다. 각 UBM에 균일한 크기의 솔더범프를 형성하기 위해서는 각 UBM에 증착되는 솔더합금의 양이 일정하게 조절되어야 하며, 이를 위해 photoresist 패턴은 overhang 구조로 형성하였다. Overhang 구조의 photoresist 패턴 내에 Sn-3.5Ag 솔더합금을 진공증착하고 photoresist를 제거한 후, 시편에 지용성 RMA 로진계 플럭스를 도포하고 hot plate 위에서 250°C의 온도로 1분간 리플로우하여 100 μm 크기의 솔더범프를 형성하였다.

플립칩 시편용 기판은 칩 제조공정과 동일한 방법을 사용하여 제조하였으며, 솔더범프를 형성한 Si 칩을 Si 기판에 플립칩 본딩을 이용하여 본딩하였다. 플립칩 본딩시 기판에도 계면 활성화를 위하여 RMA 로진계 플럭스를 도포하였으며, 칩과 기판을 서로 배열한 후 250°C에서 플립칩 본딩을 실시하였다. 이와 같은 방법으로 제조한 플립칩 시편의 모식도를 Fig. 2에 나타내었다.

솔더범프 electromigration 분석을 위해, 플립칩 시편을 드라이 오븐 내에 넣고 각기 125°C, 140°C, 160°C 및 175°C의 온도에서 기판에 형성한 패드에 전류를 가하여 솔더범프에 흐르는 전류밀도가  $3 \times 10^4$  A/cm<sup>2</sup>,  $4 \times 10^4$  A/cm<sup>2</sup> 및  $7 \times 10^4$  A/cm<sup>2</sup>가 되도록 하였다. 이때 전류밀도는 인가전류를 솔더범프의 단면적으로 나누어 구한 값이 아니라,

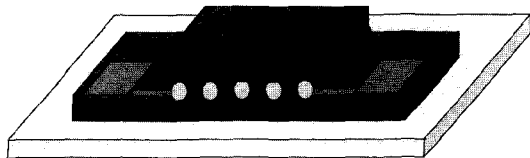


Fig. 2. Schematic illustration of the flip chip sample for electromigration test.

UBM opening의 단면적으로 나누어 구한 값이다. Counter를 이용하여 플립칩 시편에 일정 전류를 가하면서 시간에 따른 포텐셜의 변화를 측정하여 이를 플립칩 시편의 저항 변화로 환산하였다. 솔더 접합부의 단락이 발생하여 포텐셜이 급격히 증가할 때까지의 시간, 즉 플립칩 시편의 저항이 급격히 증가할 때까지의 시간을 측정하여 솔더범프의 평균수명시간 (MTTF)을 분석하였다.

솔더범프 electromigration 테스트 후 플립칩 시편의 솔더범프의 미세구조를 관찰하였다. 이를 위해 플립칩 시편에 underfill 처리를 하고 Fig. 3과 같이 솔더범프의 단면이 나오도록 플립칩 시편을 절단한 후 연마하였다. 솔더범프의 미세구조는 주사 전자현미경 (SEM)의 BEI (Backscattered Electron Image) 모드로 관찰하였으며, EDS (Energy Dispersive Spectroscopy)를 이용하여 조성을 분석하였다.

### 3. 실험결과 및 고찰

Fig. 4에 상부 Si 칩과 하부 Si 기판으로 구성되어 있는 플립칩 시편의 SEM 사진을 나타내었다. Fig. 4(a)와 같이 Si 칩과 Si 기판 사이의 솔더범프들이 균일한 크기와 균일한 피치로 형성되어 있음을 확인할 수 있었다. 이와 같은 솔더범프에서는 Fig. 4(b)와 같이 Cu UBM과 솔더 사이의 계면에서 Cu<sub>6</sub>Sn<sub>5</sub> 금속간 화합물이 성장한 것을 관찰할 수 있었다. 이때 기판 부위에 비해 칩 부분에서 금속간 화합물이 더욱 성장한 것은 기판 부위에서는 플립칩 본딩할 때 한번만 리플로우가 되나, 칩 부

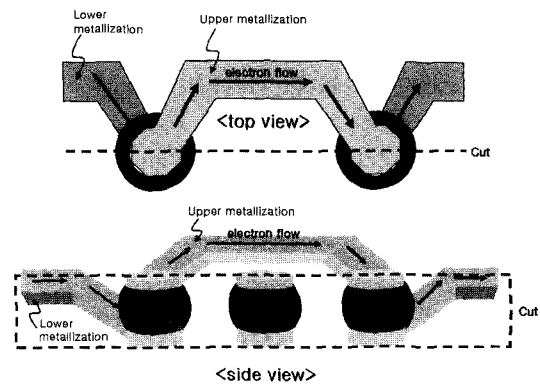


Fig. 3. Schematic illustration showing the method to make cross-section of the solder bumps for SEM observation

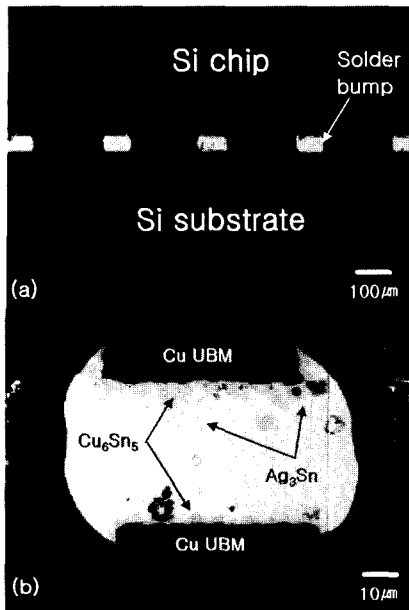


Fig. 4. SEM micrographs of the flip chip sample showing (a) array of the solder bumps and (b) microstructure of the solder bumps.

분에서는 솔더범프를 형성할 때와 플립칩 본딩을 할 때 두 번의 리플로우가 발생하여 솔더/UBM 반응이 기판 부위에 비해 더욱 심하게 일어났기 때문이다. Fig. 4(b)에서 솔더범프 내에 형성되어 있는 침상 형상의  $Ag_3Sn$  금속간 화합물을 관찰할 수 있다. 플립칩 시편의 솔더범프에 대한 EDS 분석 결과, 솔더범프의 조성이 96.51 wt% Sn, 3.49 wt% Ag로 밝혀져 원하는 Sn-3.5Ag 공정솔더와 일치하는 것을 확인하였다.

Fig. 5에 140°C, 160°C 및 175°C에서  $3 \times 10^4$  A/cm<sup>2</sup>의 전류밀도로 electromigration 테스트시 시간에 따른 포텐셜의 변화를 나타내었다. 140°C, 160°C 및 175°C에서 테스트시 각기 254.1 시간, 34.7 시간 및 48.9 시간에 파단이 발생하여 온도 증가에 따라 평균수명시간이 급격히 감소함을 알 수 있다. Fig. 5에서 테스트 초기부터 파단이 일어나기 직전까지는 플립칩 시편의 포텐셜이 거의 변하지 않았으나, 파단이 발생하는 순간 포텐셜이 크게 증가하였다. 150°C의 온도에서  $8 \times 10^3$  A/cm<sup>2</sup>의 전류밀도로 electromigration 테스트한 SnPb 솔더범프에서도 시간에 따른 포텐셜의 변화가 Fig. 5와 동일한 거동을 나타내었다.<sup>11)</sup> Yeh 등은 electromi-

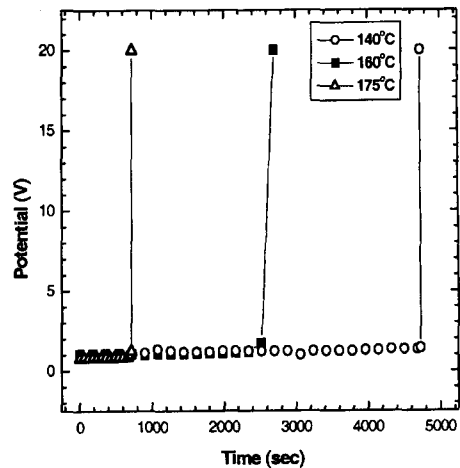


Fig. 5. Time vs. Potential curve during the electromigration test at  $3 \times 10^4$  A/cm<sup>2</sup>.

gration 각 단계에서 솔더범프의 미세구조를 관찰한 결과, electromigration 테스트가 진행됨에 따라 파단이 발생하기 직전까지는 저항값의 변화는 없으나 이때에도 솔더범프의 cathode 부위에서 void가 형성되어 전파된다는 것을 보고하였다.<sup>11)</sup> Fig. 5에 있는 시간에 따른 플립칩 시편의 포텐셜의 변화로부터 플립칩 패키지내 솔더범프의 electromigration에 의한 제품의 파손이 급작스럽게 발생하기 때문에, 솔더 electromigration이 제품의 신뢰도 면에서 더욱 심각한 문제가 될 수 있다는 것을 알 수 있다.

Fig. 6에 125°C, 140°C, 160°C 및 175°C에서 electromigration 테스트시 전류밀도에 따른 평균수명시간 (MTTF)<sup>10,17)</sup>의 변화를 나타내었다. 측정온도가 증가할수록, 전류밀도가 증가할수록 electromigration에 의한 솔더범프의 평균수명시간이 감소함을 알 수 있다.

Electromigration에 의한 평균수명시간 MTTF는 식 1에 나타낸 Black equation을 사용하여 온도 T와 전류밀도 j의 함수로 나타낼 수 있다.<sup>9)</sup> Black equation에서 A는 상수, Ea는 electromigration에 대한 활성화 에너지, k는 Boltzmann 상수이다.

$$MTTF = A \cdot j^{-n} \cdot \exp(E_a/kT) \quad (\text{eq. 1})$$

Sn-3.5Ag 솔더범프의 electromigration에 대한 활성화 에너지를 구하기 위하여 Fig. 6에 있는 결과

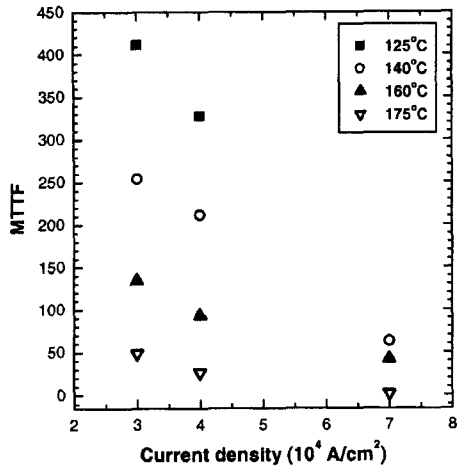


Fig. 6. MTTF vs. current density at various temperatures.

를 이용하여 각각의 전류밀도에서 평균과괴시간을 온도의 함수로 Arrhenius plot 하였으며, 이를 Fig. 7에 나타내었다. 이와 같은  $\ln$  MTTF -  $1/kT$  그래프의 기울기로부터 각 전류밀도에서 Sn-3.5Ag 솔더범프의 electromigration에 대한 활성화 에너지를 구하였는데, 전류밀도  $3 \times 10^4$  A/cm $^2$ 에서는 0.63 eV이었으며,  $4 \times 10^4$  A/cm $^2$ 에서는 0.75 eV이었다. 전류밀도가 증가함에 따라 Sn-3.5Ag 솔더범프의 활성화 에너지가 높아지는 것으로 나타나, 이는 실제로 전류밀도가 높아짐에 따라 활성화 에너지 자체가 높아지기 보다는 솔더범프에서 Joule

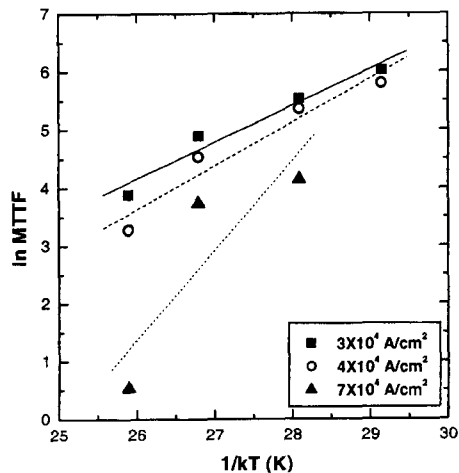


Fig. 7.  $\ln$  MTTF vs.  $1/kT$  curve.

가열에 의한 온도 증가의 효과가 전류밀도가 높을수록 더욱 현저하기 때문인 것으로 판단된다. 전류밀도  $7 \times 10^4$  A/cm $^2$ 의 경우, 175°C에서 측정된 평균수명시간이 140°C와 160°C에서 측정된 평균수명시간으로부터 외삽하여 예측할 수 있는 값에 비해 매우 크게 저하하였으며, 이는  $7 \times 10^4$  A/cm $^2$ 의 높은 전류밀도와 175°C의 높은 온도에서 전류의 흐름에 의한 Joule 가열에 의해 솔더범프 내에서 국부적인 용융이 발생하였기 때문으로 추정할 수 있다.

본 연구에서 측정된 Sn-3.5Ag 솔더범프의 활성화 에너지  $\sim 0.7$  eV와 비교하여, Si 칩을 FR4 기판에 플립칩 본딩한 시편의 SnPb 솔더범프의 electromigration에 대한 활성화 에너지는 0.8 eV로 보고되었다.<sup>9)</sup> 또한 Si 칩을 FR4 기판에 플립칩 본딩된 시편에서 측정된 SnAgCu 솔더범프의 활성화 에너지는 0.7 eV로 보고되고 있다.<sup>18)</sup>

140°C의 온도에서  $3 \times 10^4$  A/cm $^2$ 의 전류밀도로 254.1 시간의 electromigration 테스트에 의해 파단이 발생한 솔더범프의 미세구조를 Fig. 8에 나타내었다. 이 솔더범프에서는 electromigration 시험시 전자들이 칩의 회로배선으로부터 솔더범프의 상부 UBM을 통해 솔더범프로 들어가 하부 UBM을 통해 기판의 회로배선으로 빠져나간다. Electromigration 거동은 electrostatic force보다 electron wind force가 더 지배적이므로 전계에 의해 영향을 받은 수많은 전자들이 금속 양이온에 충돌하여 그들의 운동량을 금속원자에 전달하여 금속원자를 유극

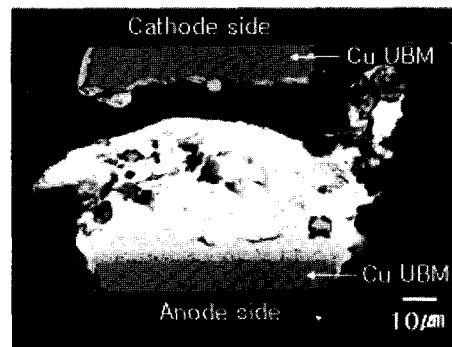


Fig. 8. SEM micrograph showing the solder bump failure that occurred at the solder/UBM interface on the cathode side with current stressing of  $3 \times 10^4$  A/cm $^2$  at 140°C.

에서 양극으로 이동시키는 것이다.<sup>10)</sup> 따라서, 솔더 범프의 electromigration에 의해 cathode 부위에 있는 원자들이 anode 부위로 이동함에 따라 anode에서는 hillock이 형성되며, cathode에서는 void가 형성되어 전파됨에 따라 솔더 접합부의 파단이 발생하게 된다.<sup>8)</sup> Fig. 8에 나타낸 솔더범프에서도 상부 cathode로부터 하부 anode로 전자 이동에 따른 electron wind force에 의해 원자들이 cathode에서 anode로 이동하며, flux divergence가 발생하는 cathode 부위의 솔더/UBM 계면에서 void의 형성 및 전파에 의해 솔더범프의 파단이 발생하였다.

#### 4. 결 론

(1) 상부 칩과 하부 기판이 모두 Si으로 구성되어 있으며, 100  $\mu\text{m}$  크기의 균일한 솔더범프들이 균일한 피치로 형성되어 있는 플립칩 패키지 시편을 제조하여, 플립칩 패키지내 Sn-3.5Ag 솔더범프의 electromigration 거동을 분석하였다.

(2) Sn-3.5Ag 솔더범프의 electromigration 시험시, 테스트 초기부터 파단이 일어나기 직전까지는 플립칩 시편의 저항값이 거의 변하지 않았으나, 파단이 발생하는 순간 저항값이 크게 증가하였다. 이와 같은 시간에 따른 저항값 변화로부터 솔더범프의 electromigration에 의한 제품의 파손이 급작스럽게 발생하기 때문에, 솔더 electromigration이 신뢰도 면에서 더욱 심각한 문제가 된다고 판단할 수 있다.

(3) 전류밀도  $3 \times 10^4 \sim 4 \times 10^4 \text{ A/cm}^2$ 에서 Sn-3.5Ag 솔더범프의 electromigration에 대한 활성화 에너지는  $\sim 0.7 \text{ eV}$ 로 분석되었다. 전류밀도가 증가함에 따라 Sn-3.5Ag 솔더범프의 활성화 에너지가 높아지는 것으로 나타나나, 이는 실제로 활성화 에너지 자체가 높아지기 보다는 솔더범프에서 Joule 가열에 의한 온도 증가의 효과가 전류밀도가 높을수록 더욱 현저하기 때문인 것으로 판단된다.

(4) Sn-3.5Ag 솔더범프의 cathode로부터 anode로 전자 이동에 따른 electron wind force에 의해 원자들이 cathode에서 anode로 이동하며, flux divergence가 발생하는 cathode 부위의 솔더/UBM 계면에서 void의 형성 및 전파에 의해 솔더범프의 파단이 발생하였다.

#### 감사의 글

본 연구는 한국과학재단의 ERC인 전자패키지 재료연구센터의 지원에 의해 이루어졌으며, 이에 감사드립니다.

#### 참고문헌

1. J. H. Lau, Low Cost Flip Chip Technologies, McGraw-Hill, New York, pp. 511(2000).
2. J. H. Lau, Low Cost Flip Chip Technologies, McGraw-Hill, New York, pp.183(2000).
3. "FCIP and Expanding Markets for Flip Chip," Tech-search International, Inc., Austin(1997).
4. K. N. Tu and K. Zeng, Mater. Sci. Eng. 34, 1(2001).
5. R. R. Tummala and E. J. Rymaszewski, Microelectronics Packaging Handbook, Von Nostrand Reinhold, New York, pp.391(1989).
6. C. Y. Liu, H. K. Kim, K. N. Tu and P. A. Totta., App. Phys. Lett., 69, 4041(1996).
7. J. W. Jang, P. G. Kim, K. N. Tu, D. R. Frear and P. Thompson, J. Appl. Phys. 85, 8456(1999).
8. K. N. Tu, A. M. Gusak and M. Li, J. Appl. Phys., 93, 1335(2003).
9. T. Y. Lee, K. N. Tu, S. M. Kuo and D. R. Frear, J. Appl. Phys., 89, 3189(2001).
10. K. N. Tu, J. W. Mayer and L. C. Feldman, Electronic Thin Film Science, Macillian Publishing Co., pp. 355 (1992).
11. E. C. C. Yeh, W. J. Choi and K. N. Tu, P. Elenius, and Haluk Balkan, Appl. Phys. Lett., 80, 580(2002).
12. K. Sukanuma, Solid State Mater. Sci., 5, 55(2001).
13. M. Abtew, G. Selvaduray, Mater. Sci. Eng., 27, 95 (2000).
14. J. W. Jang, D. R. Frear, T. Y. Lee and K. N. Tu, J. Appl. Phys., 88, 6359(2000).
15. S. K. Kang, D.Y. Shih, K. Fogel, P. Lauro, M. J. Yim, G. Advocate, M. Griffin, C. Goldsmith, D. W. Henderson, T. Gosselin, D. King, J. Konrad, A. Sarkhel, K. J. Putlitz, Proc. Electronic Components and Technol. Conf., pp. 448(2001).
16. E. Bradley III, J. Hranisavljevic, Proc. Electronic Components and Technol. Conf., pp. 1443(2000).
17. D. R. Frear, S. N. Burchett, H. S. Morgan and J. H. Lau, The Mechanics of Solder Alloy Interconnects, Van Nostrand Reinhold, New York, pp. 43(1994).
18. W. J. Choi, Ph. D. Thesis, University of California at Los Angeles(2002).