

초고속 소자를 위한 Junction Technology 연구

이준하* · 이흥주* · 문원하**

The Design of High-Speed Transistor Junction Technology

Jun Ha Lee*, Hoong Joo Lee*, and Won Ha Moon**

ABSTRACT

The current drive in an MOSFET is limited by the intrinsic channel resistance. All the other parasitic elements in a device structure play a significant role and degrade the device performance. These other resistances need to be less than 10%-20% of the channel resistance. To achieve the requirements, we should investigate a methodology of separation and quantification of those resistances. In this paper, we developed the extraction method of resistances using calibrated TCAD simulation. The resistance of the extension region is also partially determined by the formation of a surface accumulation region that forms under the gate in the tail region of the extension profile.

Key Words : High-Speed(고속), Performance(성능), Simulation(모의실험), Extraction(추출), Resistance(저항)

1. Introduction

이상적으로 MOSFET의 구동 전류는 채널 저항에 의해 제한 받지만, 현실적으로는 다른 저항성분들이 소자의 성능 저하를 결정하게 된다[1]. 이와 같은 기생저항 및 capacitance는 전류 구동력을 감소시키거나 node capacitance를 증가시키게 되어 결과적으로 CMOS delay에 영향을 주게 된다. Sub-90 nm급 소자의 off-current를 최소화하고 on-current를 유지하기 위해서 많은 연구들은 shallow junction과 heavily doped된 extension의 형성이 short-channel effect와 저항증가로 인한 소자 제작상의 문제점들을 해결할 수 있는 것으로 발표하고 있다[2~3].

본 연구에서는 이를 기초로 하여 고속/고성능 소자에 대한 저항적 측면에서의 분석과 성능향상을 위한 방향을 TCAD simulation을 통해 분석하였다. 제안된 방법이 high-speed 제품의 개발에 기여하는 측면은 공정 조건에 따라 parasitic 저항이 어떻게 변화하고 또한 parasitic 저항 중에서 각 영역이 가지는 sensitivity를 분석함으로써 공정 최적화의 방향과 이를 위한 공정 범위를 신속하고 효율적으로 추출할 수 있다는 것이다.

2. Methodology of Extraction

2.1. Calculation of Parasitic Resistance

MOSFET소자에서 고려하여야 할 5가지 저항성분과 전류흐름을 도식적으로 Fig. 1에 나타내었다[4]. Fig. 1에서는 source혹은 drain 부분의 한 방향만을 나타내었지만, source영역은 current가 감소하게 되면 gate의 구동능력도 저하되기에 특히 고려해야 할 부분으로 판단된다. 분리된 저항 성분중에서 ①~④번은 기생저항으로 각각 contact저항, shunt저항, extension저항 및 accumulation저항으로 분류할 수 있고, ⑤번은 intrinsic한 channel저항성분이다. 또한 도식적으로 나타낸 Fig. 1에서는 SALICIDE공정 의해 형성되는 Co-Silicide layer가 없는 상태를 나타내고 있지만 저항 추출방법은 silicide의 존재 유무와 무관하게 된다. 각 영역의 저항은 수식(1)을 이용하여[5], simulation후 추출되는 값인 전류와 quasi-fermi potential로부터 구하고자 Rsh(x)를 각 x-축의 node점에서 추출하게 된다.

$$I_{ds} = \int_0^{\infty} J(y) dy = \frac{d}{dx} \phi_n(x) \int_0^{\infty} qn(x, y) \mu(x, y) dy$$

$$= \frac{d}{dx} \phi_n(x) R_{sh}(x) \quad (1)$$

*상명대학교 컴퓨터시스템공학전공

**중앙대학교 전자전기공학부

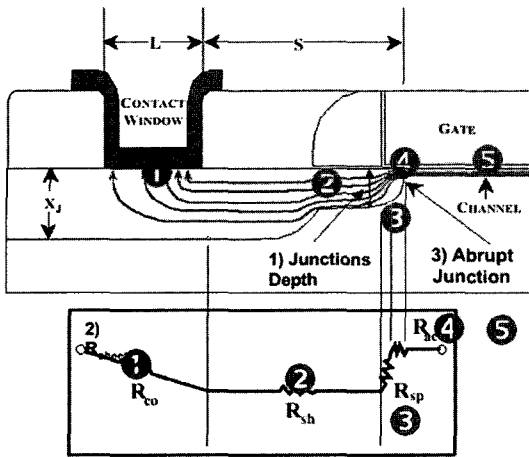


Fig. 1. The resistance part of the MOSFET

2.2. Process/Device Simulation

공정에 따른 각 영역의 실제적인 current와 quasi-fermi level을 추출하기 위해서는 process 및 device simulation이 실제 소자와 동일한 doping 분포와 mobility를 가지도록 calibration되어야 한다. 본 논문에서는 source/drain activation을 normal-RTA와 spike-RTA로 진행된 n/pMOS소자를 target으로 calibration된 simulation결과를 활용하였다[6]. Fig. 2는 Lgate vs. Vth에 대한 시뮬레이션 결과를 측정치와 비교하였으며, Fig. 3은 Idsat vs. Ioff co-relation에 대한 시뮬레이션 결과를 실측치와 비교한 것으로 TCAD simulation결과가 실제 소자의 전기적 특성을 정확히 대변하고 있음을 알 수 있다.

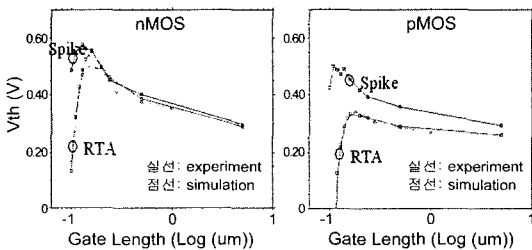


Fig. 2. The Lgate-Vth curve : Simulation and Experiment

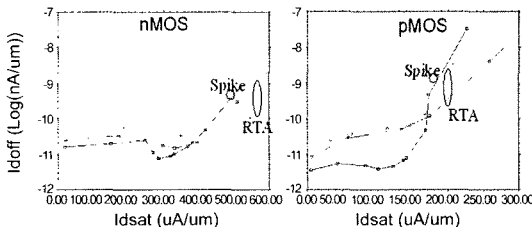


Fig. 3. The ioff-idsat curve : Simulation and Experiment

Fig. 2와 Fig. 3에서 실선은 실 제작된 소자로부터 측정된 실측치를 나타내고 점선은 calibration된 simulation으로 부터의 simulation치를 의미한다. n/pMOS에서 spike와 RTA가 적용된 경우 모두에서 simulation error 10%이내의 결과를 보이고 있으며, 단지 RTA로 진행된 소자의 short-channel 영역에서만 Idsat-Ioff curve상의 10%이상의 오차가 나타나고 있다.

3. Separation and Quantification of Resistance

TCAD simulation결과로부터 resistance추출 방법을 적용한 결과를 n/pMOS에 대해 고찰한다.

3.1. nMOS 적용 결과

Fig. 4는 nMOS 소자의 x-위치별 sheet-resistance를 추출한 결과이다. Spike-anneal된 공정 및 RTA-anneal된 공정의 경우에서 두 공정의 에 따라 sheet resist-

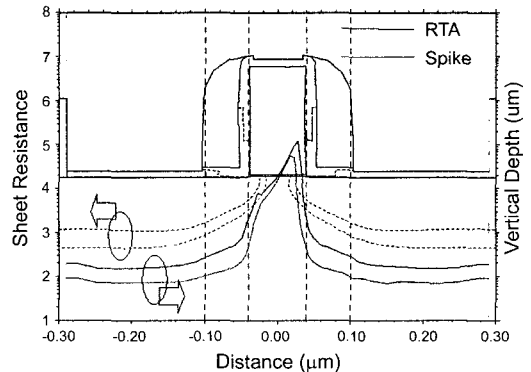


Fig. 4. Junction contour and sheet-resistance of nMOS

Table 1. Resistance component of RTA-annealed nMOS

nMOS RTA-anneal	비율(%)	저항치(ohm)
Total 저항	100	1041
Channel 저항	86	892
Parasitic 저항	14	149
Accumulation 저항	5	50

Table 2. Resistance component of Spike-annealed nMOS

nMOS RTA-anneal	비율(%)	저항치(ohm)
Total 저항	100	1847
Channel 저항	85	1574
Parasitic 저항	15	273
Accumulation 저항	5	71

ance 및 junction contour를 점선과 실선으로 각각 표시하였다.

Spike anneal된 경우가 일반 RTA의 경우의 junction depth 1000Å 대비 약 25% shallow한 750Å의 Xj를 나타내고 있다.

Table 1과 Table 2는 Fig. 4로부터 추출된 저항값을 table화 한 것으로 spike-anneal의 경우 junction depth가 shallow하고 activation이 완전히 되지 않아 전체 저항이 RTA-anneal된 경우보다 상당히 큰 것을 알 수 있다. 또한 두 경우 모두 parasitic 저항은 전체 저항대비 15%수준이며, channel저항대비로 계산한다면 17%수준임을 알 수 있으며 이 값은 ITRS기준값[7]과 유사한 범위이다.

3.2. pMOS 적용 결과

Fig. 5는 normal-RTA를 적용한 pMOS에 대한 doping contour와 sheet-resistance를 나타낸 그림이다. 실선으로 표시된 각 contour들은 등농도를 나타내는 선으로 PMOS의 경우 extension영역이 S/D과 확연히 구분되지 않는다. 또한 extension부의 depth가 nMOS대비 상대적으로 깊은데 이는 boron불순물의 TED (Transient Enhanced Diffusion)으로 인해 shallow하고 abrupt한 doping profile을 이룩하기 어렵기 때문이다. Simulation된 소자의 junction depth는 약 1200Å이다. Parasitic저항의 각 부분을 명확히 구분하여 보기 위해 각 부분을 도식적으로 분리하여 나타내었다. 그림에서

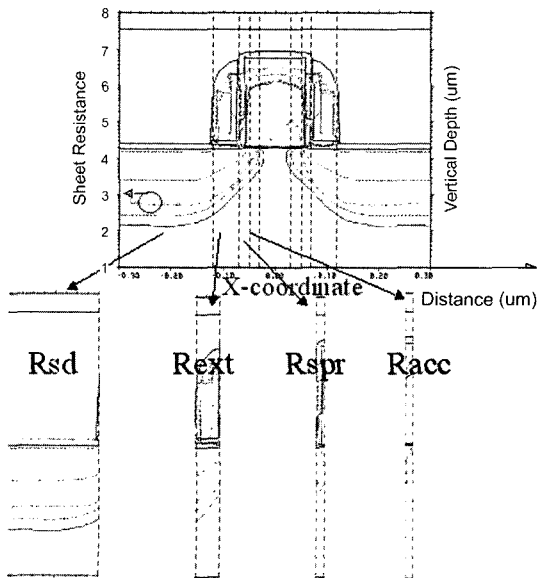


Fig. 5. Junction contour and sheet-resistance of pMOS

Table 3. Resistance component of RTA-annealed pMOS

nMOS RTA-anneal	비율(%)	저항치(ohm)
Total 저항	100	489
Channel 저항	77	376
Parasitic 저항	23	113

Table 4. Analysis of the resistance in parasitic region

pMOS Parasitic 저항 성분	전체저항 대비비율 (%)	Parasitic 저항대비 비율(%)	저항치 (ohm)
Shunt(S/D) 저항	2.2	10	11
Extension 저항	2.0	9	10
Spreading 저항	3.8	16	18
Accumulation 저항	15.0	65	74

sheet-resistance를 나타내고 있는 심볼로 표시된 실선 (-○-)의 경우 accumulation영역에서 매우 급격하게 값이 증가하고 있으며 이는 accumulation region이 길수록 parasitic저항이 이에 비례하여 증가됨을 의미한다 [8].

PMOS의 경우 parasitic resistance가 전체 저항중 차지하는 비율이 Table 3에서 보듯이 23%이며, 또한 channel저항 대비하여서는 30%에 이르게 된다. Spreading 저항이 차지하는 비율은 약 18%로 분석되었다. 이러한 parasitic저항이 큰 이유는 Table 4에서 분석하였듯이 parasitic저항 중 65%를 Racc저항이 차지하고 있음을 알 수 있다. pMOS에서 이렇게 accumulation 저항이 큰 이유는 boron의 profile이 tail부에서 abrupt하지 않으므로 인해 gate 아래에서 과도한 overlap을 나타내고 있기 때문인 것으로 판단된다. 따라서, 전체 저항중 accumulation이 15%를 차지하고 있으므로 이를 약 절반으로 줄인다면 parasitic저항 또한 약 절반으로 줄어들게 되어 nMOS와 같은 수준이 될 수 있다.

4. Conclusions

본 논문은 sub-90 nm high-speed 소자의 성능 저하를 일으킬 수 있는 저항성분들의 추출과 이들의 역할을 분석하였다. Calibration된 TCAD simulation으로부터 구해진 current와 quasi-Fermi level로부터 각 node에서의 sheet-resistance를 구할 수 있는 flow를 제시하였다. 이로부터 normal-RTA 및 spike-RTA공정으로 제작되는 n/pMOS소자의 channel 저항 대 parasitic 저항

의 비율과 더불어 parasitic저항을 구성하는 4가지 저항 성분의 값과 비율을 추출함으로써 이들의 최적화를 위한 접근을 가능토록 하였다. 또한 Co-silicide와 인접한 silicon내 doping level에 따른 contact resistivity를 제시하여 이 부분에 대한 최적화의 필요성을 제시하였다. 연구된 결과를 기초로 하여 고속/고성능 소자에 대한 저항적 측면에서의 분석과 성능향상을 위한 방향을 TCAD simulation과 실제 제작을 통해 계속적으로 분석함으로써 최고 품질의 소자를 시간적/비용적 측면에서 효율화를 이룰 수 있을 것이다.

참고문헌

1. Taur, Y. and Ning, T.H. Fundamentals of Modern VLSI De-vices. Cambridge, MA: Cambridge Univ. Press, (1998).
2. Taur, Y. "MOSFET channel length Extraction and interpretation", IEEE Trans. Electron Devices, 47 (Jan), pp. 160-170 (2000).
3. Kim, S.D. Park, C.M. and Woo, J. "Advanced Model and Analysis for Series Resistance in Sub-100nm CMOS including Poly-depletion and overlap doping gradient effect", IEDM '00 pp. 723-726.
4. Ng, K.K. and Lynch, W.T. "Analysis of the gate-voltage-dependent series resistance of MOSFETs", IEEE Trans. Electron Devices, 33(July), pp. 965-972, (1986).
5. Kwong, M.Y. Choi, C.H. Kasnavi, R. Griffin, P. and Dutton, R. "Series Resistance Calculation for Source/ Drain Extension Regions Using 2-D Device Simulation", IEEE Trans. Electron Devices, 49(7), JULY (2002).
6. Lee, J.H. et. al., "Systematic Global Calibration of Process Simulator", MSM (2000).
7. ITRS (International Technology Roadmap for Semiconductors), SIA (2002).
8. Borland, J.O. "Low Temperature Shallow Junction Formation For 70 nm Technology Node And Beyond", Mat. Res. Soc. Symp. Proc. 717, Materials Research Society, C1.1.1, (2002)