

논문 2004-41SD-1-7

# FTTH용 CMOS Optical Link Receiver의 설계

## (Design of CMOS Optical Link Receiver for FTTH)

김 규 철\*

(Kyu-Chull Kim)

### 요 약

본 논문에서는 FTTH에 적용하기 적합한 넓은 입력 다이내믹 레인지와 낮은 비트 에러율을 갖는 CMOS 광수신기의 설계를 제안한다. 트랜스임피던스 전치증폭기의 PMOS 피드백 저항을 자신의 출력 신호의 크기에 따라 제어하여 100Mbps까지 60dB의 입력 다이내믹 레인지를 얻었다. 듀티 에러를 최소화시키기 위해 진류 거울 형태의 자동 바이어스 조절 회로를 설계하였다. 2-폴리, 3-메탈, 0.6 $\mu$ m CMOS 공정 파라미터를 사용하여 회로 시뮬레이션을 수행하였다. 설계된 수신기는 5V의 전원을 사용할 때 100Mbps에서 130mW 이하의 전력 소비를 보였다.

### Abstract

This paper presents a CMOS optical receiver design featuring wide input dynamic range and low bit error rate suitable for FTTH application. We achieved 60dB input dynamic range for up to 100Mbps by controlling the PMOS feedback resistance of transimpedance preamplifier according to its output signal level. Auto-bias circuit is designed in current mirror configuration to minimize duty error. Circuit simulation has been performed using 2-poly, 3-metal, 0.6 $\mu$ m CMOS process parameters. The designed receiver consumes less than 130mW at 100Mbps with 5V power supply.

**Keywords:** optical receiver, transimpedance amplifier, automatic gain control, automatic bias control, FTTH

## I. 서 론

인터넷 같은 전자 통신망과 멀티미디어의 발달에 따라 대용량의 고속 데이터 전송이 요구되고 있다. 초고속 통신 시스템에서의 고속 데이터 전송은 주로 광섬유를 통한 광통신으로 이루어지고 있다. 광섬유는 경량성과 대용량성을 가지고 있으며 넓은 대역폭 때문에 고품질의 통신이 가능하다.

FTTH(Fiber To The Home)와 같은 광통신 시스템은 멀티미디어 통신을 위해 필요한 높은 데이터 전송율을 제공할 수 있기 때문에 더욱 더 중요성이 높아지고 있

다. 이러한 광통신 시스템에서는 통신 환경의 영향을 적게 받으며 외부 조절이나 부품이 많이 필요하지 않는 수신기용 IC의 개발이 요구된다.

일반적으로 고속의 광통신 수신기에는 고속 동작에 적합한 특성을 갖는 GaAs-MESFET가 사용되고 있다<sup>[1]</sup>. 본 논문에서는 0.6 $\mu$ m CMOS 2-poly 3-metal 공정으로 제작하기 위한 100Mbps FTTH용 광수신기를 설계하였다. 설계된 수신기는 기존 수신기의 전치증폭기를 개선하여 60dB의 입력 다이내믹 레인지를 갖게 하였으며, 자동바이어스 조절을 위한 피크검출 회로를 개선하여 낮은 전압의 신호에 대해서도 듀티 에러를 줄이고 낮은 비트 에러율을 유지할 수 있게 하였다.

본 논문의 구성은 다음과 같다. II절에서는 설계된 광수신기 회로의 구조와 동작을 설명하였으며, III절에서는 시뮬레이션 결과를 분석하고 IV절에서는 결론을 맺고 있다.

\* 정회원, 단국대학교 전자컴퓨터공학과  
(Dept. of ECE, Graduate School, Dankook University)

※ 본 연구는 2003학년도 단국대학교 연구비지원과 IDEC의 CAD Tool 지원에 의해 수행되었음.

접수일자 : 2003년7월24일, 수정완료일 : 2004년1월5일

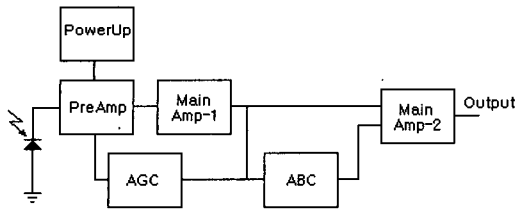


그림 1. 설계된 광수신기의 구조  
Fig. 1. Structure of the optical receiver.

## II. 수신기 회로의 구조와 동작

그림 1은 설계된 수신기의 구조를 보이고 있다. 이 수신기는 전치증폭기(PreAmp), 주증폭기(MainAmp-1, MainAmp-2), AGC(Automatic Gain Control), ABC(Automatic Bias Control) 블록으로 구성되어 있다. 각 블록의 구성 및 동작은 다음과 같다.

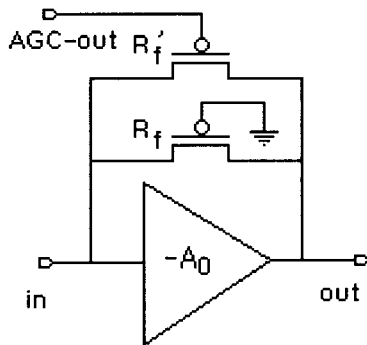


그림 2. 전치증폭기의 회로도  
Fig. 2. Preamplifier circuit.

### 1. 전치증폭기

전치증폭기 PreAmp는 광검출기(photo-detector)에 의해 생성된 전류 신호를 전압신호로 바꾸는 역할을 하는 트랜스임피던스 증폭기이다. 광수신기용 전치 증폭기로는 저저항 전치 증폭기(low impedance preamplifier), 고저항 전치 증폭기(high impedance preamplifier), 트랜스임피던스 전치증폭기(transimpedance preamplifier) 등이 사용된다.

저저항형 전치증폭기는 입력측의 RC 시정수가 작아 넓은 대역폭을 얻을 수 있으나 증폭기에 공급되는 신호의 크기가 작아져서 큰 감도를 얻지 못하는 단점이 있다. 그리고 입력단에 발생하는 저항 열잡음이 상대적으로 크다. 고저항 전치증폭기는 큰 저항을 사용하여 광전류에 의해 발생하는 신호전압을 크게 할 수는 있으나 RC 시정수가 큰 관계로 대역폭이 작은 단점이 있다. 따

라서 고저항 전치증폭기는 줄어든 대역폭을 보상하기 위한 등화기(equalizer)가 필요하다<sup>[2-4]</sup>. 그러나 이 등화기에서 발생하는 잡음 때문에 감도가 떨어지고 다이내믹 레인지도 감소한다.

트랜스임피던스 전치증폭기는 피드백이 걸려 있으므로 등화기를 사용하지 않고도 넓은 대역폭을 얻을 수 있고 다이내믹 레인지 또한 큰 장점을 가지고 있다<sup>[5]</sup>.

그림 2는 설계된 트랜스임피던스 전치증폭기의 회로를 보이고 있다. 이 전치증폭기의 피드백 저항  $R_f$ 와  $R_f'$ 은 PMOS M1과 M2로 이루어져 있다.  $R_f$ 의 저항 값은 고정되어 있으며  $R_f'$ 의 저항 값은 AGC 회로에 의해 자동으로 조절된다.

이 전치증폭기의 트랜스임피던스는 다음과 같다.

$$Z(s) = -\frac{R_f}{1 + 1/A_0 + sC_t R_f/A_0} \tag{1}$$

여기에서  $R_f$ 는 그림 2의 피드백저항을 나타내고  $C_t$ 는 검출기의 접합 커패시턴스와 전치증폭기의 입력 커패시턴스의 합이다. 그리고  $A_0$ 는 기본증폭기의 개방루프 이득을 나타낸다. 이 전치증폭기의 이득은 트랜스임피던스와 같으므로 전치증폭기의 저주파 이득  $A_{f0}$ 은

$$A_{f0} = -\frac{R_f}{1 + 1/A_0} \tag{2}$$

가 되고 따라서 대역폭  $f_w$ 는

$$f_w = \frac{1 + A_0}{2\pi R_f C_t} \tag{3}$$

이 된다.

식 (2)와 (3)으로부터  $R_f$ 를 증가시키면 높은 저주파 이득을 얻는 대신 대역폭이 감소함을 알 수 있다. 그리고 기본증폭기의 개방이득이 클수록 대역폭도 크다는 것을 알 수 있다. 따라서 최적화된 값의 피드백 저항  $R_f$ 와 기본증폭기의 최대 개방 이득  $A_0$ 가 필요하다.

설계된 전치증폭기는 3pF의 입력 커패시턴스와 20kΩ의 피드백 저항 그리고 약 31dB의 개방루프이득에 대하여 약 95MHz의 대역폭을 갖는다.

고정된 피드백 저항을 사용하는 기존의 전치증폭기는 큰 입력 신호가 들어오면 신호의 파형이 찌그러지고 이에 따라 비트 에러율이 증가하게 된다. 본 논문에서 제안된 전치증폭기는 그림 2에 보인 것처럼 고정된 값의 피드백 저항  $R_f$ 와 AGC 회로에 의해 조절되는 가변 피드백 저항  $R_f'$ 을 병렬로 연결하여 큰 입력 신호가 들어오는 경

우 피드백 저항이  $R_f$ 에서  $R_f/R_f'$ 으로 변하여 이득이 줄어든다. 이렇게 함으로써 신호 파형의 찌그러짐을 줄이고 입력 신호의 다이내믹 레인지를 확대시킬 수 있다. 설계된 전치증폭기는 전류신호가 100nA에서 100uA까지, 즉 60dB 이상의 입력 다이내믹 레인지를 갖는다.

설계된 전치증폭기에서 피드백 저항은 PMOS의 선형 영역을 이용하여 구현하였다. 저항 값은 게이트 바이어스 전압을 사용하여 조절할 수 있다.

## 2. AGC(Automatic Gain Control) 회로

주증폭기 MainAmp-1에서 증폭된 신호는 AGC 회로를 통하여 전치증폭기로 피드백된다. AGC 회로의 역할은 MainAmp-1의 출력 신호가 일정한 크기를 유지하도록 하는 것이다. 본 논문에서 설계된 AGC 회로는 그림 4에 보인 것처럼 Enable, AGC-P, AGC-N, AGC-INV 블록으로 구성되어 있다.

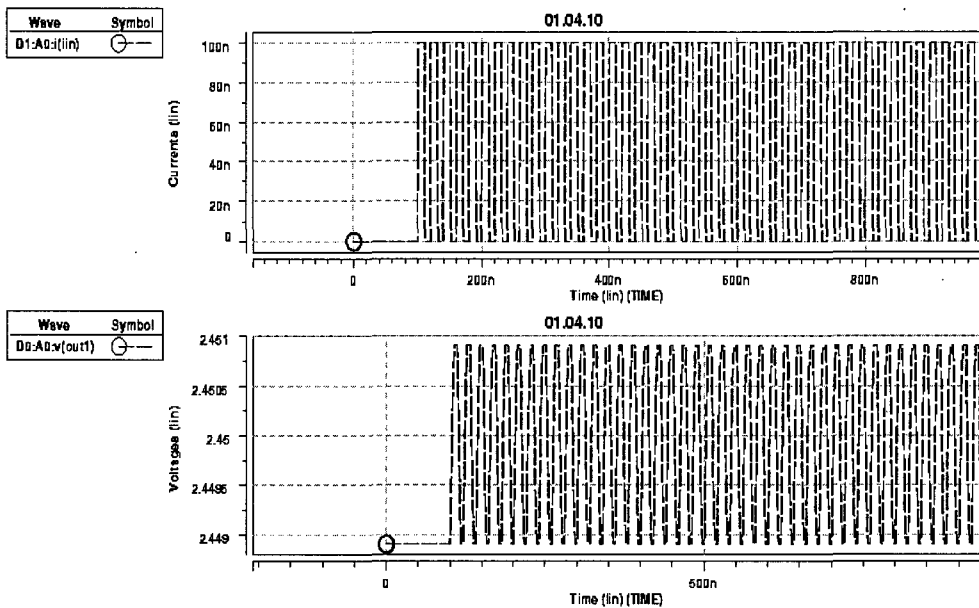


그림 3. 전치증폭기에 대한 시뮬레이션  
Fig. 3. Simulation of the preamplifier.

그림 3은 전치증폭기의 시뮬레이션 결과를 보이고 있다. 이 그림에서 위의 파형은 100nA, 50MHz의 입력 전류 신호이며 아래의 파형은 이 입력 신호에 대한 전치증폭기의 출력신호이다. 출력 신호의 전압은 입력 신호 전류의 크기와 피드백 저항에 의해 결정된다. 20kΩ의 피드백 저항을 사용한 경우 약 2mV의 출력 전압을 얻는다.

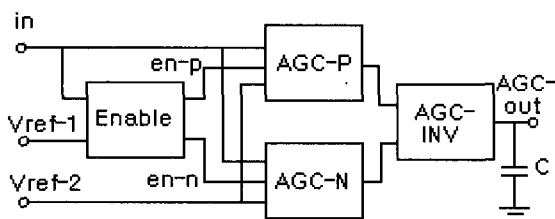


그림 4. AGC의 블록 다이어그램  
Fig. 4. Block diagram of AGC

Enable 블록은 입력 신호를 기준 전압  $V_{ref-1}$ 과 비교하여  $V_{ref-1}$ 보다 작은 경우에는 AGC-P의 Enable 신호 en-p를 ON 시키고, 반대의 경우에는 AGC-N의 Enable 신호 en-n을 ON 시킨다.  $V_{ref-1}$ 의 전압은 bottom\_level보다 약 300mV 정도 크게 하였다.

AGC-P와 AGC-N은 Enable 신호가 들어오면 입력 신호와  $V_{ref-2}$ 를 비교하여 AGC-INV의 PMOS와 NMOS의 ON/OFF를 결정한다. 입력 신호가 큰 경우에는 AGC-N에 의해서 AGC-INV의 NMOS가 ON 되고 이에 따라 출력단의 커패시터 C의 전하가 방전되어 AGC-out의 전압이 떨어지고, 입력 신호가 작은 경우에는 AGC-P에 의해서 AGC-INV의 PMOS가 ON 되고 이에 따라 커패시터 C가 충전되면서 AGC-out의 전압이 올라간다.  $V_{ref-2}$ 의 전압은 bottom\_level보다 600mV 정도 크게 하였다. 이러한 방법으로 전치증폭기의 가변 피드백 저항

$R_f$ '의 저항 값을 입력 신호의 크기에 따라 조절한다.

그림 5는 세 가지 크기의 입력에 대한 AGC 블록의 시뮬레이션 결과를 보이고 있다. 입력 신호가  $0.1\mu A$ 인 경우에는 초기 값인 약  $2.45V$ 의 전압이 일정하게 유지된다.  $1\mu A$ 인 경우에는 AGC-INV의 출력은 약  $1.2V$ 가 되었고  $10\mu A$ 인 경우에는 약  $600mV$ 가 되었다. 이로부터 입력 신호가 커짐에 따라 AGC-INV의 출력 전압이 낮아짐을 알 수 있다. AGC-INV의 출력 전압은 가변 피드백 저항  $R_f$ (PMOS)의 게이트에 공급되는 전압이므로 입력 신호가 커지면 가변 피드백 저항  $R_f$ '은 작아지게 되어 트랜스 임피던스 증폭기의 이득이 줄어들게 된다.

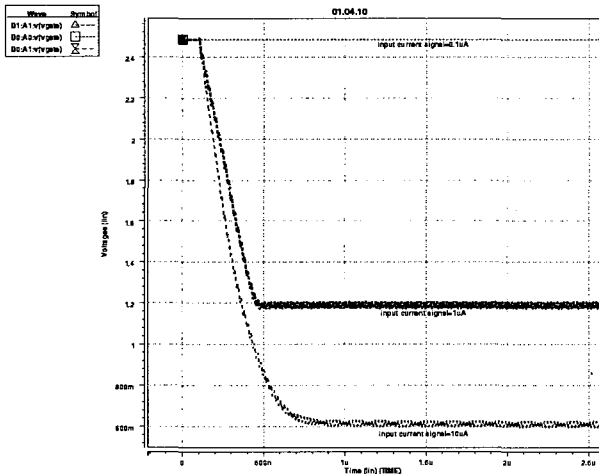


그림 5. AGC 블록의 시뮬레이션 결과  
Fig. 5. Simulation result of the AGC block.

### 3. ABC(Automatic Bias Control) 회로

그림 7은 ABC 회로의 블록 다이어그램을 보이고 있다. ABC 회로는 peak-hold 회로와 bottom-hold 회로 그리고 두 개의 저항  $R_1$ 과  $R_2$ 로 구성되어 있다. Peak-hold 회로는 신호의 최대 값  $V_{top}$ 을 검출하며 bottom-hold 회로는 최소 값  $V_{bot}$ 를 검출한다. MainAmp-2에 대한 최적의  $V_{ref}$ 는 같은 값의 저항  $R_1$ 과  $R_2$ 를 이용하여 얻은 최대 값  $V_{top}$ 과 최소 값  $V_{bot}$ 의 중간 값을 사용한다. 따라서 ABC의  $V_{ref}$ 는 다음과 같이 나타낼 수 있다.

$$V_{ref} = \frac{V_{top} + V_{bot}}{2} \quad (4)$$

기존의 ABC 회로에 사용되는 peak-hold 회로는 MOS로 구현된 다이오드와 hold 커패시터로 구성되어 있다<sup>[6-9]</sup>. 이러한 방식의 ABC 회로는 다이오드에 의한 기생 저항과 기생 커패시턴스 때문에 여러 가지 제약

이 있다. 첫 번째 제약은 기생 커패시턴스로 인해 낮은 레벨의 데이터 주기에서 hold 커패시턴스의 방전이 일어나므로 peak 신호를 제대로 유지하지 못하여 정확한  $V_{ref}$ 를 만들 수 없다는 것이다. 이것은 MainAmp-2 출력 신호의 비트 에러율(BER : bit error rate)에 영향을 주게 된다. 두 번째 제약은 입력 신호의 peak 값이 매우 작은 경우 다이오드를 ON 시키기 위한 게이트와 소스의 전압 차이를  $0.7V$  이상 유지할 수 없어서 큰 peak error를 발생시킨다는 것이다. 그림 6은 기존 ABC 회로의 이러한 문제점을 보완하기 위해 제안된 peak-hold 회로를 보이고 있다.

제안된 peak-hold 회로는 MOS 스위치, 전류 거울, 홀드 커패시터로 구성되어 있다. 이 회로는 입력 신호와 peak 값을 비교하여 MOS 스위치를 ON/OFF 시키는 방법으로 전류를 조절한다.

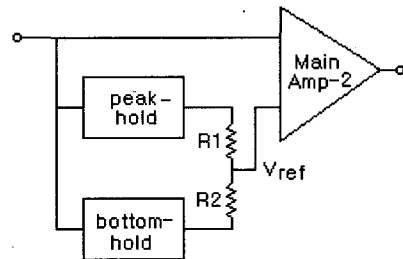


그림 6. ABC의 블록다이어그램  
Fig. 6. Block Diagram of ABC.

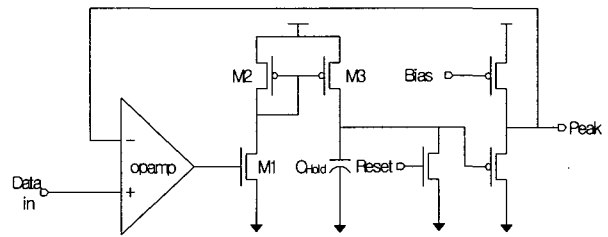


그림 7. peak-hold 회로  
Fig. 7. peak-hold circuit.

MOS 스위치가 켜지면  $M_1$ 에는 식 (5)와 같은 전류  $i_1$ 이 흐른다. 이때  $M_2$ 에 흐르는 전류  $i_2$ 는  $i_1$ 과 같다.

$$i_1 = \beta(V_{GS} - V_T)^2 = i_2 \quad (5)$$

$$\frac{i_2}{i_3} = \frac{\frac{W_3}{L_3}}{\frac{W_2}{L_2}} \quad (6)$$

$$V_p = \frac{1}{C_h} \int i_3 dt \quad (7)$$

M2에 흐르는 전류는 상당히 큰 값이어서 이 값을 그대로 이용하면 peak error가 증가하게 된다. 대신 식 (6)에 보인 것처럼 M2와 M3으로 구성된 전류 거울의 MOS 종횡비(aspect ratio)를 이용하면 hold 커패시터에 흐르는 전류를 조절할 수 있다. 이때 흐르는 전류  $i_3$ 과 peak 전압 사이에는 식 (7)과 같은 관계가 존재한다.

본 연구에서 설계된 회로는 50MHz에서 최소의 peak error를 갖도록 설계하였다. 설계된 회로의 M1에서 흐르는 전류는 최대  $90\mu A$ 이었으며 M2와 M3의 종횡비는  $8.6 \times 10^{-3}$ 이 되도록 하였다.

### III. 시뮬레이션 결과 및 고찰

본 논문에서 제안한 FTTH용 광수신기 회로에 대한 동작과 성능을 검증하기 위하여 HSPICE를 사용한 회로 시뮬레이션을 수행하였다.

그림 8은 AGC-out에 따라 트랜스임피던스 이득이 변하는 것을 보이고 있다. 앞에서 언급한 것처럼 큰 입력 신호의 경우 트랜스임피던스 이득은 병렬로 연결된 가변 피드백 저항과 고정 피드백 저항의 값에 의해 결정된다. 본 논문에서 사용된 가변 피드백 저항은 약 1.4V 부근에서 저항 값이 변함을 알 수 있다.

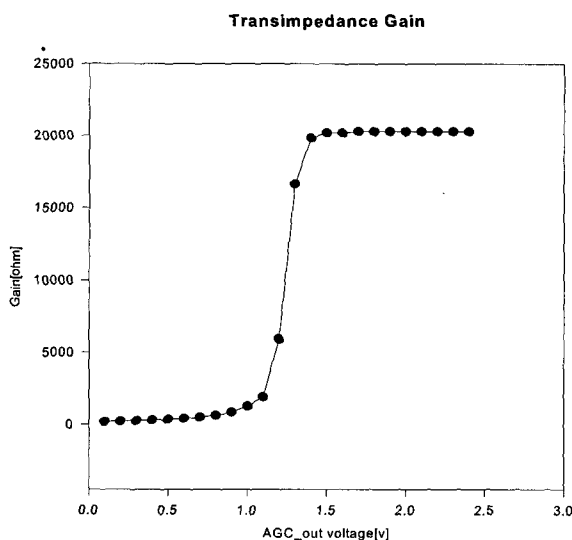


그림 8. AGC-out에 따른 트랜스임피던스 이득  
Fig. 8. Transimpedance gain vs. AGC-out voltage.

그림 9은 전치증폭기에 AGC 회로가 있는 경우와 없는 경우의 MainAmp-2에서의 출력 신호의 duty error를 보

이고 있다. AGC 회로가 있는 경우의 입력 다이내믹 레인지가 약 60dB 정도가 됨을 시뮬레이션으로부터 확인할 수 있었다.

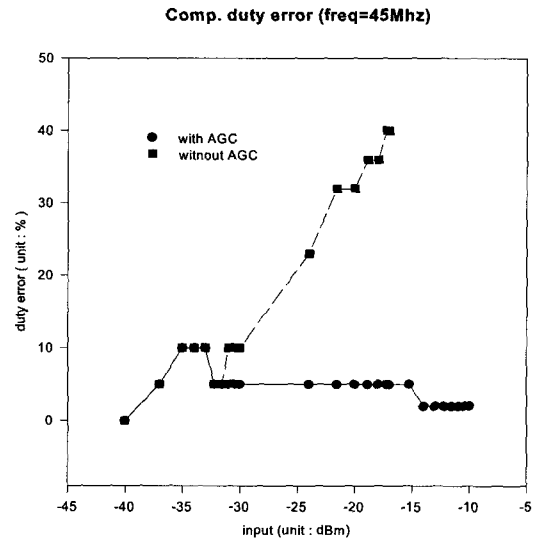


그림 9. AGC 회로가 있는 경우와 없는 경우에 대한 duty error의 비교

Fig. 9. Duty error comparison between a circuit with AGC circuit and without AGC circuit.

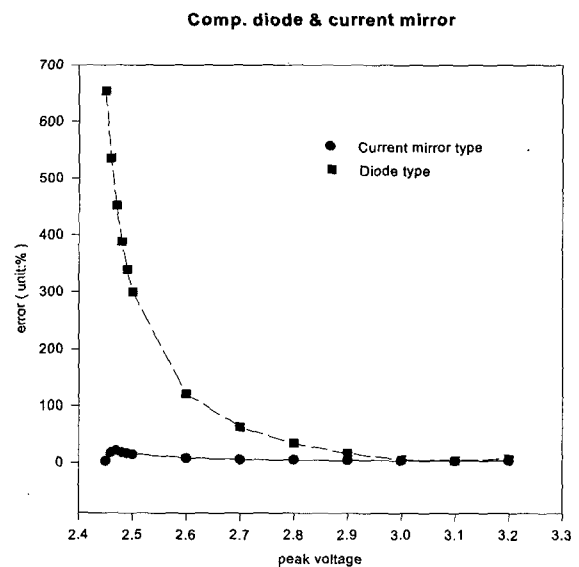


그림 10. 다이오드를 이용한 peak-hold와 전류거울을 이용한 peak-hold 회로의 error 비교

Fig. 10. Error comparison between peak-hold circuit using diode and peak-hold circuit using current mirror.

그림 10은 다이오드를 이용한 peak-hold 회로와 본 논문에서 제시한 peak-hold 회로의 peak error를 비교

한것이다. Bottom level은 2.4V로 일정하게 유지하고 peak level을 증가시키면서 시뮬레이션을 수행하였다. 그림 9을 살펴보면 다이오드를 이용한 peak-hold 회로의 경우 입력 신호의 peak 값이 작은 경우 다이오드가 ON이 되지 않으므로 큰 에러율을 가지고 있음을 알 수 있다. 그러나 본 논문에서 설계한 전류 거울 형태의 peak-hold 회로는 입력 신호의 peak 값의 크기에 상관없이 일정하게 낮은 에러율을 가지고 있음을 알 수 있다.

#### IV. 결 론

FTTH에 적합하도록 넓은 입력 다이내믹 레인지와 낮은 비트 에러율을 갖는 CMOS 광수신기를 설계하였다.

설계된 회로는 기존의 고정된 피드백 저항을 갖는 트랜스임피던스 증폭기 형태의 전치증폭기 대신 AGC 회로에 의해 피드백 저항이 조절되는 전치증폭기를 사용하였다. 그리고 설계된 회로의 ABC에서는 다이오드 방식 peak-hold 회로의 단점을 제거하기 위하여 전류 거울 방식의 peak-hold 회로를 사용하였다.

설계된 회로의 동작과 성능을 검증하기 위하여 HSPICE 시뮬레이션을 수행하였다. 시뮬레이션 결과 설계된 광수신기는 입력 기생 커패시턴스가 약 3pF이고 고정된 트랜스임피던스 이득이 약 86dB일 때 100Mbps의 속도와  $10^{-19}$ 의 BER을 보였다. 또한 입력 다이내믹 레인지는 60dB이 됨을 확인하였다.

#### 참 고 문 헌

[1] Mark Ingels and S. J. Michel, "A 1-Gb/s, 0.7um CMOS Optical Receiver with Full Rail-to-Rail

Output Swing," IEEE J. of Solid State Circuits, vol. 34, no. 7, Jul. 1999.

[2] W. R. Bennett and J. R. Davey, Data Transmission, McGraw-Hill, 1965.

[3] S. D. Personick, "Receiver Design for Digital fiber optic communication systems (Part I and II)," Bell System Tech. J., vol. 52, pp. 843-886, 1973.

[4] M. Brain and T. P. Lee, "Optical receiver for lightwave communication systems," J. of Lightwave Tech., vol. LT-3, pp. 1281-1300, Dec. 1985.

[5] R. G. Mayer and R. A. Blauschild, "A 4-Terminal Wide-Band Monolithic Amplifier," IEEE J. of Solid State Circuits, vol. sc-16, No. 6, Dec. 1981.

[6] R. Reimann and Rein, "A Single-Chip Bipolar AGC Amplifier with Large Dynamic Range for Optical-Fiber Receivers Operating up to 3 Gb/s." IEEE J. of Solid State Circuits, vol. 24, no. 6, Dec. 1989.

[7] Makoto Nakamura, Noboru Ishihara, Yukio Akazawa and Hideki Kimura, "An Instantaneous Response CMOS Optical Receiver IC with Wide Dynamic Range and Extremely High Sensitivity Using Feed-Forward Auto-Bias Adjustment," IEEE J. of Solid State Circuits, vol. 30, no. 9, Sept. 1995.

[8] Makoto Nakamura, Noboru Ishihara and Yukio Akazawa, "A 156-Mb/s CMOS Optical Receiver for Burst-Mode Transmission," IEEE J. of Solid State Circuits, vol. 33, no. 8, Aug. 1998.

[9] Paul T. Gray and Robert G. Meyer, Analysis and Design of Analog Integrated Circuits, Wiley, 3rd ed., 1993

#### 저 자 소 개



김 규 철(정회원)

1978년 서울대학교 자연과학대학 물리학과 (이학사), 1980년 서울대학교 대학원 물리학과 (이학석사), 1986년 미국 University of Wisconsin @ Madison (ECE 석사), 1992년 미국

University of Wisconsin @ Madison (ECE 박사), 1993년 9월 - 현재 단국대학교 전기전자컴퓨터공학부 부교수, 관심분야 : 집적회로 설계, 혼합 모드 회로 설계, Design For Testability