

논문 2004-41SD-1-8

# 10b 150 MSample/s 1.8V 123 mW CMOS 파이프라인 A/D 변환기

(A 10b 150 MSample/s 1.8V 123 mW CMOS A/D Converter)

김 세 원\*, 박 종 범\*, 이 승 훈\*

(Se-Won Kim, Jong-Bum Park, and Seung-Hoon Lee)

## 요 약

본 논문에서는 샘플링 주파수보다 더 높은 입력 대역폭을 얻기 위해서 개선된 부트스트래핑 기법을 적용한 10b 150 MSample/s ADC를 제안한다. 제안하는 ADC는 다단 파이프라인 구조를 사용하였고, MDAC의 캐패시터 수를 50 %로 줄이는 병합 캐패시터 스위칭 기법을 적용하였으며, 저항 및 캐패시턴스의 부하를 고속에서 구동할 수 있는 기준 전류/전압 발생기와 고속 측정이 용이한 decimator를 온-칩으로 구현하였다. 제안하는 ADC 시제품은 0.18 um 1P6M CMOS 공정을 이용하여 설계 및 제작되었고, 시제품 ADC의 측정된 DNL과 INL은 각각  $-0.56 \sim +0.69$  LSB,  $-1.50 \sim +0.68$  LSB 수준을 보여준다. 또한, 시제품 측정결과 150 MSample/s 샘플링 주파수에서 52 dB의 SNDR을 얻을 수 있었고, 입/출력단의 패드를 제외한 시제품 칩 면적은  $2.2 \text{ mm}^2$  ( $= 1.4 \text{ mm} \times 1.6 \text{ mm}$ )이며, 최대 동작 주파수인 150 MHz에서 측정된 전력 소모는 123 mW이다.

## Abstract

This work describes a 10b 150 MSample/s CMOS pipelined A/D converter (ADC) based on advanced bootstrapping techniques for higher input bandwidth than a sampling rate. The proposed ADC adopts a typical multi-step pipelined architecture, employs the merged-capacitor switching technique which improves sampling rate and resolution reducing by 50% the number of unit capacitors used in the multiplying digital-to-analog converter. On-chip current and voltage references for high-speed driving capability of R & C loads and on-chip decimator circuits for high-speed testability are implemented with on-chip decoupling capacitors. The proposed ADC is fabricated in a 0.18 um 1P6M CMOS technology. The measured differential and integral nonlinearities are within  $-0.56 \sim +0.69$  LSB and  $-1.50 \sim +0.68$  LSB, respectively. The prototype ADC shows the signal-to-noise-and-distortion ratio (SNDR) of 52 dB at 150 MSample/s. The active chip area is  $2.2 \text{ mm}^2$  ( $= 1.4 \text{ mm} \times 1.6 \text{ mm}$ ) and the chip consumes 123 mW at 150 MSample/s.

**Keywords:** A/D 변환기, ADC, 파이프라인, CMOS, 부트스트래핑, 온칩 기준전압

## I. 서 론

최근 deep submicron CMOS VLSI 공정기술을 이용한 고화질 이미지 시스템, 휴대용 통신기기, 고속 디지털 무선 통신망 등의 응용 기술이 발전됨에 따라서, 고해상도 및 고속의 저전력 A/D 변환기 (analog-to-digital converter : ADC)의 필요성이 점차 증가하고 있다. 특

히, 무선 가입자 회선 (Wireless Local Loop : WLL) 및 지역 다지점 분배 서비스 (Local Multipoint Distribution Service : LMDS) 응용의 경우에서 사용되는 ADC는 150 MSample/s 이상의 샘플링 속도와 10 비트 수준의 해상도가 요구되며 동시에 높은 대역폭의 입력 신호를 처리할 수 있는 광대역 (wideband) 샘플-앤-홀드 증폭기 (sample-and-hold amplifier : SHA)가 필수적으로 사용된다<sup>[1]</sup>. 기존의 다양한 ADC 구조 중에서, 고속의 신호 처리에 적합한 구조로는 플래시 (flash), 폴딩 (folding), 서브래인징 (subranging) 및 파이프라인

\* 정회원 서강대학교 전자공학과

(Dep. of Electronic Engineering, Sogang University)

※ 본 논문은 서강대학교 산업기술연구소의 지원을 받았습니다.

접수일자 : 2003년3월15일, 수정완료일 : 2003년12월29일

(pipeline) 구조 등이 있으며, 10 비트 이상의 고해상도 조건을 동시에 만족하기 위해 속도, 전력 소모 및 면적을 최적화 하는 파이프라인 구조를 많이 적용하고 있는 추세이다<sup>[2]-[17]</sup>.

사용된 CMOS 공정 및 ADC 구조가 응용에 따라 대부분 다르기 때문에 직접적인 성능 비교는 어려울지라도 최근에 발표된 샘플링 속도 70 MSample/s 및 해상도 10 비트 이상의 파이프라인 CMOS ADC를 본 논문에서 제안하는 ADC와 함께 그림 1에 나타내었다 [6]-[18]. 그림 1에서 보듯이 4개의 ADC를 동시에 동작시키는 다중 채널 (multi-channel) 구조의 10b 200 MSample/s ADC가 샘플링 속도 측면에서는 200 MSample/s에서 동작하지만, 신호 대 잡음비 (signal-to-noise-and-distortion ratio : SNDR)가 43 dB 즉, 6.9 유효 비트수 (effective number of bits : ENOB)에 머물며, 채널간의 부정합 (mismatch)이 ADC의 동적 성능을 떨어뜨리는 원인이 된다<sup>[15]</sup>.

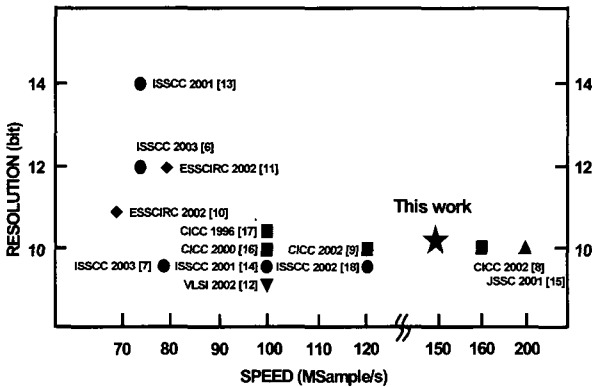


그림 1. 최근에 발표된 파이프라인 CMOS ADCs  
Fig. 1. Recently reported pipelined CMOS ADCs.

본 논문에서는 단일 채널을 가지면서 10 비트의 해상도와 150 MSample/s의 샘플링 속도를 만족시키며, 샘플링 주파수보다 높은 입력 신호 대역폭을 처리하기 위한 개선된 부트스트래핑(bootstrapping) 기법을 제안하며, 신호 처리 속도와 해상도를 향상시키기 위해 multiplying D/A converter (MDAC)의 캐패시터 수를 50 %로 줄이는 병합 캐패시터 스위칭 (merged-capacitor switching : MCS) 기법을 적용하고, 온도 및 전원 전압에 독립적인 온-칩 CMOS 기준 전류/전압 발생기를 구현하였다<sup>[9]</sup>. 또한, 고속동작에서 발생하는 잡음을 줄이며 측정의 용이성을 고려한 레이아웃 기법 및

회로 설계에 관하여 논의한다. II 장에서는 제안하는 파이프라인 ADC의 전체 구조를 설명하며, III 장에서 개선된 게이트-부트스트래핑 기법을 포함한 제안하는 여러 가지 회로 설계 기법을 간략히 설명한다. IV 장에서 제안하는 ADC 시제품의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

## II. 제안하는 ADC의 전체 구조

본 연구에서 제안하는 10b 150 MSample/s CMOS ADC의 구조는 그림 2에서와 같으며, 전체 ADC는 입력 SHA, 2 개의 4b MDAC, 3 개의 4b 플래시 ADC, 디지털 교정 회로 (digital correction logic : DCL), 온-칩 기준 전류/전압 발생기, 온-칩 decimator 및 클럭 발생기 (clock generator)로 구성된다. 아날로그 입력 신호를 디지털 출력 코드로 변환하기 위하여 두 개의 중첩되지 않는 클럭 (nonoverlapping clock) Q1, Q2를 사용하였다. SHA, MDAC 및 플래시 ADC들 사이에서 발생하는 오프셋 (offset) 및 클럭 피드스루 (clock feedthrough) 등의 비선형 오차는, DCL에 입력되는 12 비트 중에서 2 비트를 중첩시켜 10 비트의 출력을 얻는 디지털 교정 방식으로 교정된다.

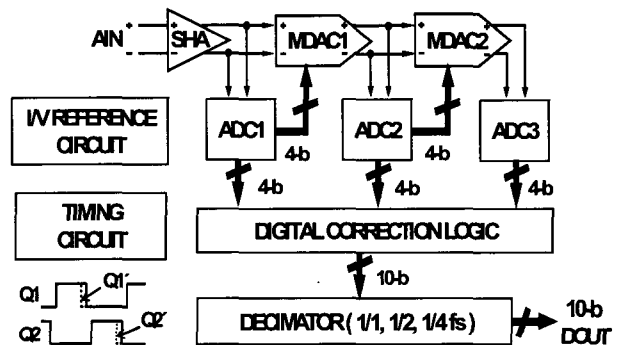


그림 2. 제안하는 10b 150 MSample/s ADC  
Fig. 2. Proposed 10b 150 MSample/s ADC.

온-칩 기준 전류/전압 발생기는 150 MSample/s 수준에서 오프-칩 (off-chip)으로는 구현이 어려운, 안정되고 정확한 기준 전류/전압을 얻기 위해 사용되며, 온-칩 decimator는 측정시 고속 동작으로 인한 비용의 감소와 용이성을 위해 사용되었다.

### III. 회로 설계 기법

#### 1. 제안하는 부트스트래핑 기법을 사용하는 SHA 회로

광대역 입력 SHA는 매우 작고 일정한 온-저항 값을 갖는 입력 샘플링 스위치가 요구된다. 그러나 기존의 CMOS 형태의 샘플링 스위치로는 전원 전압의 감소에 따른 게이트 (gate) 구동 전압의 감소로 인해 이러한 요구 사양을 만족하기 어렵다. 따라서 입력 신호의 변화에 관계없이 스위치의 게이트-소스 (source) 전압을 전원 전압 수준으로 일정하게 유지 시킴으로써 고속 고해상도의 샘플링이 가능하도록 해 주는 부트스트래핑 기법이 제안되었다<sup>[19]</sup>. 그러나 이 회로는 n-well 공정을 사용할 경우, 일부 노드 (node)에서 전원 전압 이상의 전압이 인가됨에 따라 소스와 바디 (body) 혹은 드레인 (drain)과 바디 사이에 전원 전압보다 큰 역방향 바이어스가 인가되어, 역방향 항복 (breakdown) 현상이 발생할 수 있으며 게이트에 인가되는 전압에 따른 전계의 크기도 커지면서 취약한 게이트 유전체 (gate oxide)가 파괴되는 등 소자 (device)의 안정성 문제가 발생할 수 있다. 따라서, 1.8 V 이하의 낮은 전압을 사용하는 최근의 deep sub-micron 공정에서는 기존의 회로를 그대로 사용하기 어렵다.

그림 3의 제안하는 게이트-부트스트래핑 회로는 기존의 부트스트래핑 기법을 적용하되, 그림에서 보듯이 (■로 표시) 전원 전압 이상의 전압이 인가되는 트랜지스터 (transistor)는 1.8 V용 소자 대신에, 채널이 길고 게이트 유전체가 두꺼운 3.3 V용 소자를 사용함으로써, 게이트 유전체 파괴나 항복 현상을 줄일 수 있어 deep sub-micron 공정에서도 소자의 안정적인 동작이 가능하도록 설계하였다. 3.3 V용 소자는 본 논문에서 사용된 0.18 um 공정에서 입/출력용으로 제공되는 것으로 사용하였다. 그러나 3.3 V용 소자를 사용하여 기존의 회로를 그대로 구현할 경우, 3.3 V용 소자의 특성 및 크기에 따른 기생 소자 성분과 높은 문턱 전압에 의해 SHA 샘플링 스위치의 게이트-소스 전압을 일정하게 유지하기 어렵다. 따라서 제안하는 회로는 기존의 회로를 다음과 같이 개선 및 확장하여, 회로 출력단의 기생 소자 성분을 최소화하고 온-저항 성분을 조절하여 샘플링 스위치의 게이트-소스 전압을  $V_{DD}$ 로 일정하게 유지함과 동시에, SHA 회로의 입력단에는

기존의 부트스트래핑된 NMOS 스위치만으로 구성된 샘플링 스위치 대신 개선된 CMOS 샘플링 스위치를 사용함으로써 Nyquist 주파수나 그 이상의 입력 신호에서도 높은 SNDR 값을 얻을 수 있도록 하였다.

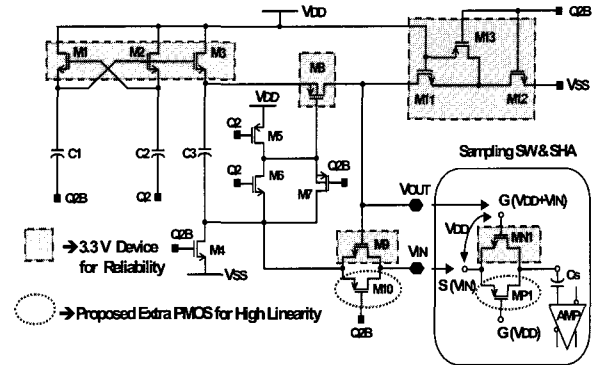


그림 3. 제안하는 게이트 부트스트래핑 회로  
Fig. 3. Proposed gate-bootstrapping circuit.

그림 3의 회로에서 SHA의 입력 샘플링 스위치를 구동하는 전압인  $V_{OUT}$ 은  $C_3$ 과  $C_3$ 의 top plate에 연결된 모든 기생 캐패시턴스  $C_p$ 의 비율에 의해서 결정된다. 따라서  $C_p$ 의 크기를 최소화해야 하며, 이를 위해 그림 3의 스위치 M13을 사용하여 샘플링 시에 M11을 꺼줌으로써 M11과 관련하여 발생하는  $C_p$ 를 최소화하였다 [4]. 한편,  $C_3$ 의 bottom plate에  $V_{IN}$ 을 인가해 주는 스위치 M9의 온-저항은  $V_{OUT}$ 의 값이  $V_{DD}+V_{IN}$ 으로 충전되는 시간에 영향을 준다. 따라서 M9의 W/L을 증가시켜 온-저항을 감소시켜야 하나 M9의 W/L이 증가함에 따라  $C_p$ 도 증가하여 최종적으로  $V_{OUT}$ 의 크기를 감소시킨다. 따라서 제안하는 회로에서는 1.8 V를 사용하는 온-칩 클럭인 Q2B에 의해서 구동되는 PMOS 스위치 M10을 추가하여 M9와 함께 CMOS 형태로 구성함으로써  $V_{IN}$ 과  $C_3$ 의 bottom plate 사이의 온-저항을 최소화함과 동시에 M9에 의해서 발생하는  $C_p$ 를 작게 하여  $V_{OUT}$ 의 추가적인 감소를 최소화하였다.

한편, 제안하는 게이트-부트스트래핑 회로에 의해 구동되는 NMOS 샘플링 스위치가 3.3 V용 소자로 구현되면서 1.8 V의 낮은 전원 전압에 대하여, 바디 효과로 인한 비교적 높은 문턱 전압을 갖게 된다. 이로 인해 샘플링 스위치의 온-저항이 증가하여 입력 신호의 대역폭을 제한하게 된다. 이를 해결하기 위해서 제안하는 회로에서는 그림 4에서와 같이 부트스트래핑된 NMOS 샘플링 스위치에 온-칩 클럭으로 구동되는 PMOS 스위치 MP1, MP2를 추가하여 CMOS 형태로 샘플링 스위치를 구성

함으로써 입력 신호에 관계없이 온-저항의 크기와 변화를 최소화하였다. 열잡음 (thermal noise)과 10 비트 수준의 정확도를 위한 캐패시터 정합 (match)을 고려하여, SHA의 입력 캐패시터의 크기는 1.2 pF를 사용하였고, 2개의 샘플링 캐패시터를 갖는 구조를 사용하여, 작은 칩 면적과 적은 전력 소모를 구현하였다.

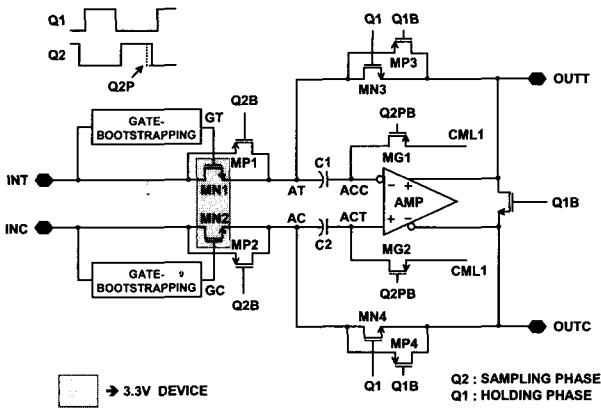


그림 4. 제안하는 SHA  
Fig. 4. Proposed SHA.

2. 병합 캐패시터 스위칭 (Merged-Capacitor Switching : MCS) 기법

제안된 ADC의 4b MDAC은 저전력, 고속 및 고해상도 성능을 위해 MCS 기법을 적용하였다. 이 기법은 전형적인 파이프라인 ADC에 사용되는 MDAC의 단위 캐패시터를 2 개씩 병합하여 기존의 MDAC에서 필요한 16개의 단위 캐패시터 수를 50 %인 8개로 줄인다<sup>[9]</sup>. 따라서 기존의 MDAC과 같은 크기의 단위 캐패시터를 사용할 경우, 줄어든 캐패시터 수만큼 앞단의 부하 캐패시턴스가 감소하므로 증폭기의 전력 소모가 줄어든다. 사용되는 MDAC1과 MDAC2의 단위 캐패시터의 크기는, 열잡음 및 10 비트 정합 등을 고려하여 각각 0.2 pF, 0.1 pF으로 설계하였다. 높은 정확도와 빠른 속도를 요구하는 MDAC에는 folded-cascade 2단 증폭기를 사용하여 100 dB 이상의 높은 DC 이득과 150 MSample/s 수준의 높은 속도를 동시에 구현하였다.

3. 온-칩 기준 전류/전압 발생기

제안하는 시제품 ADC에는 그림 5와 같이 저전력으로 동작하는 온-칩 기준 전류/전압 회로를 집적하여, ADC

가 독립적으로 동작할 수 있도록 설계하였으며, 필요에 따라 외부에서도 다른 기준 전압값을 인가할 수 있도록 하였다.

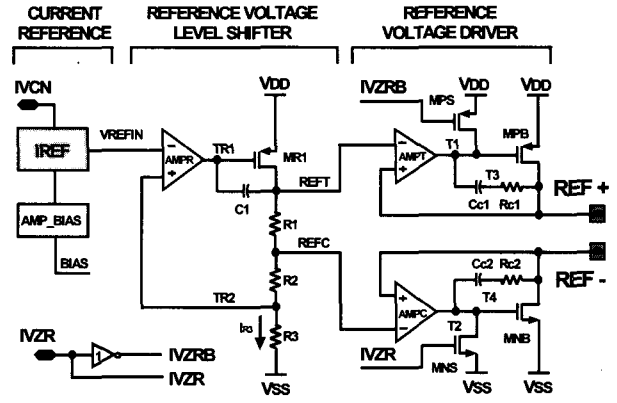


그림 5. 온-칩 기준 전류/전압 발생기  
Fig. 5. On-chip current/voltage references.

그림 5의 IREF 블록은 온도와 공급 전압의 변화에 독립적인 CMOS 기준 전류를 발생시키고, 그 값은 디지털 코드에 의해 ±30 % 이내의 소자 변화를 보정할 수 있으며, 온-칩 기준 전압을 발생시킨다<sup>[10]</sup>. 집적된 기준 전류/전압 발생기는 구동 회로를 포함하여 180 um × 300 um의 면적을 차지하며, 150 MSample/s에서 6.5 mW를 소모한다.

4. 고속 회로 동작을 고려한 레이아웃 및 회로 설계 기법

고속 동작으로 인한 각 블록간의 잡음 및 전원 전압의 잡음을 억제하기 위해 블록 안팎의 여유 공간을 이용하여 아날로그 및 디지털 전원 전압 라인에 각각 100 pF, 300 pF의 온-칩 MOS 캐패시터를 레이아웃하였다. 측정시 온-칩 및 오프-칩의 바이패스 (bypass) 캐패시터를 동시에 사용함으로써 불필요한 잡음으로 인한 성능저하를 최소화하였다. 또한, 고속 동작에서의 ADC 측정, 측정장비 비용이 증가할 뿐만 아니라 PCB 기판에서 발생하는 잡음으로 인하여 정확한 성능 측정이 어려운 문제점이 있다. 이를 해결하기 위해 ADC의 출력 신호를 1/2 또는 1/4로 다운 (down) 샘플링할 수 있도록 온-칩 decimator를 구현하였다. 그림 6은 decimator의 구조를 보여주고 있다.

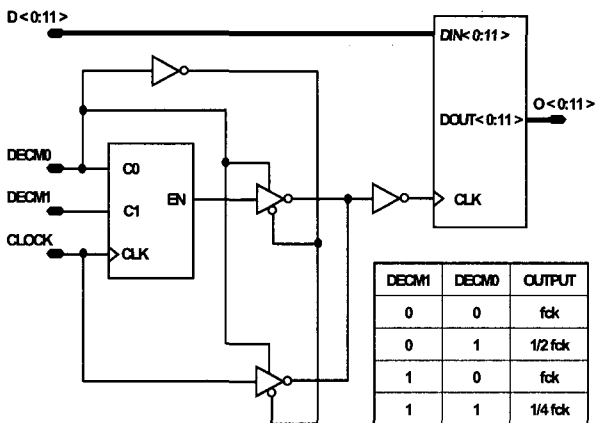


그림 6. 온-칩 decimator  
Fig. 6. On-chip decimator.

#### IV. 시제품 ADC 성능 측정

제안하는 개선된 게이트-부트스트래핑 기법을 적용하는 10b 150 MSample/s 시제품 ADC는 0.18 um 1P6M CMOS 공정을 사용하여 제작되었으며, 사용된 캐패시터는 Metal-Insulator-Metal (MIM)의 구조를 갖는다. 제안하는 시제품 ADC의 칩 사진은 그림 7과 같으며 점선으로 표시된 부분은 블록간의 잡음을 제거하기 위한 온-칩 MOS 캐패시터를 나타내고 있다.

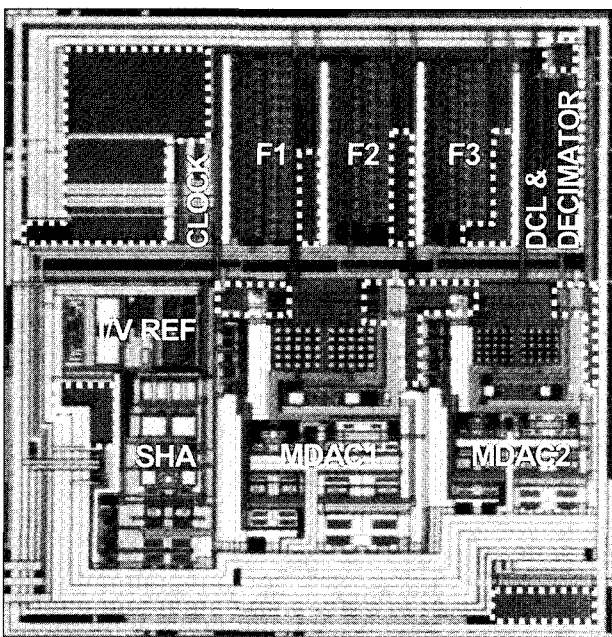


그림 7. 시제품 ADC의 칩 사진  
Fig. 7. Die photograph of the prototype ADC.

입/출력 패드를 제외한 칩 면적은  $2.2\text{mm}^2 (= 1.4\text{mm} \times 1.6\text{mm})$ 이며, 1.8 V의 전원 전압에서 150 MSample/s의 샘플링 주파수를 가지고 동작할 때 123 mW의 전력을 소모한다. 그림 8에서 볼 수 있는 것처럼 측정된 DNL 및 INL은 각각  $-0.56 \sim +0.69\text{ LSB}$ ,  $-1.50 \sim 0.68\text{ LSB}$  이내에 있다.

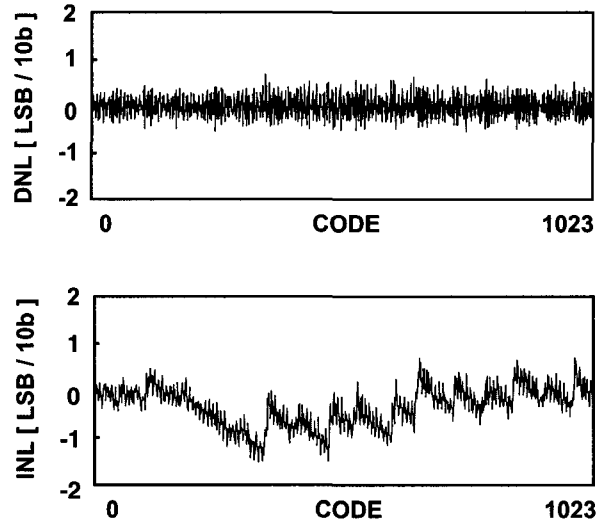


그림 8. 측정된 DNL 및 INL  
Fig. 8. Measured DNL and INL.

그림 9는 10 MHz 입력 주파수, 150 MSample/s 샘플링 주파수에서 decimator로 1/2 다운 샘플링하여 측정된 1 전형적인 신호 스펙트럼을 나타낸다.

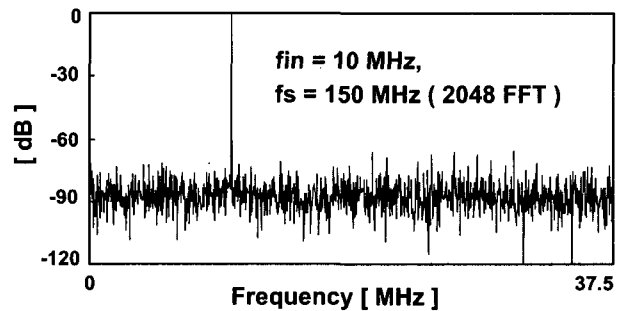
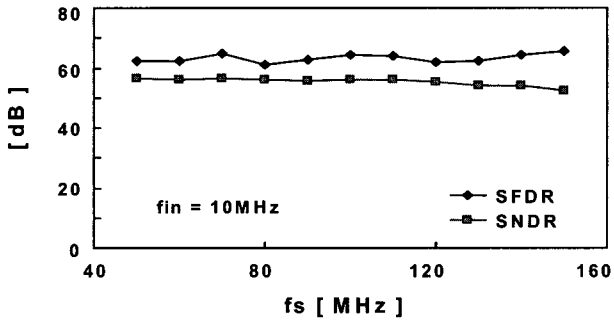


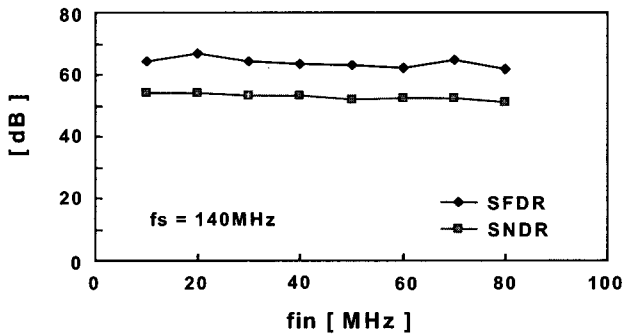
그림 9. 측정된 신호 스펙트럼  
Fig. 9. Measured signal spectrum.

그림 10은 측정된 동적 성능의 결과이다. 그림 10 (a)는 10 MHz의 입력 주파수에서 샘플링 주파수를 150 MSample/s까지 증가시킬 때의 SNDR 및 spurious-free dynamic range (SFDR)를 나타낸 것이다. 샘플링 주파수가 140 MSample/s까지 증가할 때까지

SNDR은 54 dB 이상 유지되는 것을 알 수 있다. 최대 동작 주파수인 150 MSample/s의 샘플링 클럭에서는 52 dB로 SNDR이 감소하지만, 정상적으로 동작하고 있음을 알 수 있다.



(a)



(b)

그림 10. 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SNDR 및 SFDR  
 Fig. 10. Measured performance of SNDR and SFDR versus (a) fs and (b) fin.

그림 10 (b)는 140 MSample/s의 샘플링 주파수에서, 입력 주파수를 증가시킬 때의 동적 성능을 나타낸다. 입력 신호의 주파수가 Nyquist 주파수까지 증가할 때, SNDR과 SFDR이 각각 52 dB, 62 dB 이상을 유지하고 있는 것을 알 수 있다. 이는 제안하는 게이트-부트스트랩 래핑 기법을 적용한 SHA와 온-칩 및 오프-칩 바이패스 캐패시터를 사용함으로써 입력 신호의 선형성을 향상시키고 전체 ADC의 잡음이 효과적으로 억제되었음을 나타낸다. 샘플링 주파수보다 높은 입력 대역폭에 관한 측정은, 사용 가능한 입력 신호 발생기 (Agilent 33250A)의 대역폭 제한으로 인하여 80 MHz까지만 증가시켜 측정하였다.

한편, 양산 과정의 중요 고려사항 중의 하나로, 자동 측정용 소켓을 사용한 시제품 ADC 측정의 한계에 관한 문제를 들 수 있다. 그림 11은 소켓 YAMAICHI IC189

를 사용하여 10 MHz 입력에서 샘플링 주파수를 150 MSample/s까지 증가시킬 때의 SNDR 및 SFDR을 나타낸 것이다.

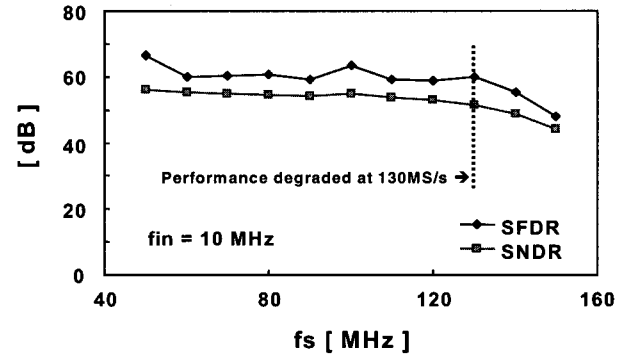


그림 11. 소켓을 사용하여 측정된 시제품 ADC의 동적 성능  
 Fig. 11. Measured dynamic performance of the ADC using a socket.

그림 11에서 보듯이, 소켓의 기생 인덕턴스 및 캐패시턴스로 인하여 130 MSample/s의 샘플링 주파수까지는 유사한 측정 결과를 얻을 수 있으나 그 이상의 샘플링 주파수에서는 성능이 급격히 감소함을 볼 수 있다. 또한, 그림 5의 온-칩 기준 회로의 연결단자 IVZR을 사용하여, 온-칩 기준 회로를 동작시키지 않고 오프-칩 기준 회로만을 사용한 ADC의 측정 결과, 내부의 온-칩 기준 회로를 사용한 경우가 근소하게 향상되었다. 시제품 ADC를 140 MSample/s의 샘플링 동작 주파수와 수십 MHz의 입력 주파수를 인가하여, 외부 기준 전압과 내부 기준 전압을 사용할 때의 SNDR 및 SFDR을 비교해 본 결과, SFDR은 64.4 dB 정도로 비슷한 성능을 보였지만, SNDR은 내부 기준 전압의 경우가 1 dB 이상 향상된 성능을 나타냈다. 이러한 유사한 동적 측정 결과는 온-칩 기준 전류/전압 발생기를 사용함으로써 외부의 잡음에 의한 영향을 감소시켰음을 알 수 있게 한다. 제안하는 ADC의 측정 결과는 표 1에 요약하였다.

V. 결론

본 논문에서는 무선 가입자 회선, 지역 다지점 분배 서비스 등의 고속 유/무선 통신 시스템 응용을 위한 0.18 um CMOS 단일 채널 ADC를 구현하였다. 요구되는 10b 150 MSample/s의 동적 성능을 얻기 위해 다음의 설계 기법들이 제안되었다.

표 1. 성능 요약

Table 1. Performance summary.

Resolution	10 bits
Max. Conversion Rate	150 MSample/s
Process	0.18 um CMOS
Input Range	1 V <sub>p-p</sub>
SNDR (at 140 MS/s) SNDR (at 150 MS/s)	54.0 dB at 10 MHz, 52.2 dB at 70 MHz, 52.2 dB at 10 MHz
SFDR (at 140 MS/s) SFDR (at 150 MS/s)	64.4 dB at 10 MHz, 64.8 dB at 70 MHz, 65.6 dB at 10 MHz
DNL	-0.56 LSB / +0.69 LSB
INL	-1.50 LSB / +0.68 LSB
ADC core Power	123 mW at 150 MSample/s
Active Die Area	2.2 mm <sup>2</sup> (=1.4mm × 1.6mm)

첫째, 입력단인 SHA에서는 개선된 게이트-부트스트랩핑 회로를 구현하여 입력 스위치의 샘플링 해상도를 높임으로써, 고속 샘플링 주파수에서도 Nyquist 수준 또는 그 이상의 입력 주파수에서 10 비트 수준의 동적 성능을 유지할 수 있도록 하였다. 둘째, MDAC에서는 MCS 기법을 적용하여 고해상도에서 신호의 간섭을 줄이면서 동시에 고속 샘플링을 가능하게 하였다. 셋째, 온도와 전원 전압의 변화에 독립적인 기준 전류/전압 발생기를 온-칩으로 구현하여, 저항과 캐패시턴스 부하에 대한 구동 능력을 증가시켰으며, 디지털 영역에서의 보정 기법을 통해 일부 아날로그 회로의 임의 오차 (random error)를 보정할 수 있도록 하였다. 넷째, 시제품 ADC의 동적 성능을 정확하게 측정하기 위해 오프-칩 고속 디지털 버퍼와 결합된 온-칩 decimator를 구현하였다. 마지막으로, 고속 동작시 발생하는 EMI 문제와 기능 블록간의 잡음을 억제하기 위해, 레이아웃 상에서 각 블록 안팎의 사용하지 않는 공간을 이용하여 온-칩 MOS 캐패시터를 구현하였다.

위의 기법들을 적용하여 구현된 시제품 ADC는, 150 MSample/s의 샘플링 주파수에서 SNDR 및 SFDR이 각각 52 dB, 65 dB를 유지하며 칩 면적은 2.2 mm<sup>2</sup>이고 1.8 V의 전원 전압에서 123 mW의 전력을 소모하였다.

참고 문헌

[1] H. Marie and P. Belin, "R, G, B acquisition interface with line-locked clock generator for flat panel display," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1009-1023, July 1998.

[2] H. Pleog, G. Hoogzaad, H. Temeer, M. Vertregt, and R. Roovers, "A 2.5V 12b 54MSample/s 0.25um CMOS ADC in 1mm<sup>2</sup>," in *ISSCC Dig. Tech. Papers*, Feb. 2001, pp. 132-133.

[3] A. Shabra and H. S. Lee, "A 12-bit mismatch-shaped pipeline A/D converter," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2001, pp. 211-214.

[4] L. Singer, S. Ho, M. Timko, and D. Kelly, "A 12b 65MSample/s CMOS ADC with 82dB SFDR at 120MHz," in *ISSCC Dig. Tech. Papers*, Feb. 2000, pp. 38-39.

[5] H. Pan, M. Segami, M. choi, J. Cao, F. Halorl, and A. A. Abidi, "A 3.3V 12b 50MSample/s A/D converter in 0.6um CMOS with over 80dB SFDR," in *ISSCC Dig. Tech. Papers*, Feb. 2000, pp. 40-41.

[6] B. Murmann, and B. E. BoserTsay, "A 12b 75MS/s pipelined ADC using open-loop residue amplification," in *ISSCC Dig. Tech. Papers*, Feb. 2003, pp. 328-329.

[7] B. M. Min, P. Kim, D. Boisvert, and A. Aude, "A 69mW 10b 80MS/s pipelined CMOS ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2003, pp. 324-325.

[8] M. Clara, A. Wiesbauer, F. Kuttner, "A 1.8V fully embedded 10b 160MS/s two-step ADC in 0.18um CMOS," in *Proc. IEEE Custom Integrated Circuits Conf.*, May 2002, pp. 437-440.

[9] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5V 10b 120MSample/s CMOS pipelined ADC with high SFDR," in *Proc. IEEE Custom Integrated Circuits Conf.*, May 2002, pp. 441-444.

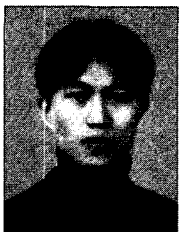
[10] M. J. Kim, H. S. Yoon, Y. J. Lee, and S. H. Lee, "An 11b 70MHz 1.2mm<sup>2</sup> 49mW 0.18um CMOS

- ADC with on-chip current/voltage references," in *Proc. Eur. Solid-State Circuits Conf.*, Sep. 2002, pp. 463-466.
- [11] A. Loloee, A. Zanchi, H. Jin, S. Shehata, and E. Bartolome, "A 12b 80MSps pipelined ADC core with 190mW consumption from 3V in 0.18 $\mu$ m digital CMOS," in *Proc. Eur. Solid-State Circuits Conf.*, Sep. 2002, pp. 467-470.
- [12] S. Andreas, H. E. Bernhard, P. E. Herbert, R. Hagelauer, and A. A. Abidi, "A 1.2V 10-b 100-MSamples/s A/D converter in 0.12 $\mu$ m CMOS," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2002, pp. 326-327.
- [13] D. Kelly, W. Yang, L. Mehr, M. Sayuk, and L. Singer, "A 3V 340mW 14b 75MSPS ADC with 85dB SFDR at nyquist," in *ISSCC Dig. Tech. Papers*, Feb. 2001, pp. 134-135.
- [14] Y. I. Park, S. Karthikeyan, F. Tsay, and E. Bartolome, "A 10b 100MSample/s CMOS pipelined ADC with 1.8V power supply," in *ISSCC Dig. Tech. Papers*, Feb. 2001, pp. 130-131.
- [15] L. Sumanen, M. Waltari, and K. Halonen, "A 10-bit 200-MS/s CMOS parallel pipeline A/D converter," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1048-1055, July 2001.
- [16] D. G. Nairn, "A 10-b, 3V, 100MS/s pipelined ADC," in *Proc. IEEE Custom Integrated Circuits Conf.*, May 2000, pp. 257-260.
- [17] K. Y. Kim, N. Kusayanagi, and A. A. Abidi, "A 10-b 100MS/s CMOS A/D converter," in *Proc. IEEE Custom Integrated Circuits Conf.*, May 1996, pp. 419-422.
- [18] S. M. Jamal, D. Fu, P. J. Hurst, and S. H. Lewis, "A 10b 120MSample/s time-interleaved analog-to-digital converter with digital background calibration," in *ISSCC Dig. Tech. Paper*, Feb. 2002, pp. 172-173.
- [19] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipelined analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.

---

 저 자 소 개
 

---



김 세 원(정회원)

1975년 4월 25일생. 2003년 2월 서강대학교 전자공학과 학사. 현재 서강대학교 전자공학과 대학원 재학중. 주요 관심분야는 고속 데이터 변환기(A/D, D/A) 설계, 혼성모드 회로 설계

등임



박 종 범(정회원)

1976년 5월 31일생. 2002년 2월 서강대학교 전자공학과 학사. 현재 서강대학교 전자공학과 대학원 재학중. 주요 관심분야는 고속 데이터 변환기(A/D, D/A) 설계, 혼성모드 회로 설계

등임



이 승 훈(정회원)

서울대학교 전자공학과 학사(1984), 서울대학교 전자공학과 석사(1986), 미 Illinois 대 (Urbana-Champaign) 공학박사(1991). KIST 위촉 연구원(1986), 미 Coordinated Science Lab (Urbana) 연구원(1987 ~ 1990), 미 Analog Devices 사 senior design engineer (1990 ~ 1993), 현재 서강대학교 전자공학과 교수. 관심 분야는 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임