

이중 위상고정루프 구조를 갖는 PLDRO 설계 및 제작

The Design and Implementation of PLDRO(Phase Locked Dielectric Resonator Oscillator) Using Dual Phase Lock Loop Structure

김 현 진* 김 용 환** 민 준 기*** 유 형 수**** 이 형 규***** 홍 의 석*****
(Hyun-jin, Kim) (Yong-Hwan, Kim) (Jun-ki, Min) (Hyeong-soo, Yoo) (Hyeong-kyu, Lee) (Ui-seok, Hong)

요 약

본 논문에서는 MMC(Microwave Micro Cell)장비와 ITS용 무선장비에 사용될 수 있는 PLDRO를 설계하였다. 일반적인 PLDRO구조에 이중루프구조를 이용해 위상을 고정하였다. 제안된 이중루프구조 PLDRO의 측정결과 주파수 18.7GHz에서 0dBm의 출력레벨과 기준주파수에서 1kHz 떨어진 지점에서 -80dBc/Hz, 10 kHz에서 -83dBc/Hz의 위상잡음 특성을 얻었다.

Abstract

In this work, A PLDRO (Phase Locked Dielectric Resonator Oscillator) which can be used for the wireless communication systems for MMC(Microwave Micro Cell) and ITS wireless communication system is designed. A different approach to the PLDRO structure is applied for phase locking by dual phase lock loop structure. The proposed dual loop PLDRO generates the output power of 0dBm at 18.7 GHz and has the characteristics of a phase noise of -80 dBc/Hz at 1kHz, -83 dBc/Hz at 10 kHz offset frequency from carrier frequency

Key Words : MMC, ITS, PLDRO, 위상잡음, 위상고정

I. 서 론

최근 전 세계적으로 교통문제 해결을 위해 정보통신, 전자제어 첨단기술을 이용한 지능형 교통시스템(ITS: Intelligent Transport System)의 발전이 가

속화되고 있는 상황이다. ITS시스템에서 교통정보의 연속적인 흐름을 위해 여러 가지 무선통신 방법들이 제시되고 있다. 이러한 여러 가지 무선통신들의 기술적인 측면에는 화상처리, 신호처리 등의 시스템에 기반이 되는 RF 및 마이크로파 대역의

* 회원 : 광운대학교 전자공학과 박사과정

** 회원 : 광운대학교 전자공학과 박사과정

*** 회원 : 광운대학교 전자공학과 박사과정

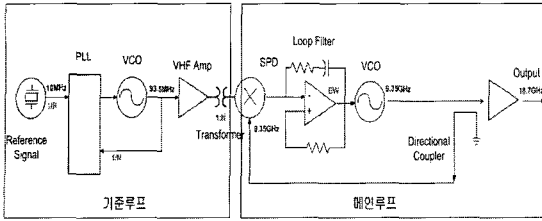
**** 회원 : 광운대학교 전자공학과 박사과정

***** 회원 : 광운대학교 전자공학과 박사과정

***** 회원 : 광운대학교 전자공학과 교수

† 논문접수일 : 2004년 8월 27일

† 이 논문은2003년도 광운대학교 교내학술연구비에 의하여 연구되었음.



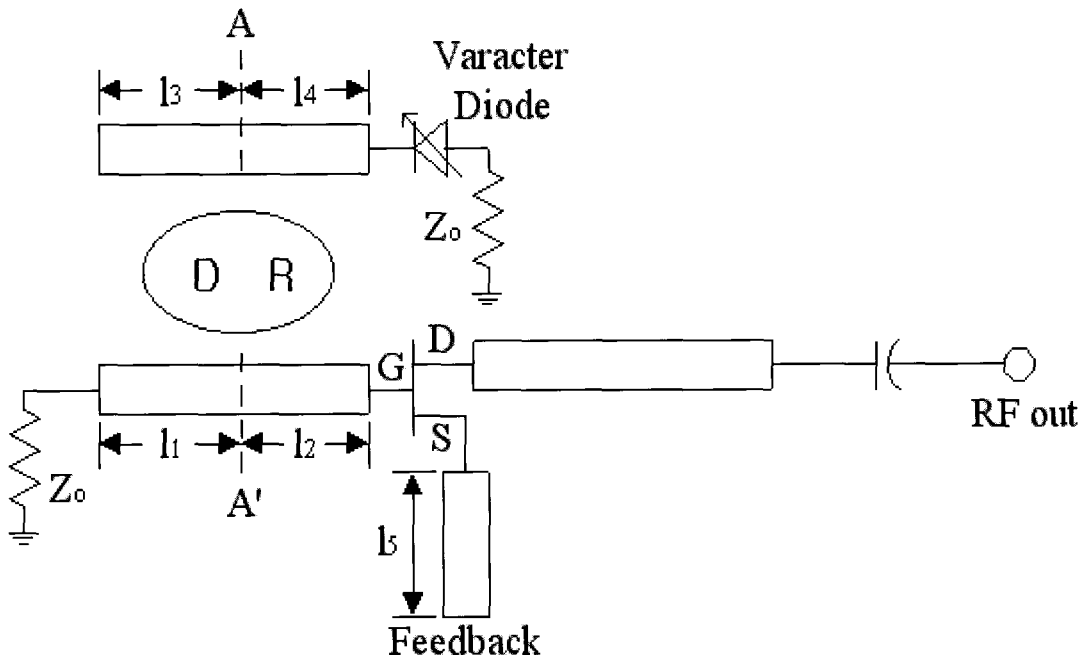
〈그림 1〉 전체 시스템 구성

무선통신분야라 할 수 있다. 마이크로파 통신시스템의 핵심부품 중 하나인 국부발진기는 전체 시스템의 데이터 에러율(Bit Error Rate) 특성에 중대한 영향을 끼친다. 특히 위상변조 방식 (PSK: Phase Shift Keying)을 사용하는 무선통신 시스템에서는 마이크로웨이브 장치 내의 국부발진기의 주파수 안정도 및 위상잡음 특성이 더욱더 중요하다. 이러한 국부발진기의 대부분은 고 안정의 기준주파수에 PLL 칩을 사용하여 1~2GHz 대역에서 위상고정을 시킨 후 체배기, 증폭기 등을 이용해 마이크로파대역의 발진주파수를 얻는다[1]. 이와 같은 방법은 active소자의 수가 증가하여 신뢰성을 떨어뜨리는

원인이 될 수 있다. 다른 방법으로는 마이크로파대의 VCO를 설계하여 SPD를 이용하여 위상을 고정시키는 방법이 있다[2,3]. 이것은 신뢰성향상은 가져올 수 있으나 주파수를 변화시킬 때 기준주파수를 변화시켜야 하는 단점이 있다. 이에 본 논문에서는 발진기의 위상고정방식으로 PLL칩을 이용하는 방법과 SPD를 이용하는 방법을 혼합하여 사용하여 MMC무선장비시스템과 ITS시스템에 사용할 수 있도록 고안정의 이중루프구조의 PLDRO를 구현하였다.

II. 이중루프구조를 갖는 PLDRO 설계

본 논문에서 설계한 이중루프구조의 PLDRO의 중심주파수는 18.7GHz로 설정하였으며, 그림 1에서 보듯이 메인루프와 기준루프로 이루어진 이중루프구조이다. 기준루프는 위상고정을 위해 디지털 방식의 PLL칩, VCO(Voltage controlled Oscillator)로 구성되어 있고, 메인루프는 위상고정을 위한 SPD(Sampling Phase Detector), 전압에 따라 캐패시

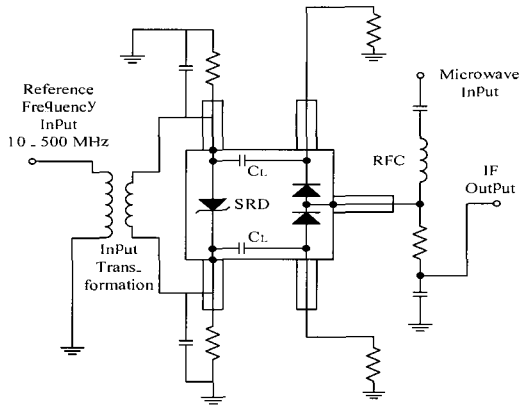


〈그림 2〉 메인루프내의 VCO 구조

터값이 바뀌는 바랙터 다이오드를 이용한 전기적 동조대역폭을 갖는 VCO, 15dB방향성결합기, 최종 18.7GHz의 주파수를 얻기 위한 체배기로 구성되어 있다. 기준루프부를 구성하는 VCO의 중심주파수는 메인루프를 구성하는 VCO의 1/100번째 주파수인 93.5MHz로 정하였으며 디지털 PLL칩을 이용해 발진기의 위상을 고정되도록 설계하였다. 특히, 기준루프에서의 VCO의 위상잡음특성은 메인루프 대역 내에서의 전체 PLDRO의 위상잡음에 큰 영향을 주므로 루프내의 위상잡음특성이 우수하도록 carrier 근처의 위상잡음이 우수한 BJT 능동소자를 이용해 구현하였으며, 또한 기준루프의 대역폭을 최적화하여 설계하였다. 메인루프에서의 초고주파대의 VCO는 주파수안정성 및 carrier근처의 위상잡음특성이 우수한 유전체공진기를 이용해 VCO를 설계하였다.

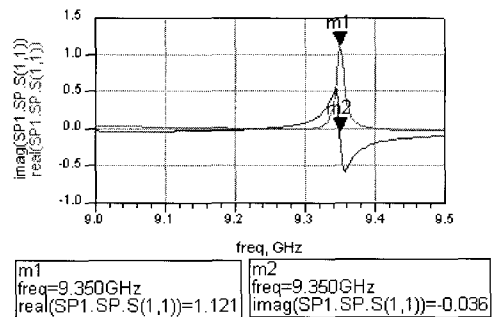
그림 2에서 보듯이 메인루프내의 초고주파대역의 VCO의 구조는 직렬케환형 발진기를 채택하였다. 이 구조는 부하에 따른 발진 주파수의 변동이 적으며 회로가 간단하여 구현하기에 적합한 구조이다. 발진기를 구현한 능동소자로는 온도에 대한 주파수 안정성과 낮은DC전력으로 높은 RF 출력전력을 얻을 수 있는 GaAs FET를 이용해 구현하였다. MMC 무선통신 시스템에서는 발진기의 기본주파수에서 1kHz, 10kHz 떨어진 지점의 위상잡음특성은 신호의 Waveform Quality의 특성에 큰 영향을 준다. 따라서, 10 kHz 대역내에서의 위상잡음특성 향상을 위하여 메인루프의 루프필터의 대역폭을 20 kHz로 설계하였다.

그림 3은 메인루프에서 발진기의 위상고정을 위해 사용한 SPD와 주변회로를 나타내었다. SPD는 SRD(Step Recovery Diode), Coupling Capacitor, Microwave Mixer Diode로 구성되어 있다. SRD에 기준 입력신호가 들어오면 사이클의 반주기가 순방향일 때 전류는 한쪽에서 다른 한쪽으로 흐르게 된다. 역 전압이 인가되면 전류는 더 이상 흐르지 않고 접합 면에 축적되어 있던 전하가 역으로 매우 빨리 흐르게 되어 전류 펄스가 형성된다. 이 전류 펄스는 고조파를 만들어 내어 기준 주파수와 고조파

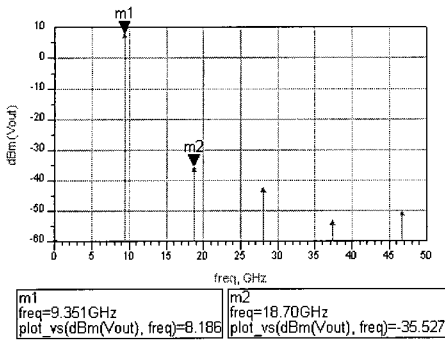


〈그림 3〉 SPD구조도

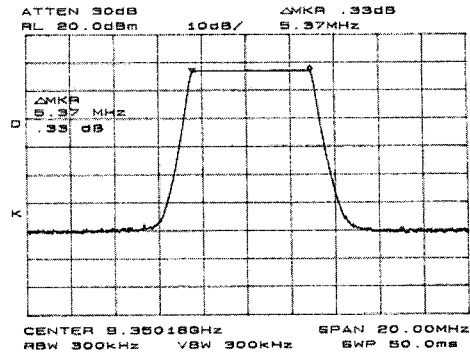
적으로 연관된 주파수의 합성을 이룬다. 기준 주파수와 케환 된 전압제어 발진기의 신호가 고조파적으로 정확히 일치하면 일정한 DC 전압을 발생시키고 두 신호가 정확히 일치하지 않으면 각 주기마다 두 주파수의 차에 해당하는 IF (Intermediate Frequency) 신호를 발생시킨다. 이때 발생하는 오차 전압은 루프 필터에 의해 필터링된 후 전압제어 유전체 공진 발진기의 바랙터 다이오드에 인가되 발진기의 공진주파수를 변화시켜위상을 고정시킨다[4,5]. 본 논문에서는 SPD를 이용하여 기본 주파수 9.35GHz와 기준루프에서의 93.5 MHz의 100번째 고조파 성분을 서로 비교하여 위상을 고정시키도록 하였다. 그림 4는 메인루프내의 초고주파대의 발진기의 발진가능성을 Agilent 사의 ADS2002를 이용해 모의 실험한 결과이다. 중심주파수 9.35GHz에서 루프이득이 1이상이며 소자를 바라본 리액턴스성분이 0이므로 발진에 필요한 부정저항을 갖음



〈그림 4〉 전압제어 발진기의 발진 가능성



〈그림 5〉 전압제어 발진기의 출력(설계치)



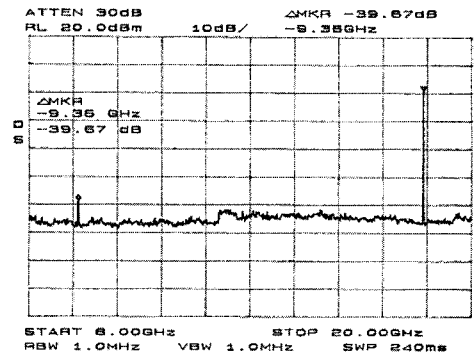
〈그림 7〉유전체발진기의 동조대역폭

을 알 수 있다.

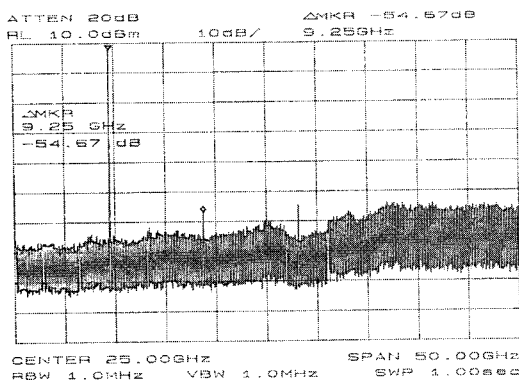
그림 5은 HB(Harmonic Balance)기법을 이용하여 발진기의 출력주파수와 전력을 모의 실험한 결과이며 9.35GHz에서 8dBm의 출력전력과 역압특성이 -35dBc이하를 갖게 됨을 예측하였다.

Ⅲ. 제작 및 측정결과

앞에서 기술한 방법을 이용하여 이중루프구조의 PLDRO의 각 부분들을 유전율 2.6 유전체 두께 0.504mm, 동박두께 0.018mm인 테플론기판을 이용하여 음화필름방식으로 제작하였다. 그림 6은 유전체 발진기의 측정결과이며 출력특성이 8dBm, 역압특성이 -54dBc임을 나타내고 있다. 이는 모의실험설계결과와 일치함을 보인다. 그림 7에서 9.35GHz의 발진기의 동조대역폭이 5MHz임을 알 수 있다. 그림 8은 9.35GHz의 유전체 발진기가 체배기를 통과 후



〈그림 8〉 체배기를 통과한 후의 유전체발진기 전력스펙트럼



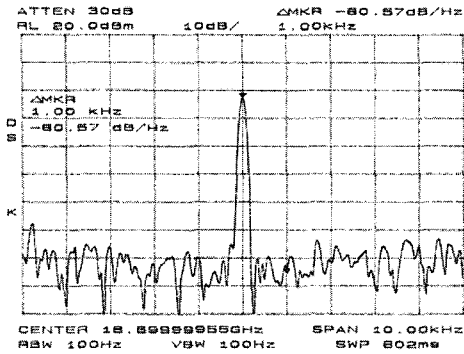
〈그림 6〉 유전체발진기의 전력스펙트럼

18.7GHz에서 출력전력이 0 dBm, 9.35GHz와의 역압특성이 -39.6dBc 임을 보여주고 있다.

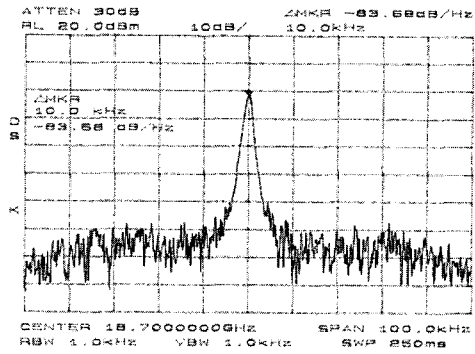
그림 9, 그림 10은 이중루프구조로 설계한 PLDRO의 발진주파수 18.7GHz에서 1kHz, 10kHz 떨어진 지점의 위상잡음 특성을 측정한 결과이며 각각 -80.5dBc/Hz, -83.6dBc/Hz임을 나타낸다. 표 1은 설계한 PLDRO의 전기적 특성을 나타낸다.

〈표 1〉 제작된 PLDRO의 전기적 특징

	Requirement	Measurement
발진주파수	18.7[GHz]	18.7[GHz]
출력레벨	0 [dBm]	0 [dBm]
동조전압	0~12[V]	0~12[V]
동조대역폭	>0.3[MHz/v]	0.42[MHz/v]
위상잡음 (@1kHz)	-75dBc/Hz	-80dBc/Hz
위상잡음 (@10kHz)	-80dBc/Hz	-83dBc/Hz



<그림 9> 이중 루프 PLDRO의 위상잡음 특성 (offset 10kHz)



<그림 10> 이중 루프 PLDRO의 위상잡음 특성 (offset 10 kHz)

IV. 결 론

본 논문에서는 MMC시스템과 ITS용무선 통신시스템의 국부발진기에 적합한 위상고정방식을 혼합한 이중 위상고정구조의 PLDRO를 설계하였다, 설계한 PLDRO는 표 1에서 보듯이 기준주파수에서 근접한 곳의 위상잡음특성이 우수하여 무선통신 신호의 Waveform Quality 특성에 영향을 적게 주리라 기대된다. 또한, PLL칩을 이용해 기준주파수를 변화시킴으로써 초고주파대의 발진주파수를 쉽게 디지털신호로 간단히 제어가 가능하며, SPD를 이용해 초고주파대의 신호를 직접 위상고정제어를 하여결과적으로 active소자의 수가 줄어 무선통신 시스템의 신뢰성을 높이는 효과가 기대된다. 이를 이용하여 이동통신용으로 사용되는 Microwave 시스템이나, ITS용 통신시스템의 국부발진기의 신호원으로 사용될 수 있을 것이다.

참 고 문 헌

- [1] N.R. Mysoor, "An electronically tuned, stable 8415MHz dielectric resonator FET oscillator for space applications," *Aerospace Applications Digest*, pp. 147-156, 1990 pp.65
- [2] J.Perez, P. Porta and F Sierra, "A comparison of the performance of three phase locked oscillators fabricated at 21 GHz," *IEEE MTT-S Dig.*, pp. 305-308, 1992.
- [3] I. Telliez, M. Damiade, P. Savary and P. Bourne, "Millimetre wave phase locked oscillator for mobile communication systems", *IEEE Microwave and Millimeter-Wave Monolithic Circuits Sym.*, pp. 49-52, 1995.
- [4] Metelics corporation, *The sampling phase detector*, Application Note, Apr. 1990.
- [5] Alpha Semiconductor Division, *Sampling phase detectors*, Data Sheet, Mar. 1990.

〈저자소개〉



김 현 진 (Hyun-jin, Kim)

2000년 2월 : 광운대학교 전자공학부(공학사)
2002년 2월 : 광운대학교 전파공학과(공학석사)
2002년 3월~현재 : 광운대학교 전파공학과 박사과정



김 용 환 (Yong-Hwan, Kim)

2000년 2월 : 광운대학교 전자공학부(공학사)
2002년 2월 : 광운대학교 전파공학과(공학석사)
2002년 3월~현재 : 광운대학교 전파공학과 박사과정



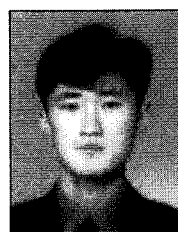
민 준 기 (Jun-ki, Min)

2000년 2월 : 광운대학교 전자공학부(공학사)
2002년 2월 : 광운대학교 전파공학과(공학석사)
2002년 3월~현재 : 광운대학교 전파공학과 박사과정



유 형 수 (Hyeong-soo, Yoo)

1994년 2월 : 명지대학교 전자공학과(공학사)
2002년 2월 : 한양대학교 전자통신공학과(공학석사)
2002년 8월~현재 : 광운대학교 전파공학과 박사과정



이 형 규 (Hyeong-kyu, Lee)

2000년 2월 : 호원대학교 정보통신과(공학사)
2002년 8월 : 광운대학교 전파공학과(공학석사)
2002년 9월~현재 : 광운대학교 전파공학과 박사과정



홍 의 석 (Ui-seok, Hong)

1968년 2월 : 광운대학교 전자통신공학과(공학사)
1973년 9월 : 연세대학교 전자공학과(공학석사)
1982년 11월 : 독일 Aachen 공대 전자공학과(공학박사)
1986년~1987년 : 미국 Univ. of Texas 객원교수
2001년 1월~2001년 12월 : 한국통신학회 회장
2002년 5월~2003년 2월 : 한국ITS학회 초대회장
1987년 3월~현재 : 광운대학교 전자공학부 교수