

Subharmonic Injection Locking 방법을 이용한 X-Band 주파수 합성기 설계

The Design of a X-Band Frequency Synthesizer using the Subharmonic Injection Locking Method

김 지 혜 · 윤 상 원

Ji-Hye Kim · Sang-Won Yun

요 약

Subharmonic injection locking 방식을 이용하여 디지털 위성방송 시스템의 신호원으로 사용될 수 있는 낮은 위상 잡음과 우수한 전력 효율을 갖는 X-band 주파수 합성기를 설계, 제작하였다. 주파수 합성기는 위상 고정 발진기의 역할과 동시에 고조파 발생기로 동작하는 1.75 GHz의 주 발진기(master 발진기)와 10.5 GHz의 부 발진기(slave 발진기)로 구성되어 있다. PLL 방법을 적용하여 구성된 1.75 GHz 주 발진기는 능동부를 형성하는 트랜지스터와 버퍼 증폭기의 역할을 하는 BJT 트랜지스터를 직렬 연결하여 사용하였는데 첫 단은 위상 고정 발진기의 역할을 하고 둘째 단은 45 GHz의 차단 주파수(cutoff frequency)를 갖는 BJT를 사용함으로써 고조파 발생기로 동작하게 하여 안정적으로 Injection Locking 될 수 있도록 인가될 신호인 6차 고조파의 크기를 충분히 크게 발생 시키도록 하였다. 고조파 발생기로부터 발생한 6차 고조파는 뒤에 위치한 약 45 dB 이득을 갖는 증폭기로 동작하는 부 발진기에 인가되어 Injection Locking 된다. 이러한 특성을 갖는 회로 구조를 이용하여, ILO 방식을 이용하여 얻는 간단한 회로 구조와 낮은 위상 잡음 특성은 물론 보다 우수한 전력 효율을 갖는 10.5 GHz 주파수 합성기를 설계 제작하였다. 제작된 10.5 GHz 주파수 합성기는 7.4 V/49 mA, -0.5 V/4 mA의 전력 소모와 4.53 dBm의 출력 전력, 그리고 10 kHz와 100 kHz 이격 주파수에서 각각 -95.09 dBc/Hz와 -108.90 dBc/Hz의 위상 잡음 특성을 얻었다.

Abstract

A low phase noise frequency synthesizer at X-Band which employs the subharmonic injection locking was designed and tested. The designed frequency synthesizer consists of a 1.75 GHz master oscillator - which also operates as a harmonic generator - and a 10.5 GHz slave oscillator. A 1.75 GHz master oscillator based on PLL technique used two transistors - one constitutes the active part of VCO and the other operates as a buffer amplifier as well as harmonic generator. The first stage operates a fixed locked oscillator and using the BJT transistor whose cutoff frequency is 45 GHz, the second stage is designed, operating as a harmonic generator. The 6th harmonic which is produced from the harmonic generator is injected into the following slave oscillator which also behaves as an amplifier having about 45 dB gain. The realized frequency synthesizer has a 7.4 V/49 mA, -0.5 V/4 mA of the low DC power consumption, 4.53 dBm of output power, and a phase noise of -95.09 dBc/Hz and -108.90 dBc/Hz at the 10 kHz and 100 kHz offset frequency, respectively.

Key words : Injection Locking Oscillator, Frequency Synthesizer, Harmonic Generator, Subharmonic

「본 연구는 서강대학교 산업기술연구소의 지원으로 이루어졌음.
서강대학교 전자공학과(Dept. of Electronics Eng., Sogang University)
· 논문 번호 : 20031115-06S
· 수정완료일자 : 2003년 12월 26일

I. 서 론

디지털 위성방송이 활성화 되어감에 따라 많은 부품들의 저가화 및 소형화가 급속히 진행되고 있다. 디지털 시스템은 아날로그와는 달리 지터의 문제를 줄이기 위해 낮은 잡음 특성이 매우 중요하다. 따라서 낮은 잡음 특성과 높은 효율을 갖는 10 GHz 대역의 신호원이 절실히 요구되고 있다.

본 논문에서는 이러한 신호원으로 10.5 GHz 주파수 합성기를 설계 및 제작하였다. 수십 GHz 이상의 주파수 합성기는 크게 직접 발진시키는 방식과 체배하는 방식 그리고 Injection Locking 방식으로 나눌 수 있다. 10.5 GHz에서 직접 발진^[1]시키는 경우, 회로 구조는 간단하지만, 보통 유전체 공진기와 가변용량 다이오드를 이용하여 낮은 위상 잡음^[2]을 갖도록 설계하는데 10.5 GHz에서 공진부를 구성하는 가변용량 다이오드의 상대적으로 낮은 Q로 인하여 발진 파형이 낮은 위상 잡음을 갖도록 설계하는 데 어려움이 있을 뿐 아니라, 저가의 PLL IC의 최대 동작 주파수가 3 GHz 정도가 보편화되어 있어 추가로 프리스케일러(Prescaler)를 사용하여야 하는 불편함이 있다. 이에 반하여 체배하는 방식^[3]으로 설계할 경우는 발진 주파수의 1/n 주파수 대역에서 주파수 합성기를 설계하므로 위상 고정 및 용이하고, 위상 잡음 특성을 우수하게 설계할 수 있어 유리하다. 그러나 회로 구조가 복잡하고 체배하는 회로에서는 효율이 낮은 경우 전원 소모가 크다는 문제점을 가질 수 있다. Injection Locking 방식^{[7]-[10]}은 체배 방식과 마찬가지로 발진 주파수의 1/n 주파수 대역에서 주파수 합성기를 설계하므로 위상 잡음 특성을 우수하게 설계할 수 있고, 회로 구조도 간단하며 일반적으로 회로의 전력효율을 증가시키는 장점을 갖는다. 따라서 본 논문에서는 여러 방면에서 유리한 위치에 있는 Injection Locking 방식을 이용하여 10.5 GHz 주파수 합성기를 설계 제작하였다. 발진 주파수의 1/6인 1.75 GHz 대역에서 PLL 방법을 적용하여 발진시킨 뒤(주 발진기), 이 과정에서 6차 고조파를 효율적으로 발생시켜 뒤에 위치한 발진회로(부 발진기)에 인가시킴으로써 원하는 발진 주파수를 얻는 방식을 사용하였다. 즉 1.75 GHz에서 발진하는 주 발진기를 설계한 뒤 이를 10.5 GHz에서 발진할 수 있는 부 발

진회로에 인가시켜 locking을 유도하여 10.5 GHz에서 발진 출력을 내도록 하였다.

본 논문에서 제작한 ILO 방식을 이용한 주파수 합성기의 특징은 고차 고조파(6차 고조파)를 이용한 Injection Locking으로, 주 발진기는 위상 고정 발진기의 역할뿐 아니라 안정적으로 Injection Locking이 되도록 인가될 신호인 6차 고조파의 크기를 충분히 키워주는 고조파 발생기로 동작한다. 이는 주 발진기 설계시 2개의 트랜지스터를 직렬로 연결하여 사용함으로써 구현하였다. 첫 단은 위상 고정 발진기의 역할을 하게 하고 둘째 단은 버퍼 증폭기의 역할을 하는 트랜지스터로 45 GHz의 차단 주파수(cutoff frequency)를 갖는 BJT를 사용함으로써 고조파 발생기로 동작하게 하였다. 고조파 발생기로부터 발생한 6차 고조파는 뒤에 위치한 부 발진기에 Injection Locking되는데 이때 부 발진회로는 약 45 dB의 이득을 갖는 증폭기로서 동작하게 된다. 이러한 특성을 갖는 회로 구조를 이용함으로써 ILO 방식을 이용함으로써 얻는 간단한 회로 구조와 낮은 위상 잡음 특성은 물론 보다 우수한 전력 효율을 갖는 10.5 GHz 주파수 합성기를 설계 제작하였다.

II. 본 론

2-1 전체 구성도

본 논문에서 설계 제작된 10.5 GHz의 주파수 합성기의 전체 구성도는 다음과 같다. 그림 1에서와 같이 ILO(Injection Locked Oscillator)는 주 발진기와 부 발진기로 구성되어 있다.

PLL^{[5],[6]} 방법을 적용하여 위상이 고정된 신호를 발진 시키고 차단 주파수가 높은 트랜지스터를 직렬로 연결해 6차 고조파 발생기로 동작하는 1.75 GHz

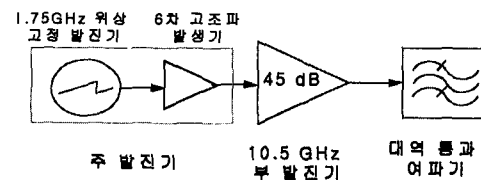


그림 1. 10.5 GHz 주파수 합성기 구성도
Fig. 1. The structure of 10.5 GHz Frequency Synthesizer.

의 주 발진기를 설계하였고, 10.5 GHz에서 자유 발진하도록 부 발진기를 설계하였다. 낮은 위상 잡음 특성을 갖는 1.75 GHz의 주 발진기의 6차 고조파 성분을 인가되는 신호로 사용하여 10.5 GHz의 부 발진기에 인가함으로써 위상 고정 및 위상 잡음 특성이 개선되는 ILO를 설계하였다. 마지막 단에는 대역 통과 여파기를 사용하여 10.5 GHz가 아닌 1.75 GHz의 기본파 및 나머지 고조파 성분들을 감쇠시켰다. 제작에 사용된 기판은 유전율(ϵ_r) 3에 두께 20 mil인 Rogers 기판을 이용하였다.

2.2 1.75 GHz의 주파수 합성기 설계

1.75 GHz에서 설계된 주 발진기는 NEC사의 2SC-3356 트랜지스터, 버퍼 증폭기 용도로 사용한 Infineon사의 BJT BFP540, 유전체 공진기, 그리고 가변용량 다이오드는 Toshiba사의 1SV277을 이용하여 설계하였다. 주 발진기는 능동부를 형성하는 BJT 2SC3356 트랜지스터와 버퍼 증폭기의 역할을 하는 BJT BFP540 트랜지스터를 직렬 연결하여 사용하였는데 첫 단은 1.75 GHz 위상 고정 발진기의 역할을 하고 둘째 단으로 45 GHz의 차단 주파수(cutoff frequency)를 갖는 BJT를 사용함으로써 고조파 발생기로 동작하게 하여 안정적으로 Injection Locking 될 수 있도록 인가될 신호인 6차 고조파의 크기를 충분히 크게 발생시키도록 하였다. 또한 신호원의 용도로 사용될 것이기 때문에 가변범위를 줄여 위상 잡음 특성이 좋게 하는 방향으로 설계하였다.

그림 2와 그림 3은 증가화 된 유전체 공진기^[4]와 가변용량 다이오드를 바탕으로 Agilent사의 ADS 2001로 시뮬레이션한 결과이다.

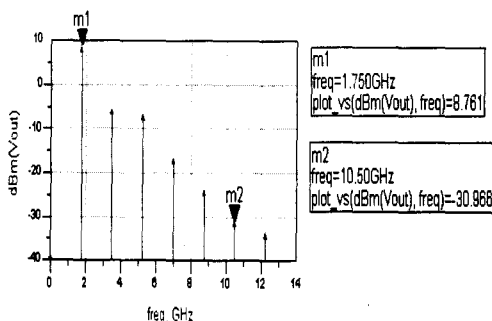


그림 2. 주 발진기의 고조파 특성
Fig. 2. Harmonics Characteristics of Master Oscillator.

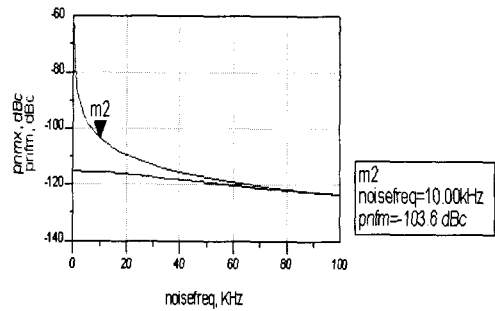


그림 3. 주 발진기의 위상 잡음 특성
Fig. 3. Phase Noise Characteristics of Master Oscillator.

다음은 위 시뮬레이션 결과를 바탕으로 제작된 1.75 GHz 주 발진기의 특성이다. $V_{cc} = +7.4$ V에 $I = 32$ mA이고 가변범위(Δf)는 1.75 GHz를 중심으로 32 MHz이다. 1.75 GHz의 6차 고조파는 크기가 너무 작아서(약 -30 dBm) 계측기로 위상 잡음 특성을 측정하는 것에 정확도가 떨어지기 때문에 측정을 생략하였다.

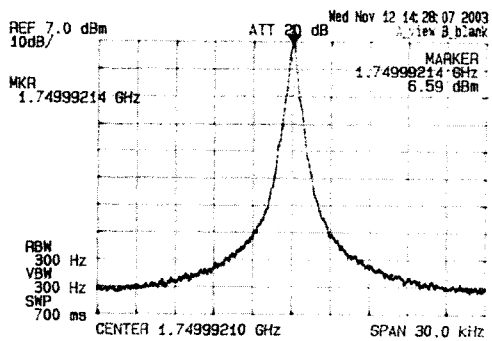


그림 4. 주 발진기의 출력전력
Fig. 4. Output Power of Master Oscillator.

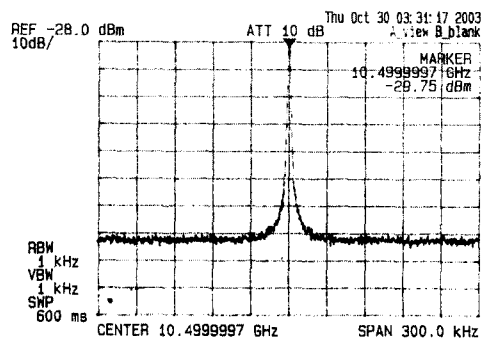


그림 5. 6차 고조파의 출력전력
Fig. 5. Output Power of 6th Harmonic.

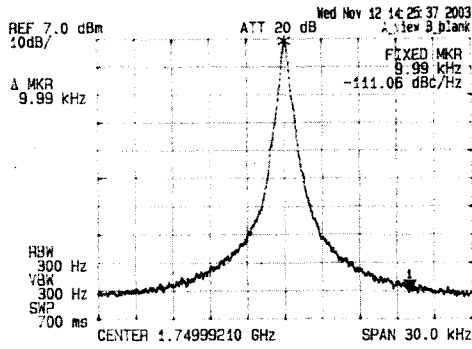


그림 6. 주 발진기의 위상 잡음 특성(@10 kHz)
Fig. 6. Phase Noise Characteristics of Master Oscillator (@10 kHz).

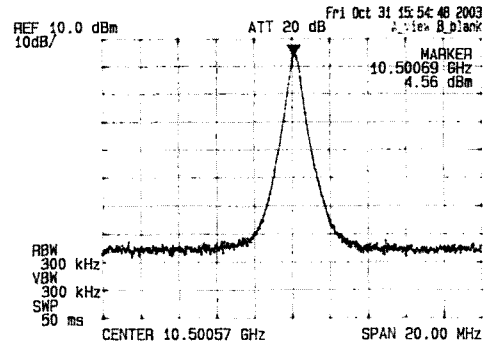


그림 9. 부 발진기의 자유 발진 spectrum
Fig. 9. Free Running Spectrum of Slave Oscillator.

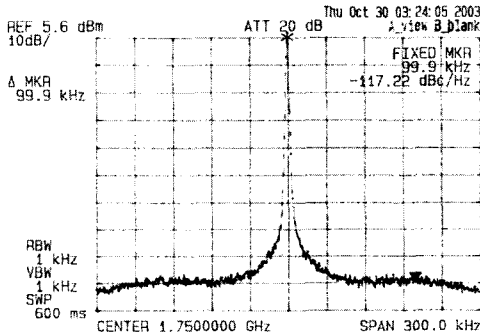


그림 7. 주 발진기의 위상 잡음 특성(@100 kHz)
Fig. 7. Phase Noise Characteristics of Master Oscillator (@100 kHz).

2-3 10.5 GHz 부 발진기 설계

Infineon사의 HFX35LG 트랜지스터를 이용하여 10.5 GHz의 부 발진기를 설계 제작하였다. ILO는 주 발진기의 위상 잡음이 전체 위상 잡음을 결정하므로

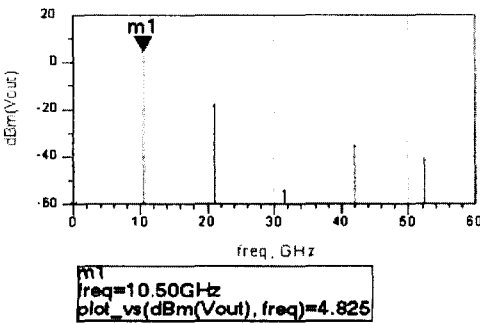


그림 8. 부 발진기 시뮬레이션 결과
Fig. 8. Simulation Results of Slave Oscillator.

부 발진기 설계 시에는 위상 잡음을 고려하지 않고 요구되는 출력 전력을 내면서 주 발진기로부터의 입력 주파수인 10.5 GHz 주파수만을 Locking 하도록 자체 음의 저항영역을 좁게 하는 것에 설계의 방향을 두었다. $V_{ce}=3$ V에 $I_c=10$ mA로 바이어스 하였고 Microstrip line으로 설계하였다. Agilent사의 ADS 2002C를 사용한 부 발진기의 시뮬레이션 결과와 측정 결과는 각각 그림 8과 그림 9와 같다.

2-4 대역 통과 여파기(BPF) 설계

10.5 GHz가 아닌 1.75 GHz의 기본파 및 나머지 고조파 성분들을 감쇠시키기 위하여 microstrip line을 이용하여 설계 제작된 대역 통과 여파기를 최종 출력 단에 연결하였다. 그림 10, 그림 11은 각각 Momentum 시뮬레이션 결과와 측정 결과이다. 설계 제작된 대역 통과 여파기는 10.5 GHz에서 약 3.3 dB 삽입손실을 가지며, 10 GHz 양 옆에 존재하는 1.75 GHz의 5차 고조파와 7차 고조파 주파수에서 20 dB

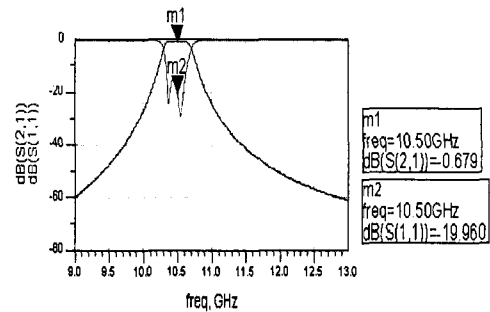


그림 10. 대역 통과 여파기 시뮬레이션 결과
Fig. 10. Simulated Results of BPF.

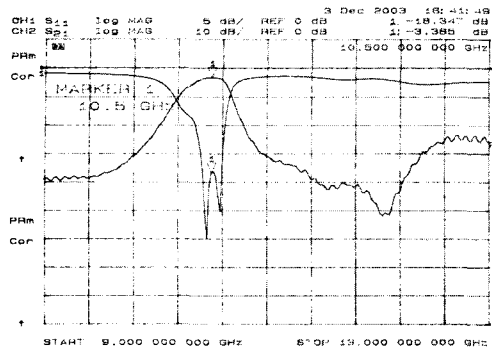


그림 11. 측정된 대역 통과 여파기 특성
Fig. 11. Measured Results of BPF.

정도의 감쇠 특성을 보인다.

2.5 ILO 측정 결과

ILO(Injection Locked Oscillator) 방식을 응용하여 10.5 GHz 주파수 합성기를 설계 및 제작하였다. 유전체 공진기를 이용하여 공진부를 설계한 주 발진기와 microstrip line을 이용하여 설계된 부 발진기로 구성되어진다. 위상 고정인 1.75 GHz 주 발진기의 6차 고주파 성분을 10.5 GHz의 부 발진기에 injection locking될 수 있도록 중간 정합 회로를 이용하여 결합시켰으며 그 결과 안정적으로 위상 고정이 되었다.

표 1은 대역 통과 여파기를 포함한 10.5 GHz 주파수 합성기의 최종 특성이다. 제작된 ILO는 이격 주파수 10 kHz에서 -95.09 dBc/Hz, 100 kHz에서 -108.90 dBc/Hz의 위상 잡음 특성을 보였으며 ILO 출력 전력은 4.53 dBm을 얻었다. 1.75 GHz의 기본 주파수의 위상 잡음 특성에 비해서 약 15 dB 정도 저하된 결과이다. 이는 주파수가 N 배 만큼 높아질 때 약 $20 \log N$ 의 기울기로 저하되는 특성으로 인해 예상되었던 결과이다.

그림 12는 10.5 GHz 주파수 합성기의 출력 전력

표 1. 제작된 10.5 GHz 주파수 합성기의 최종 특성
Table 1. Final Characteristics of Designed 10.5 GHz Frequency Synthesizer.

주파수 (fo)	10.5 GHz
출력 전력 (dBm)	4.53
위상 잡음 (@10 kHz)	-95.09
위상 잡음 (@100 kHz)	-108.90

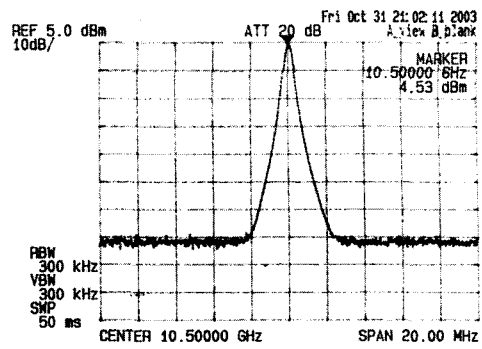


그림 12. 10.5 GHz ILO의 출력전력
Fig. 12. Output Power of 10.5 GHz ILO.

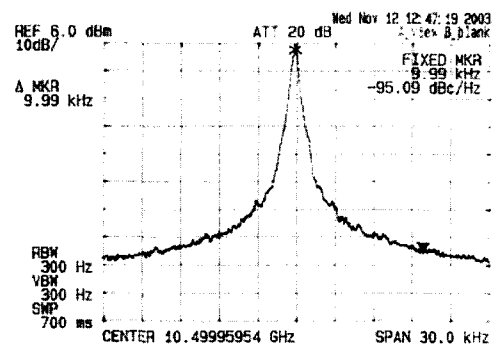


그림 13. 10.5 GHz ILO의 위상 잡음(@10 kHz)
Fig. 13. Phase Noise of 10.5 GHz ILO(@10 kHz).

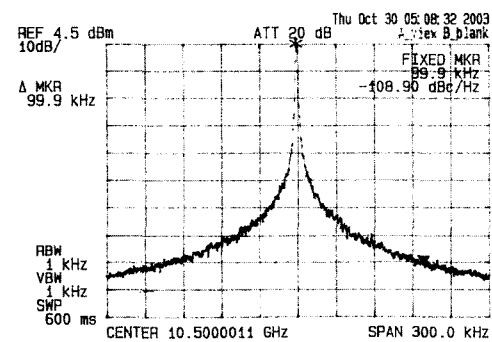


그림 14. 10.5 GHz ILO의 위상 잡음(@100 kHz)
Fig. 14. Phase Noise of 10.5 GHz ILO(@100 kHz).

특성이고, 그림 13과 그림 14는 이격 주파수 10 kHz와 100 kHz에서 각각 측정된 ILO의 위상잡음 특성이다.

III. 결 론

본 논문에서는 Injection Locking 방식을 이용하여

10.5 GHz의 ILO(Injection Locking Oscillator)를 설계, 제작하였다. 제작된 주파수 합성기는 $f_0/6$ 되는 주파수 대역에서 위상이 고정되며 동시에 고조파 발생기로 동작하는 주 발진기와 f_0 주파수 대역의 부 발진기로 나뉘며, 주 발진기의 6차 고조파 성분을 부 발진기에 인가시켜 원하는 발진 주파수를 얻었다. 인가되는 신호의 크기를 매우 크게 할 필요가 없기 때문에 주 발진기와 부 발진기 사이에 증폭기를 두지 않고, Injection Locking이 안정적으로 일어나게 하는 약 -30 dBm의 출력 전력을 인가될 신호(6차 고조파)가 갖도록 주 발진기 자체가 이를 만족하도록 고조파 발생기로 동작하게 설계하였다. 이는 두 개의 BJT 트랜지스터를 직렬로 연결함으로써 구현하였는데, 첫 단은 위상 고정 발진기의 역할을 하게 하고 둘째 단은 버퍼 증폭기 용도로 45 GHz의 차단 주파수를 갖는 BJT 트랜지스터를 사용함으로써 고조파 발생기의 역할을 하게 하였다. 1.75 GHz 대역의 주 발진기는 370정도의 Q값을 갖는 유전체 공진기를 이용하고 가변 범위를 줄여 낮은 위상 잡음 특성을 갖도록 설계하였다. 주 발진기는 이격 주파수 10 kHz에서 -111.06 dBc/Hz, 이격 주파수 100 kHz에서 -117.81 dBc/Hz의 위상 잡음 특성을 얻었고 6차 고조파의 출력 전력은 -29.75 dBm을 얻었다. 자유 발진 상태인 10.5 GHz 대역의 부 발진기는 Microstrip line을 이용하여 제작되었으며, 4.56 dBm의 출력 전력을 갖고 발진 주파수에서 약 45 dB 이득을 갖는 증폭기로 동작하게 하였다. 주 발진기와 부 발진기가 결합된 10.5 GHz ILO는 4.53 dBm의 출력 전력과 이격 주파수 10 kHz 지점에서 -95.09 dBc/Hz, 100 kHz 지점에서는 -108.90 dBc/Hz의 위상 잡음 특성을 얻었다. 이것은 주파수가 N 배 만큼 높아질 때 약 $20 \log N$ 의 기울기로 위상 잡음이 떨어진 것으로 주 발진기의 기본 주파수에서의 위상잡음으로부터 예상된 결과와 같다.

본 논문에서 제작된 Subharmonic Injection Locking 방법을 이용한 10.5 GHz 주파수 합성기는 Injection Locking 방식을 따르기 때문에 간단한 회로 구조와 낮은 위상 잡음 특성을 갖고 주 발진기를 위상 고정 발진기의 역할과 동시에 차단 주파수가 높은 BJT 트랜지스터를 버퍼 증폭기 용도로 사용함으로써 고조파 발생기로 동작하도록 설계하여 뒤에 위치

표 2. 제작된 ILO와 상용화된 주파수 체배기의 주요 특성 비교

Table 2. Major Characteristics Comparison between Designed ILO and Commercial Frequency Synthesizer.

	상용화된 10 GHz 주파수 합성기	제작된 10.5 GHz 주파수 합성기
전력 소모	5 V/275 mA 15 V/40 mA	7.4 V/49 mA -0.5 V/4 mA
위상 잡음 (dBc/Hz)	-93(@10 kHz) -116(@100 kHz)	-95.09(@10 kHz) -108.90(@100 kHz)
출력 전력 (dBm)	12	4.53

한 약 45 dB 이득을 갖는 증폭기로 동작하는 부 발진기를 통해 Injection Locking 시키는 방식을 취함으로써 우수한 전력 효율 특성을 얻을 수 있었다.

표 2는 상용화된 체배 방식을 이용한 주파수 합성기와 본 논문에서 제작된 Subharmonic Injection Locking 방법을 이용한 주파수 합성기를 비교한 것이다.

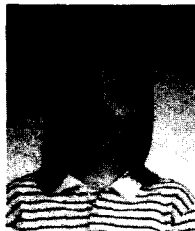
위의 표에서 볼 수 있듯이 본 논문에서 제작된 주파수 합성기는 체배 방식을 사용한 주파수 합성기보다 전력 효율이 상당히 우수함을 알 수 있다. 위상 잡음 특성 또한 이격 주파수 10 kHz에서 보다 우수한 특성을 얻었으며 본 논문에서 제작된 주파수 합성기가 이격 주파수 100 kHz에서는 위상 잡음 특성이 떨어지는데, 이는 캐리어 주파수에서 가까운 곳은 주 발진기의 위상 잡음 특성을 따라 가고, 캐리어 주파수에서 먼 곳은 부 발진기의 위상 잡음 특성을 따라 가는 ILO의 위상 잡음 특성에 의한 결과이다. 본 논문에서는 위상 잡음 고려 없이 Microstrip line로 부 발진기를 제작하였으나 높은 주파수에도 우수한 Q 값을 갖는 유전체 공진기 등을 이용해 설계한다면 충분히 개선될 것으로 보인다.

참 고 문 헌

[1] K. K. Ryu, H. K. Ji, J. H. Jang, Y. D. Lee, H. K. Min, E. D. Oh and U. S. Hong, "A Voltage Controlled Dielectric Resonator Oscillator with Frequency Doubler for Wireless CATV", *Communications, 1999, APCC/OECC '99, Fifth Asia-Pacific Conference on ... and Fourth Optoelectronics and Commu-*

- nications Conference*, vol. 1, pp. 777-780, 1999.
- [2] Ulrich L. Rohde, *RF/Microwave Circuit Design for Wireless Applications*, Wiley-Interscience, 2000.
- [3] M. M. Driscoll, T. D. Merrell, "Spectral Performance of Frequency Multipliers and Dividers", *Frequency Control Symposium 1992 46th Proceedings of the 1992 IEEE*, pp. 193-200, May 1992.
- [4] Bernard C. Deloach, "A New Microwave Measurement Technique to characterize Diodes and an 800-GHz Cutoff Frequency Varactor at Zero Volts Bias", *IEEE Trans. Microwave Theory Tech.*, vol. MTT-26, pp. 15-20, Jan. 1964.
- [5] Jack Smith, *Modern Communication Circuits*, McGraw-Hill, 1986.
- [6] Dean Banerjee, *PLL Performance, Simulation and Design*, NS, 1998.
- [7] R. A. York, "Nonlinear analysis of phase relationships in quasi-optical oscillator arrays", *IEEE Trans. Microwave Theory Tech.*, vol. 42, pp. 2040-2045, Nov. 1994.
- [8] H. -C. Chang, X. Cao, U. K. Mishra and R. A. York, "Phase Noise in Coupled Oscillators : Theory and Experiment", *IEEE Trans. Microwave Theory Tech.*, vol. 45, pp. 604-615, May 1997.
- [9] H. -C. Chang, X. Cao, M. J. Vaughan, U. K. Mishra and R. A. York, "Phase Noise in Externally Injection-Locked Oscillator Arrays", *IEEE Trans. Microwave Theory Tech.*, vol. 45, pp. 2035-2042, Nov. 1997.
- [10] K. Kurokawa, "Injection locking of microwave solid-state oscillators", *Proc. IEEE*, vol. 61, pp. 1386 -1410, Oct. 1973.

김 지 혜



2002년 2월: 서강대학교 전자공학과 (공학사)
 2002년 3월~현재: 서강대학교 전자공학과 대학원 석사과정
 [주 관심분야] 초고주파대역 주파수 합성기

윤 상 원



1977년 2월: 서울대학교 전자공학과 (공학사)
 1979년 2월: 서울대학교 전자공학과 (공학석사)
 1984년 2월: University of Texas at Austin (공학박사)
 1984년~현재: 서강대학교 전자공학과 교수
 1988년 1월~12월: University of Texas at Austin 방문교수
 [주 관심분야] 초고주파대역 소자 및 회로