

논문 2004-41SD-2-2

SOI MOSFET의 모든 동작영역을 통합한 해석적 표면전위 모델

(A Unified Analytical Surface Potential Model for SOI MOSFETs)

유 윤 섭*

(Yun Seop Yu)

요 약

본 논문에서는 부분공핍(partially-depleted : PD) 영역과 완전공핍(fully-depleted : FD) 영역을 나누는 임계 전면 게이트 전압 V_c 의 해석적 표현을 이용해서 PD 영역과 FD 영역의 전이를 정확히 설명하는 해석적 표면전위 모델(analytical surface potential model)을 소개한다. 이 모델은 모든 동작영역(subthreshold에서 strong inversion까지)에서 유효하고 반복 계산 절차(iteration procedure)인 수치 해석적 방법보다 훨씬 짧은 계산시간이 걸린다. 이 모델에 기초한 charge sheet 모델이 모든 동작영역에 유효한 드레인 전류의 단일 공식을 유도하는데 사용된다. 대부분의 secondary 효과들이 charge sheet 모델에 쉽게 포함되고 그 모델의 결과들은 수치해석 결과와 실험 결과를 비교적 정확히 일치한다. 세 가지의 smoothing 함수가 사용될지라도 표면전위 미분 값은 연속이다. 더욱 중요한 점은 smoothing 함수에 사용된 파라미터들은 공정 파라미터들에 크게 의존하지 않는다.

Abstract

We present a new unified analytical front surface potential model, which can accurately describe the transitions between the partially-depleted (PD) and the fully-depleted (FD) regimes with an analytical expression for the critical voltage V_c delineating the PD and the FD region. It is valid in all regions of operation (from the sub-threshold to the strong inversion) and has the shorter calculation time than the iterative procedure approach. A charge sheet model based on the above explicit surface potential formulation is used to derive a single formula for the drain current valid in all regions of operation. Most of the secondary effects can be easily included in the charge sheet model and the model accurately reproduces various numerical and experimental results. No discontinuity in the derivative of the surface potential is found even though three types of smoothing functions are used. More importantly, the newly introduced parameters used in the smoothing functions do not strongly depend on the process parameter.

Keywords : Surface potential, Partially-depleted, Fully-depleted, Charge sheet model, Smoothing function

I. 서 론

SOI(Silicon On Insulator) MOSFET은 벌크(bulk) MOSFET에 비해서 기생 정전용량의 감소, 단채널 효과(short-channel effects) 억제, 소자 절연의 용이등의 장점이 있다^[1,2]. 더욱이, 비교적 간단한 공정으로 제작이 가능하고 래치업(latch-up) 현상이 방지된다^[1,2]. 인가 전압, 실리콘 두께(t_{si})와 채널 불순물 농도(N_{ch})에 의존해서 SOI MOSFET의 동작은 부분공핍(partially-deplete

d : PD)과 완전공핍(fully-depleted : FD)의 두 영역으로 나뉜다^[3-5]. 실제 SOI 소자들을 하나의 동작영역에서 동작하도록 제작하는 일반적인 경향이 있을지라도 pass transistor 들은 게이트 전압의 변화에 따라서 PD영역에서 FD영역으로 변화가 때때로 발생한다. 그러므로 회로 시뮬레이션의 정확성과 완전성을 확보하기 위해서 두 동작영역사이의 변화를 정확히 처리할 수 있는 소자 모델이 아직도 필요하다.

두 동작영역 사이의 변화를 정확히 처리할 수 있는 SOI MOSFET compact 모델이 여러 개 발표되었다^[3-5]. 연속적인 compact 모델^[3]은 일차원 포아송(1-Dimen-

* 정회원, 한경대학교 정보제어공학과
(Dept. of Information & Control Eng. Hankyong National Univ.)
접수일자 : 2004년 1월 13일, 수정완료일 : 2004년 2월 6일

sional Poisson) 방정식을 반복적인 계산 절차(iteration procedure) 이용해서 표면전위(surface potential)를 계산한다. 각 바이어스에서 드레인 전류(drain current)를 계산할 때 구해진 표면전위가 사용된다. 이 모델에서 PD 영역과 FD 영역 사이의 천이(transition)은 연속적이다. 그러나 반복적 계산 절차는 상당히 큰 회로를 시뮬레이션할 때 많은 계산 시간을 요구할 수도 있다. 준 이차원(quasi 2-dimensional) 이고 통합된 해석적(unified analytical) 표면전위 모델^[4]은 PD 영역과 FD 영역을 모두 설명할 수 있다. 이 모델은 기본적으로 완전히 해석적(analytical)이나 PD 영역과 FD 영역을 나누는 임계 전면 게이트 전압(critical front gate voltage) V_c 를 구하는데 반복적 계산 절차가 요구된다. 또한 이 모델의 strong inversion과 accumulation 영역의 표면전위의 결과는 일차원 포아송 방정식의 수치해석 결과와 상당히 차이가 있다. BSIM-SOI^[5]은 위에서 설명한 표면전위 모델에 기반을 두지 않은 해석적 문턱전위(threshold)를 사용한다.

본 논문은 SOI MOSFET의 모든 동작영역을 통합한 해석적 표면전위 모델을 제시한다. 드레인 전류의 단일식을 유도하기 위해서 각 동작 영역들의 단순화된 표면전위 모델들을 smoothing 함수로 연결한다. 이 모델은 PD 영역에서 FD 영역으로의 변화를 포함하고 accumulation 영역에서 strong inversion 영역까지 모든 동작영역을 설명한다. PD 영역과 FD 영역을 나누는 임계 전면 게이트 전압 V_c 의 해석적 수식을 제시한다. 이 모델의 유효성을 수치해석 결과(numerical results) 및 실험 결과와 비교하여 증명한다

II. 기본 모델

우리 모델의 출발점인, 전면표면과 후면표면의 경계 조건을 가진 일차원 포아송 방정식은 다음과 같다^[3].

$$\begin{aligned} & V_t \exp(-(\phi_B + V_{Cb})/V_t) (\exp(\psi_{sf}/V_t) - \exp(\psi_{sb}/V_t)) \\ & + V_t (\exp(-\psi_{sf}/V_t) - \exp(-\psi_{sb}/V_t)) + \psi_{sf} - \psi_{sb} \\ & = \frac{1}{\gamma^2} \left[(V_{Gf} - V_{Ff} - \psi_{sf})^2 - \frac{C_{ob}^2}{C_{of}^2} (V_{Gb} - V_{Fb} - \psi_{sb})^2 \right], \quad (1) \end{aligned}$$

여기서 $V_{Gf}(V_{Gb})$ 는 전면(후면) 게이트-소스 전압들이고 $V_{Ff}(V_{Fb})$ 는 전면(후면) 게이트-소스 flat-band 전압들이고 V_{Cb} 는 채널-부동점(channel-floating body) 전위이고 C_{of} (C_{ob})는 전면(후면) 게이트-산화막 정전용량

(capacitance), ϕ_B 는 threshold surface potential($=2V_t \ln(N_{ch}/n_i)$, 여기서 V_t 는 열전압이고 n_i 는 진성 반송자 밀도)이고 γ 는 body factor($=\sqrt{2q\epsilon_{si}N_{ch}/C_{of}}$, 여기서 q 는 기본 전하량이고 ϵ_{si} 는 실리콘 유전율)이다. 실리콘 몸체(body)의 완전공핍 조건은 다음과 같다^[3].

$$\psi_{sb} = \max(0, \psi_{sf} - \alpha), \quad (2)$$

여기서 $\alpha = qN_{ch}^2/2\epsilon_{si}$ ^[6]이고 참고문헌 3의 수식에 포함된 $(x_s+x_d)/L_{eff}$ 는 $qN_{ch}^2/2\epsilon_{si}$ 에 비해서 상당히 작으므로 무시한다.

참고문헌 3은 식(1)과 (2)로부터 표면전위의 해를 구하기 위해서 수치 해석적인 방법을 사용하나 우리 모델은 해석적인 수식의 해를 구하고 그 과정은 다음과 같다. (A) 동작영역을 전면표면의 상태와 공핍 조건에 따라서 부분공핍(PD)의 accumulation 영역, PD의 depletion 영역, PD의 strong inversion 영역, 완전공핍(FD)의 sub-threshold 영역과 FD의 strong inversion 영역으로 나눈다. (B) 각각 전면 표면전위들의 근사식을 구한다^[7-10]. (C) 각 근사식들을 하나의 식으로 만들기 위해 smoothing 함수들을 사용한다^[4,10].

[표 1]은 모든 동작 영역의 표면전위의 근사식을 요약한다. 단순화된 표면전위의 해들은 ψ_{sa}^p (PD-accumulation 전면 표면전위), ψ_{sd}^p (PD-depletion 전면표면전위), ψ_{si}^p (PD-strong inversion 전면 표면전위), ψ_{ss}^f (FD-subthreshold 전면 표면전위)와 ψ_{si}^f (FD-strong inversion 전면 표면전위)이다. 단순화된 표면전위 수식들을 결합하는 연속 함수들(continuous functions)은 ψ_{ss}^p (PD-subthreshold 전면 표면전위), ψ_{sf}^p (PD 전면 표면전위), ψ_{sf}^f (FD 전면 표면전위)와 ψ_{sf} (모든 영역 전면 표면전위)이다. 세가지 종류의 연속 함수들이 사용되고 다음과 같다^[4, 10].

$$f_1 = \psi_b - V_t \ln \left\{ 1 + \exp \left(\frac{\psi_b - \psi_a}{V_t} \right) \right\},$$

$$\begin{aligned} & (\psi_a = \psi_{ss}^p, \psi_b = \psi_{si}^p \text{ 일 때 } f_1 = \psi_{sf}^p \text{ 이고 } \psi_a = \psi_{ss}^f, \psi_b = \psi_{si}^f \\ & \text{일 때 } f_1 = \psi_{sf}^f) \end{aligned} \quad (3)$$

$$f_2 = \frac{\psi_a}{1 + l_1 \exp \left(\frac{V_{Gf} - V_c}{n_{m1} V_t} \right)} + \frac{\psi_b}{1 + l_1 \exp \left(\frac{-(V_{Gf} - V_c)}{n_{m1} V_t} \right)},$$

$$(\psi_a = \psi_{sf}^p, \psi_b = \psi_{sf}^f \text{ 일 때 } f_2 = \psi_{sf}) \quad (4)$$

$$f_3 = \frac{\Psi_a}{1 + l_2 \exp\left(\frac{V_{Gf} - V_{Ff}}{n_{m2} V_t}\right)} + \frac{\Psi_b}{1 + l_2 \exp\left(\frac{-(V_{Gf} - V_{Ff})}{n_{m2} V_t}\right)},$$

$$(\Psi_a = \Psi_{sa}, \Psi_b = \Psi_{sd} \text{ 일 때 } f_3 = \Psi_{ss}) \quad (5)$$

여기서 l_1, l_2, n_{m1}, n_{m2} 은 fitting 파라미터들이다.

표 1. 모든 동작 영역의 표면전위 근사식들의 요약
Table 1. Simplified solutions of the front surface potential in various operation regions.

$\Psi_{sa}^p = -V_t \ln \left\{ 1 + \frac{\{V_{Gf} - V_{Ff}\}^2}{\gamma^2 V_t} \right\}$ [8]	Ψ_{ss}^p by f_3 (Ψ_{sa}^p)	Ψ_{sf}^p ↔ Ψ_{sd}^p by f_1 (Ψ_{ss}^p)
$\Psi_{sd}^p = \left[-\frac{\gamma}{2} + \sqrt{\frac{\gamma^2}{4} + V_{Gf} - V_{Ff}} \right]^2$ [8]		
$\Psi_{si}^p = f_{\psi}^p + V_t \ln \left\{ \frac{1}{V_t} \left[\frac{1}{\gamma^2} (V_{Gf} - V_{Ff})^2 - f_{\psi}^p \right] - f_{\psi}^p + V_t \right\}$	↔ Ψ_{si}^p	Ψ_{sf}^p by f_2 (Ψ_{sf}^p)
$f_{\psi}^p = \frac{\phi_B + V_{Cb} + \Psi_{ss}^p - \sqrt{(\Psi_{ss}^p - \phi_B - V_{Cb})^2 + 4\delta_1^2}}{2}$ where δ_1 is a constant fitting parameter [10]		
$\Psi_{ss}^f = \frac{V_g - \frac{C_{ob}^2}{C_{of}^2} (V_b + \alpha) - \sqrt{\frac{C_{ob}^2}{C_{of}^2} (V_g - V_b - \alpha)^2 + (1 - \frac{C_{ob}^2}{C_{of}^2}) \gamma^2}}{1 - \frac{C_{ob}^2}{C_{of}^2}}$	↔ Ψ_{sf}^f	Ψ_{sf}^f ↔ Ψ_{sd}^f
$\Psi_{si}^f = \phi_B + V_{Cb} + V_t \ln \left\{ \frac{\frac{1}{\gamma^2} [(V_{Gf} - V_{Ff})^2 - f_{\psi}^f] - \frac{C_{ob}^2}{C_{of}^2} (V_{Cb} - V_{Fb} - f_{\psi}^f) - \alpha}{V_t [1 - \exp(-\alpha/V_t)]} \right\}$		
$f_{\psi}^f = \frac{\phi_B + V_{Cb} + \Psi_{ss}^f - \sqrt{(\Psi_{ss}^f - \phi_B - V_{Cb})^2 + 4\delta_2^2}}{2}$ where δ_2 is a constant fitting parameter [10]		

PD 영역과 FD 영역이 $V_{Gf} = V_c$ 에서 나뉜다. 식(2) 안에 $\Psi_{sb} = 0$ (PD 영역 시작점) 조건을 삽입하면 $\Psi_{sf} = a$ 이 된다. 식(1)에 $\Psi_{sb} = 0, \Psi_{sf} = a$ 조건을 삽입하면 V_c 를 해석적으로 구할 수 있고 V_c 는 다음과 같다.

$$V_c = V_{Ff} + \alpha + \sqrt{\frac{C_{ob}^2}{C_{of}^2} (V_{Gb} - V_{Fb})^2 + (a + b + \alpha) \gamma^2},$$

$$a = V_t \exp(-(\phi_B + V_{Cb})/V_t) (\exp(\alpha/V_t) - 1),$$

$$b = V_t (\exp(-\alpha/V_t) - 1) \quad (6)$$

V_c 의 수치 해석적인 해가 해석적인 모델의 증명을 위해서 요구되어진다. 예를 들면, 포아송 방정식에 전하 밀도 표현식을 포함할 때 V_c 를 구하기 위해서 비선형 방정식이 풀어져야 한다^[4].

[그림 1]은 다양한 채널 불순물 농도 N_{ch} 에 대해서 V_c 의 실리콘 두께 t_{si} 의존성을 나타낸다. [그림 1(a)]는 새롭게 제안한 V_c (실선)이 수치 해석적으로 구한 V_c (기호)와 완전히 일치함을 보인다. [그림 1(b)]는 N_{ch} 가 적어지고 t_{si} 두꺼워 짐에 따라서 V_c 가 발산함(PD 영역에서 동작)을 보인다.

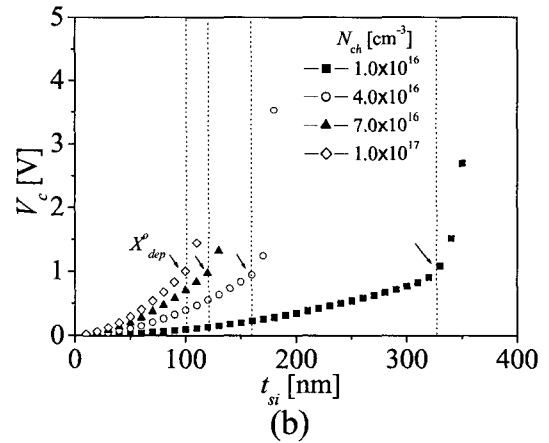
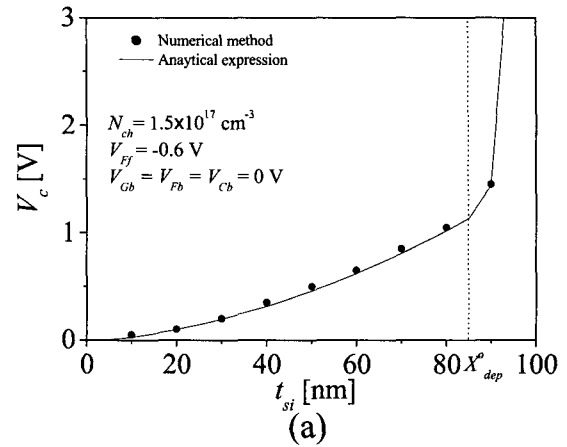


그림 1. V_c 의 실리콘 두께 t_{si} 의존성 ($X_{dep}^0 = \sqrt{2\epsilon_{si}\phi_B/qN_{ch}}$, $V_{Ff} = -0.6 \text{ V}$, $V_{Gb} = V_{Ff} = V_{Cb} = 0 \text{ V}$). (a) $N_{ch} = 1 \times 10^{17} \text{ cm}^{-3}$, (b) 다양한 N_{ch} (채워진 사각형은 $N_{ch} = 1 \times 10^{16} \text{ cm}^{-3}$ 이고 빈 원은 $N_{ch} = 4 \times 10^{16} \text{ cm}^{-3}$ 이고 채워진 삼각형은 $N_{ch} = 7 \times 10^{16} \text{ cm}^{-3}$ 이고 빈 다이아몬드는 $N_{ch} = 1 \times 10^{17} \text{ cm}^{-3}$ 이다)

Fig. 1. The critical voltage, V_c as a function of the Si film thickness, t_{si} (The quantity X_{dep}^0 is the depletion width at the threshold voltage ($= \sqrt{2\epsilon_{si}\phi_B/qN_{ch}}$). $V_{Ff} = -0.6 \text{ V}$ and $V_{Gb} = V_{Ff} = V_{Cb} = 0 \text{ V}$).

[그림 2]는 세 가지 방법으로 계산된 표면전위 ψ_{sf} 를 나타낸다. 채워진 사각형은 수치 해석적으로 계산된 결과^[3]이고 빈 원은 준 이차원 포아송 방정식으로부터 유도된 해석적인 수식으로 계산한 결과^[4]이고 실선은 우리 모델의 계산 결과이다. 참고문헌 4의 방법으로 계산한 결과(빈 원)는 수치 해석적으로 계산한 결과와 accumulation 영역과 strong inversion 영역에서 상당히 차이가 존재하나 우리 모델은 모든 동작영역에서 수치 해석적으로 계산된 결과와 완전히 일치하고 V_c 에서 정확히 변화하는 것을 보인다.

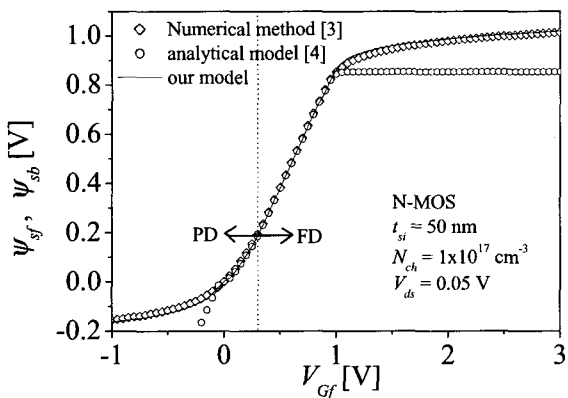


그림 2. 세가지 방법으로 계산된 전면 게이트 전압 V_{Gf} 에 따른 전면 표면전위 $\psi_{sf}(t_{si} = 50 \text{ nm}, N_{ch} = 1 \times 10^{17} \text{ cm}^{-3}, V_{ds} = 0.05 \text{ V})$

Fig. 2. The front gate surface potential ψ_{sf} as a function of the front gate voltage V_{Gf} ($t_{si} = 50 \text{ nm}, N_{ch} = 1 \times 10^{17} \text{ cm}^{-3}, V_{ds} = 0.05 \text{ V}$).

[그림 3(a)]와 [그림 3(b)]는 두개의 다른 t_{si} 에서 계산된 ψ_{sf} 를 나타낸다. 수치 해석적으로 계산된 결과(기호)와 우리 모델의 계산 결과(선)가 상당히 일치함을 보이고 V_c 에서 정확히 변화하는 것을 보인다. [그림 4]는 다양한 V_{cb} 에 대해서 우리 모델(선)과 수치 해석적으로 계산한 ψ_{sf} (기호)를 나타낸다. 두 결과가 일치함을 보인다.

Charge sheet 모델이 모든 동작 영역에 유효한 드레인 전류의 단일 공식을 유도하는데 사용된다^[9]. Charge sheet model의 드레인 전류는 소스 표면전위(ψ_{so})와 드레인 표면전위(ψ_{sl})들의 함수이다^[9]. 유효 드레인 전압^[11]을 포함한 해석적인 수식으로 표현된 표면전위 모델로부터 소스와 드레인 표면전위를 구한다. 드레인 전류를 유도하는데 단채널 효과 (short channel effects), series resistance 효과^[4], self-heating 효과^[12], 폴리 실리콘 공핍 효과^[13]등을 포함한다.

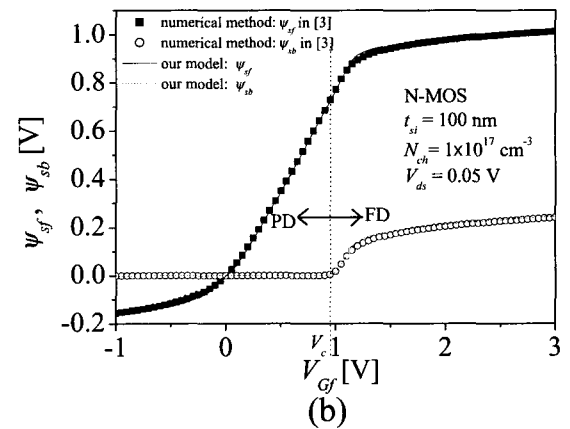
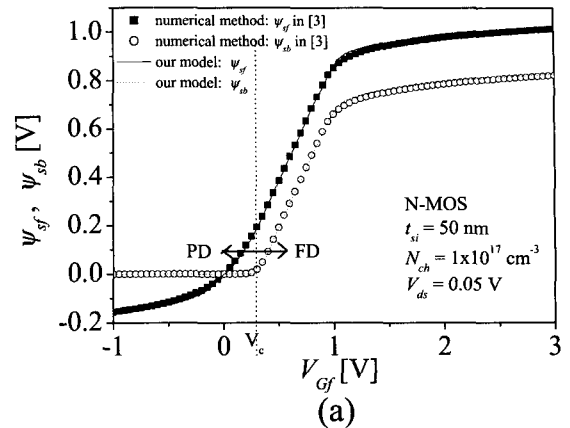


그림 3. 전면 게이트 전압 V_{Gf} 에 따른 전면(후면) 표면전위 $\psi_{sf}(\psi_{sb})$. (a) $t_{si} = 50 \text{ nm}$, (b) $t_{si} = 150 \text{ nm}$

Fig. 3. The front (back) gate surface potential $\psi_{sf}(\psi_{sb})$ as functions of the front gate voltage V_{Gf} ($N_{ch} = 1 \times 10^{17} \text{ cm}^{-3}$ and $V_{ds} = 0.05 \text{ V}$). (a) $t_{si} = 50 \text{ nm}$, (b) $t_{si} = 150 \text{ nm}$.

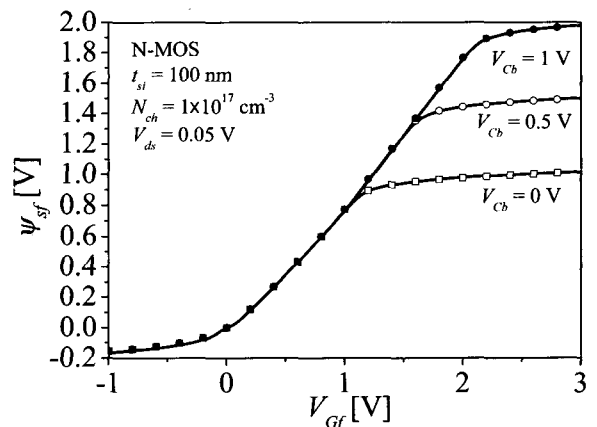


그림 4. 여러 가지 V_{Cb} 들에서 전면 게이트 전압 V_{Gf} 에 따른 전면 표면전위 $\psi_{sf}(t_{si} = 100 \text{ nm}, N_{ch} = 1 \times 10^{17} \text{ cm}^{-3}, \text{ and } V_{ds} = 0.05 \text{ V})$

Fig. 4. The front gate surface potential ψ_{sf} at several channel-floating body voltages V_{Cb} when $t_{si} = 100 \text{ nm}, N_{ch} = 1 \times 10^{17} \text{ cm}^{-3}, \text{ and } V_{ds} = 0.05 \text{ V}$.

III. 모델 증명

[그림 5]는 전면 게이트 전압 V_{Gf} 변화에 따른 로그 크기(log scale)와 선형 크기(삽입그림)로 그려진 드레인 소스 사이의 표면전위차 $\psi_{sLO} (= \psi_{sL} - \psi_{sD})$ 와 그것의 도함수 $d\psi_{sLO}/dV_{Gf}$ 를 나타낸다. ψ_{sLO} 와 $d\psi_{sLO}/dV_{Gf}$ 는 수치 해석적 방법으로 계산한 결과와 상당히 일치하고 연속적이다.

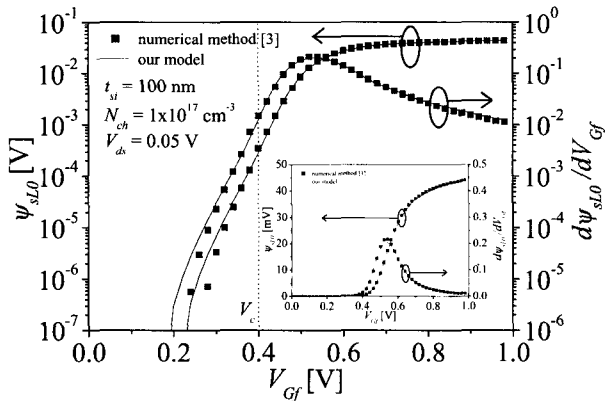


그림 5. 전면 게이트 전압 V_{Gf} 변화에 따른 로그 크기(log scale)와 선형 크기(삽입그림)로 그려진 드레인 소스 사이의 표면전위차 $\psi_{sLO} (= \psi_{sL} - \psi_{sD})$ 와 그것의 도함수 $d\psi_{sLO}/dV_{Gf}$ ($t_{si} = 100$ nm, $N_{ch} = 1 \times 10^{17}$ cm $^{-3}$, $V_{ds} = 0.05$ V)

Fig. 5. The front surface potential difference ψ_{sLO} and the derivatives of ψ_{sLO} as a function of V_{Gf} in semi-log scales and in linear scales (inset) when $t_{si} = 100$ nm, $N_{ch} = 1 \times 10^{17}$ cm $^{-3}$, and $V_{ds} = 0.05$ V.

[그림 6(a)]와 [그림 6(b)]는 $t_{si} = 50$ nm와 $t_{si} = 150$ nm의 SOI 소자의 subthreshold 전류-전압 특성을 로그 크기로 나타낸다. 우리 모델의 결과들(실선)이 실험결과(채워진 기호)^[3]와 완전히 일치하고 두개 t_{si} 에서 우리 모델은 모든 전면 게이트 전압에 따른 동작영역을 정확히 나타내고 있다. [그림 7]과 [그림 8]은 두 가지 SOI 소자들의 드레인 전류-드레인 전압($I_{ds}-V_{ds}$) 특성을 나타낸다. 우리 모델의 결과들(실선)이 실험결과(채워진 기호)^[3,14]와 상당히 일치한다. [그림 7]의 소자는 $t_{si} = 94$ nm, $N_{ch} = 1 \times 10^{16}$ cm $^{-3}$ 이다. 보여진 모든 전면 게이트 전압에서 이 SOI 소자는 FD 모드로 동작하므로 킥 효과(kink effects)가 나타나지 않는다. [그림 8]의 소자는 $t_{si} = 200$ nm, $N_{ch} = 2 \times 10^{17}$ cm $^{-3}$ 이다. 보여진 모든 전면 게이트 전압에서 PD 모드로 동작하므로 킥 효과가 나타난다. 위 두 가지 소자들의 V_c 는 각각 0.8 V([그림 7])과

3.78×10^{48} V([그림 8])이다. 이 V_c 값들은 [그림 7]과 [그림 8]에서 보여진 결과와 일치한다.

회로 시뮬레이션에 사용되는 admittance 행렬의 수치 해석적 안정성(numerical stability)은 전류 도함수(current derivatives)의 연속성(continuity)을 요구한다. ψ_{sLO} 도함수가 모든 전면 게이트 바이어스 영역에서 연속임을 [그림 5]에서 보인다. 우리 모델의 문제점은 표면 전위의 연속적인 천이를 위해서 특별한 파라미터들($l_1, l_2, n_{m1}, n_{m2}, \delta_1, \delta_2$)이 사용되는 것이다. [그림 7], [그림 8], [그림 9]의 세가지 다른 공정 파라미터 경우(세가지 다른 W, L, t_{si}, N_{ch})일지라도 사용된 모델 파라미터들은 동일한 값($l_1 = 1, l_2 = 1, n_{m1} = 2, n_{m2} = 0.1, \delta_1 = 0.07, \delta_2 = 0.08$)을 사용한다.

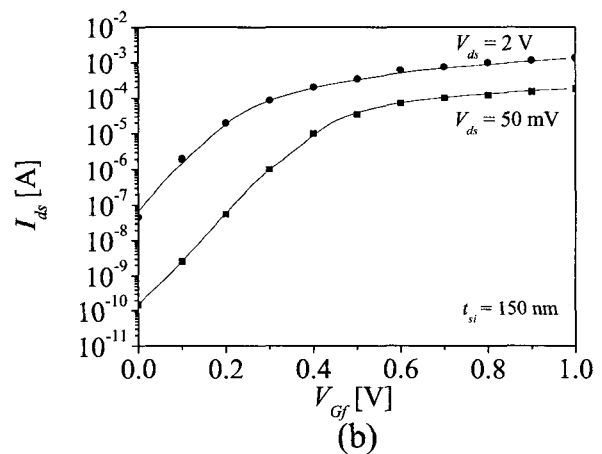
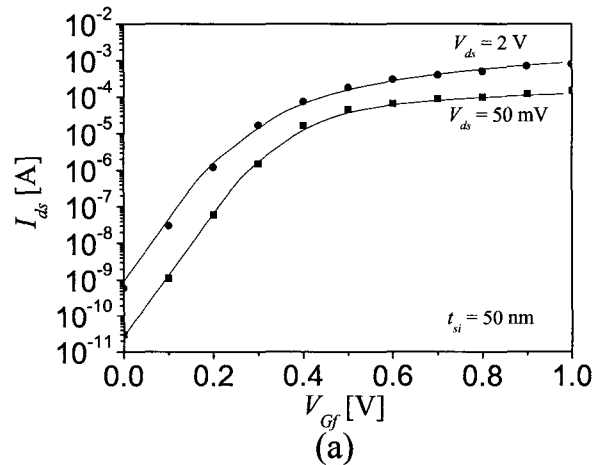


그림 6. SOI 소자의 subthreshold 로그 크기의 전류-전압 특성 ($WL = 10/0.35$ $\mu\text{m}/\mu\text{m}$ and $N_{ch} = 4.3 \times 10^{16}$ cm $^{-3}$). (a) $t_{si} = 50$ nm, (b) $t_{si} = 150$ nm

Fig. 6. Subthreshold characteristics of the drain current ($WL = 10/0.35$ $\mu\text{m}/\mu\text{m}$ and $N_{ch} = 4.3 \times 10^{16}$ cm $^{-3}$). (a) $t_{si} = 50$ nm, (b) $t_{si} = 150$ nm.

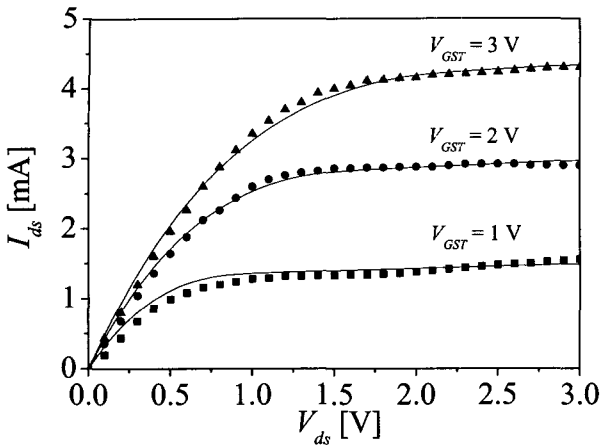


그림 7. 드레인 전류-드레인 전압($I_{ds}-V_{ds}$) 특성 ($W/L = 7.83/0.28 \mu\text{m}/\mu\text{m}$). $V_{GST} = V_{Gf} - V_{th}$. $V_c = -0.8 \text{ V}$ 이므로 FD 모드에서 동작

Fig. 7. $I_{ds}-V_{ds}$ characteristics ($W/L = 7.83/0.28 \mu\text{m}/\mu\text{m}$). $V_{GST} = V_{Gf} - V_{th}$. This device is in the FD mode because $V_c = -0.8 \text{ V}$.

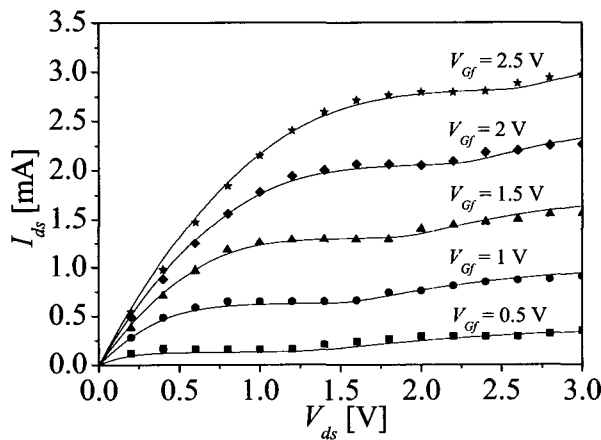


그림 8. 드레인 전류-드레인 전압($I_{ds}-V_{ds}$) 특성 ($W/L = 14/1.05 \mu\text{m}/\mu\text{m}$). $V_c = 3.78 \times 10^{48} \text{ V}$ 이므로 PD 모드에서 동작

Fig. 8. $I_{ds}-V_{ds}$ characteristics ($W/L = 14/1.05 \mu\text{m}/\mu\text{m}$). This device is in the PD mode because $V_c = 3.78 \times 10^{48} \text{ V}$.

V. 결론

본 논문은 PD 영역과 FD 영역을 나누는 임계 전면 게이트 전압 V_c 의 해석적 표현을 이용해서 PD 영역과 FD 영역의 전이를 정확히 설명하는 해석적 표면전위 모델을 소개했다. 이 모델은 모든 동작 영역(subthreshold에서 strong inversion까지)에서 유효하고 반복 계산

절차인 수치 해석적 방법보다 훨씬 짧은 계산시간이 걸린다^[7,10]. 이 모델에 기초한 charge sheet 모델이 모든 동작 영역에 유효한 드레인 전류의 단일 공식을 유도하는데 사용된다. 대부분의 secondary 효과들이 charge sheet 모델에 쉽게 포함되고 그 모델의 결과들은 수치해석 결과와 실험 결과를 비교적 정확히 일치했다. 단일 공식을 만드는데 세 가지의 smoothing 함수가 사용 될지라도 표면전위 미분 값은 연속이다. 더욱 중요한 점은 smoothing 함수에 사용된 파라미터들은 공정 파라미터들에 크게 의존하지 않는다.

참고 문헌

- [1] J.-P. Colinge, Silicon-on-Insulator Technology : Materials to VLSI, Norwood, MA : Kluwer, 1997.
- [2] J. B. Kuo and K.-W. Su, CMOS VLSI Engineering Silicon-on-Insulator (SOI), Norwell, MA : Kluwer, 1998.
- [3] J. W. Sleight and R. Rios, "A continuous compact MOSFET model for fully- and partially-depleted SOI devices", IEEE Trans. Electron Devices, Vol. 45, pp. 821-825, 1998.
- [4] S.-L. Jang, B.-R. Huang, and J.-J. Ju, "A unified analytical fully depleted and partially depleted SOI MOSFET model", IEEE Trans. Electron Devices, Vol. 46, pp.1872-1876, 1999.
- [5] C. Hu, et al., "BSIMSOI v2.1 MOSFET MODEL- User's Manual for BSIMDD2.1", Univ. California, Berkeley, Sept. 1999 ([http://www-device.eecs.berkeley.edu/~bsim soi](http://www-device.eecs.berkeley.edu/~bsim%20soi)).
- [6] We neglect the term $(x_s+x_d)/L_{eff}$.
- [7] M. S. L. Lee, B. M. Tenbroek, W. Redman-White, J. Benson, and M. J. Uren, "A physically based compact model of partially depleted SOI MOSFET's for analog circuit simulation", IEEE J. Solid-State Circuits, Vol. 36, pp.110-121, 2001.
- [8] Y. P. Tsividis, Operation and Modeling of the MOS Transistor, New York : McGraw-Hill, 1999.
- [9] H.-J. Park, P. K. Ko, and C. Hu, "A charge sheet capacitance model of short channel MOSFET's for SPICE", IEEE Trans. Computer-Aided Design, Vol. 10, pp. 376-389, 1991.

- [10] R. van Langevelde, F. M. Klaassen, "An explicit surface-potential MOSFET model for circuit simulation", *Solid-State Electron.*, vol. 44, pp. 409-418, 2000.
- [11] M. Miura-Mattausch, H. J. Mattausch, N. D. Arora, and C. Y. Yang, "MOSFET modeling gets Physical", *IEEE Circuits & Devices*, Nov. pp. 29-36, 2001.
- [12] Y.-G. Chen, S.-Y. Ma, J. B. Kuo, Z. Yu, and R. W. Dutton, "An analytical drain current model considering both electron and lattice temperatures simultaneously for deep submicron ultrathin SOI NMOS devices with self-heating", *IEEE Trans. Electron Devices*, Vol. 42, pp.899-906, 1995.
- [13] N. D. Arora, R. Rios, and C. L. Huang, "Modeling the polysilicon depletion effect and its impact on submicrometer CMOS circuit performance", *IEEE Trans. Electron Devices*, Vol. 42, pp. 935-943, 1995.
- [14] T. C. Hsiao, N. A. Kistler, J. C. S. Woo, "Modeling the I-V characteristics of fully depleted submicrometer SOI MOSFET's", *IEEE Electron Devices Letter*, Vol. 15, pp. 45-47, 1994.

 저 자 소 개

유 윤 섭(정회원) 제40권 SD편 제4호 참조
 2002년 10월~현재 한경대학교 정보제어공학과 전임강사

