

논문 2004-41SD-2-7

# VLSI 회로 연결선의 동적 전력 소모 계산법

## (Dynamic Power Estimation Method of VLSI Interconnects)

박 중 호\*, 정 문 성\*, 김 승 용\*, 김 석 윤\*

( Joong Ho Park, Mun Sung Jung, Seung Young Kim, and Seok Yoon Kim )

### 요 약

현재까지 연결선을 타이밍(timing) 관점에서 해석하려는 시도들은 많았지만, 전력 소모의 관점에서 해석하려는 시도는 많지 않았다. 그러나 지금은 연결선의 저항 성분과 신호의 상승 시간이 점차 증가하는 추세에 따라 회로 연결선에서의 전력 소모가 증가하고 있는 시점이다. 특히, 클럭 신호선의 경우 칩 전체 전력 소모 중 30% 이상을 차지하고 있다. 따라서 회로 연결선에서의 전력 소모를 효과적으로 계산하는 방법이 필요하며, 본 논문에서는 회로 연결선의 동적 전력 소모를 계산하는 간단하면서도 정확한 방법을 제시하고자 한다. 사이즈가 큰 연결선의 동적 전력 소모를 계산하기 위한 축소 모형을 제안하고, 이 축소 모형을 구성하는 방법을 제시한다. 제안한 축소 모형의 해석을 통해 연결선 전체의 동적 전력 소모를 근사할 수 있음을 보이고, 이를 간단히 계산하는 방법을 제안 하고자 한다. 노드 수 100~1000개 까지 RC 회로에 대해 제안한 방법을 적용한 결과 연결선의 전력 소모는 HSPICE에 비해 1.86%의 평균 상대 오차 및 9.82%의 최대 상대 오차를 보였다.

### Abstract

Up to the present, there have been many works to analyze interconnects on timing aspects, while less works have been done on power aspects. As resistance of interconnects and rise time of signals increase, power consumption associated with interconnects is ever-increasing. In case of clock trees, particularly power consumption associated with interconnects is over 30% of total power consumption. Hence, an efficient method to compute power consumption of interconnects is necessary and in this paper we propose a simple yet accurate method to estimate dynamic power consumption of interconnects. We propose a new reduced-order model to estimate power consumption of large interconnects. Through the proposed model which is directly derived from total capacitance and resistance of interconnects, we show that the dynamic power consumption of whole interconnects can be approximated, and propose an analytical method to compute the power consumption. The results applying the proposed method to various RC networks show that average relative error is 1.86% and maximum relative error is 9.82% in comparison with HSPICE results.

**Keywords** : Power estimation, Interconnect

## I. 서 론

회로 설계 기술은 나날이 발전하고 있다. 공정 기술의 발달로 인해 하나의 칩에 집적할 수 있는 트랜지스터의 개수는 수천만 개에 이르렀고, 이는 SOC(system-on-a-chip)기술의 실현을 가능하게 했다. 그러나 이런 경향은 칩 내에 전력을 공급하고 클럭 신호나 데이터를 전달

하는 연결선의 길이나 면적의 증가를 초래했다. 연결선의 증가로 인해 시간 지연, 신호 왜곡, IR-drop, 노이즈, 전력 소모 등 많은 현상들이 연결선에서 발생하게 되었고, 이러한 연결선 현상은 회로의 신뢰성이나 성능을 결정짓는 주된 요소가 되었다. 또한, 이러한 문제를 다루기 위하여 연결선 중심의 설계 방법이 대두되기에 이르렀다<sup>[1]</sup>.

앞서 언급한 많은 현상들 중 전력 소모는 회로의 성능을 결정하는 가장 중요한 문제 중 하나이며, 회로의 집적도가 높아짐에 따라 전력 소모는 점점 증가하는 추세를

\* 정회원, 숭실대학교 컴퓨터학과  
(Soongsil university, Graduate school, Computing of School)  
접수일자 : 2003년 12월 18일, 수정완료일 : 2004년 2월 9일

보이고 있다. 실제 마이크로프로세서의 전력 소모는 매년 증가하고 있는 추세이다<sup>[2]</sup>. 특히, 휴대용 제품들이 많이 등장하는 요즘, 저 전력 설계의 중요성은 더욱 더 증대되고 있으며, 회로 설계 과정에서 전력 소모를 분석하고 전력 소모를 줄이는 회로를 설계하는 일은 매우 중요하다.

그러나 지금까지 전력 소모에 대한 해석은 게이트에 집중되어 있었는데, 이는 게이트의 전력 소모가 전체 전력 소모의 대부분을 차지한다는 가정 때문이었다. 하지만 회로 연결선의 비중이 점차 증대됨에 따라 연결선에서의 전력 소모도 고려해야만 하는 시점에 이르렀다<sup>[3]-[5]</sup>. 특히, UDSM(ultra deep submicron) 공정 기술에 따른 연결선 저항 성분의 증가는 그 필요성을 더욱 더 증대시키고 있다. 이러한 저항 성분의 증가는 점점 더 많은 에너지가 연결선에서 소모된다는 것을 의미하며, 실제 전체 전력 소모의 30% 정도가 연결선에서 소모된다<sup>[3]-[5]</sup>. 공정 기술의 발달로 말미암아 연결선의 폭이 줄어들고 그로 인한 저항 성분의 증가로 인해 그 비중이 점차 증대될 것은 자명한 일이다. 또한, 신호의 상승시간이 빨라지는 추세에 따라<sup>[6]</sup> 그에 따른 연결선의 전력 소모도 증가하게 된다. 그림 1에서 알 수 있듯이 신호의 상승시간이 빨라짐에 따라 연결선의 전력 소모는 점차 증가하는 현상을 보이고 있다.

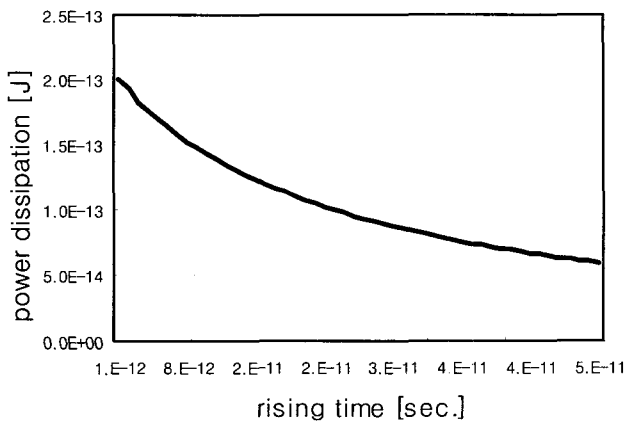


그림 1. 신호의 상승 시간에 따른 연결선의 전력 소모  
 Fig. 1. Energy consumption of interconnect versus signal rising time.

전력 소모 분석 시 회로 연결선을 고려하는 방법들에 대한 연구는 다른 연구들에 비해 그렇게 많이 이루어지지 않고 있는 실정이다. 바꾸어 말하면, UDSM 공정에서 신호 연결선에 대한 연구는 주로 타이밍이나 신호 충실

성에 초점이 맞춰져 왔고<sup>[7]</sup>, 클럭 신호선에 대해서는 신호 왜곡, 위상지연<sup>[8]</sup>, 그리고 전력 배분망에 대해서는 IR-drop, Delta-I noise<sup>[9]</sup> 등에 초점이 맞춰져 왔다. 이러한 시점에서 본 논문은 연결선의 전력 소모 해석에 초점을 맞춘다.

지금까지 연결선의 전력 소모 해석에는  $(1/2)CV^2$ 이 주로 사용되었다<sup>[10]</sup>. 이는 연결선을 단일 커패시터 모형으로 보고 해석을 한 것이므로 연결선의 저항 성분이 증가하고 있는 요즘 정확성은 떨어질 수밖에 없다.  $(1/2)CV^2$ 의 부정확성을 보완한 몇 가지 방법<sup>[11], [12]</sup>들이 소개되고 있으며, 폴과 레지듀를 이용해 연결선의 전력 분포를 해석하는 방법 또한<sup>[3]</sup>에서 제시하고 있다. 논문<sup>[3]</sup>에서는 폴과 레지듀를 이용해 주파수 영역에서 연결선의 전력 분포 해석이 가능함을 보였으나, 연결선 전체에서의 전력 소모를 계산하기 위해서는 각각의 저항에 흐르는 전류에 대해 폴과 레지듀를 구해야 하므로 상당한 복잡도가 요구된다. 즉, 전력 분포를 해석하는 관점에서는 효율적일 수 있으나 연결선 전체의 전력 소모량 해석 시에는 효율성이 떨어질 수 있다. 따라서 본 논문에서는 연결선의 전력 분포의 관점이 아닌 연결선 전체의 전력 소모를 계산하기 위해 연결선 전체를 축소 한 축소 모형을 이용한 대수적 계산법을 제시하고자 한다. 여기서 축소 모형의 저항 및 커패시턴스 값은 추출된 총 저항 및 총 커패시턴스 값으로부터 바로 얻을 수 있기 때문에 시간적 측면에서 상당한 효율성을 얻을 수 있다. 축소 모형의 해석을 통해 관심 있는 연결선의 전체 전력 소모를 예측하고자 하는 것이 본 논문의 목적이다.

본 논문에서는 순수한 연결선만을 그 대상으로 삼으며, 축소 모형의 해석이 연결선의 전력 소모를 예측하는데에도 적용 가능함을 보인다. 또한, 본 논문에서 제시하는 2차 축소 모형은 게이트의 지연 시간 예측뿐만 아니라 게이트의 전력 소모 예측을 위한 부하 모형으로도 사용 가능하리라 본다.

본 논문의 구성은 다음과 같다. 2.1절에서는 소모 전력 해석을 위한 2차 RC 모형을 제시하고, 2.2절에서는 제안한 축소 모형을 구성하는 방법을 제안한다. 3장에서는 소모 전력을 계산하기 위한 간단한 대수적 계산법을 제안하고, 4장에서는 제안한 축소 모형의 해석을 통해 연결선 전체의 소모 전력을 근사할 수 있음을 시뮬레이션 결과를 통해 검증한다. 마지막으로 5장에서는 결론을 맺는다.

## II. 소모 전력 해석을 위한 연결선의 모형화

### 1. 소모 전력 해석을 위한 축소 모형

연결선 현상을 해석하기 위해서는 칩 내부의 물리적인 연결선으로부터 단위 길이 당 R, C 값을 추출한 후 이 값을 이용해 적절한 모형을 구성해야 한다. 이 때 정확한 해석을 위해서는 연결선을 URC(uniform RC) 조각이라고 불리는 분포 정수 회로로 바라보아야 하지만 분포 정수 회로를 해석하는데는 상당한 어려움이 따른다<sup>[14]</sup>. 따라서 분포 정수 회로의 특성을 그대로 반영할 수 있는 몇 개의 RC 셀로 구성된 집중 회로 모형(사다리 모형)으로 변환하여 해석하는 것이 일반적이다<sup>[15]</sup>. 이 때 정확성을 위해서라면 좀 더 많은 RC 셀로 구성해야 하겠지만 셀의 개수가 많아지게 되면 해석상의 어려움이 따를 수밖에 없다. 이러한 어려움을 해결하고자 단일 셀로 이루어진 L, T, Π 모형을 사용한다. 이러한 모형은 낮은 동작 주파수에서 지연시간을 해석하고자 하는 관점에서는 만족할 만한 결과를 보이고 있다. 그러나 빨라진 동작 속도를 고려하고, 연결선의 소모 전력 해석을 위해서는 새로운 모형이 필요하며, 본 절에서는 연결선의 전력 소모 해석을 위한 간단한 축소 모형을 제안하고자 한다.

회로 설계의 추세에 따르면 동작 주파수가 빨라지고 연결선의 저항 성분이 점차 증가하고 있으며, 저항 성분이 증가하면 연결선의 총 저항은 구동회로의 출력 저항에 견줄 수 있는 정도가 된다. 이렇게 되면 구동회로가 바라보는 커패시턴스 부하의 상당한 부분을 연결선 저항이 차폐하게 된다. 특히 연결선 저항 성분의 증가는 연결선의 전력 소모를 해석해야 하는 관점에서는 매우 중요하다. 저항 성분의 증가로 인해 더 많은 에너지가 연결선에서 열로 소모되기 때문이다. 따라서 연결선의 전력 소모를 해석하기 위해서는 되도록 더 많은 저항으로 모형화 해야 할 필요가 있다. 그러나 축소 모형의 차수를 증가시키면 해석의 정확성은 높아지겠지만 해석의 효율성

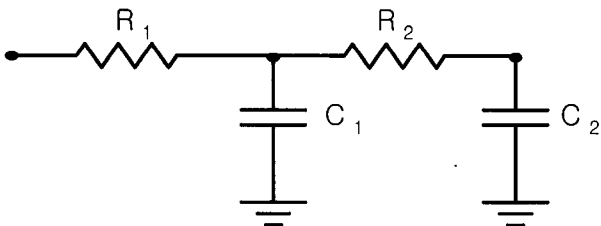


그림 2. 연결선 소모 전력 해석을 위한 2차 RC 모형  
Fig. 2. 2nd-order RC model for power consumption of interconnects.

이 줄어들 수밖에 없다. 따라서 연결선의 전력 소모의 관점에서 볼 때 현재 연결선의 현상을 잘 반영하고 신뢰 할 만한 정확도를 보장 할 수 있는 2차 RC 모형을 제안하며, 그 모형은 그림 2와 같다.

### 2. 제안한 2차 RC 모형의 모형화 방법

전력 소모의 관점에서 연결선을 해석하기 위해 2차 RC 모형을 제안하였다. 다음 과정은 제안한 축소 모형의 R, C 값을 얻는 것이다. 크기가 큰 회로들을 해석하기 위한 다양한 축소 기법들이<sup>[17],[18],[19],[20]</sup> 소개되고 있고, 많은 분야에 효과적으로 적용되고 있다. 본 논문에서는 이러한 부가적 과정없이 연결선으로부터 추출한 저항값과 커패시턴스 값으로부터 바로 축소 모형을 구성할 수 있는 방법을 제안하고자 한다. 분포 정수 회로로 본 연결선의 구동점 어드미턴스는 식 (1)과 같다<sup>[13]</sup>.

$$Y(s) = \sqrt{\frac{sC_t}{R_t}} \tanh(\sqrt{sC_t R_t}) \quad (1)$$

여기서  $R_t$  은 연결선의 총 저항 값,  $C_t$  은 연결선의 총 커패시턴스 값이다.

또한, 그림 2의 구동점 어드미턴스는 식 (2)와 같이 나타낼 수 있다.

$$Y(s) = \frac{b_0 S + b_1 S^2}{1 + a_0 S + a_1 S^2} \quad (2)$$

여기서  $a_0 = R_1 C_1 + R_1 C_2 + R_2 C_2$ ,  $a_1 = R_1 R_2 C_1 C_2$ ,  $b_0 = C_1 + C_2$ ,  $b_1 = R_2 C_1 C_2$  이다.

한편, 식 (1)에서  $\tanh(\sqrt{sC_t R_t})$ 를 Maclaurin 급수로 전개하여 정리하면 식 (3)으로 나타낼 수 있다.

$$Y(s) = \sqrt{\frac{sC_t}{R_t}} \tanh(\sqrt{sC_t R_t}) = m_1 S + m_2 S^2 + m_3 S^3 + m_4 S^4 + \dots \quad (3)$$

여기서  $m_1 = C_t$ ,  $m_2 = -\frac{1}{3} R_t C_t^2$ ,  $m_3 = \frac{2}{15} R_t^2 C_t^3$ ,  $m_4 = -\frac{17}{315} R_t^3 C_t^4$  이다.

모멘트 매칭 기법을 이용하면  $a_0, a_1, b_0, b_1$  은 식 (4)로 나타낼 수 있다.

$$\begin{aligned}
 a_0 &= \frac{m_3 m_4 - m_2 m_3}{m_2^2 - m_1 m_3} \\
 a_1 &= \frac{m_3^2 - m_2 m_4}{m_2^2 - m_1 m_3} \\
 b_0 &= m_1 \\
 b_1 &= m_2 + m_1 a_0
 \end{aligned}
 \tag{4}$$

식 (4)를 사용하면 그림 3과 같이 2차 축소 모형의 R, C 값을  $R_b, C_i$  값으로부터 바로 얻을 수 있다.

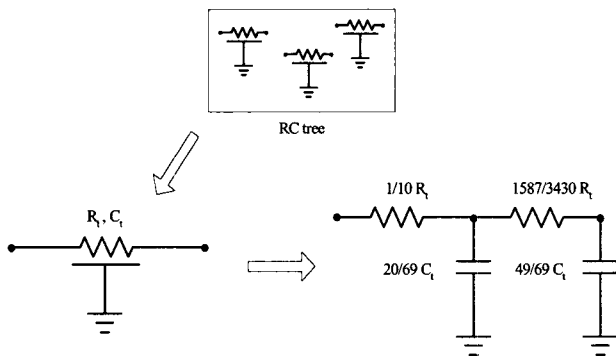


그림 3. RC 트리의 축소  
Fig. 3. Reduction of RC trees.

### III. 동적 소모 전력 계산법

일반적으로 RC 회로가 주어지면 RC 회로에서의 소모 전력을 계산할 수 있다. 이 전력 소모는 RC 회로의 저항에서만 발생하며, 연결선을 RC 회로로 모형화 했을 때 연결선에서의 전력 소모는 각각의 저항에서의 전력 소모를 모두 합한 값으로 볼 수 있다. 즉, 몇 개의 URC 조각으로 구성된 연결선을 RC 트리 모형으로 구성한 후 이를 구동점의 전류 모멘트를 기반으로 축소된 모형인 그림 4에서의  $R_1, R_2$ 에 대한 전력 소모의 합은 RC 트리에서 각각의 저항에 대한 전력 소모를 모두 합한 값의 근사한 값이라고 볼 수 있다. 본 절에서는 제안한 축소 모형의 전력 소모를 계산할 수 있는 대수적 수식을 제안하고, 축소 모형의 해석을 통해 본래 연결선 전체의 전력 소모계산

이 가능함을 보이하고자 한다.

입력 신호가 천이하는 동안 특정 저항에서의 전력(에너지)소모는 식 (5)과 같이 나타낼 수 있다.

$$E = R_i \int_0^\infty f^2(t) dt \tag{5}$$

여기서  $I(t)$ 는 저항, R에서 흐르는 전류를 나타내고, 식 (5)에서 알 수 있듯이 특정 저항에 흐르는 전류값을 알게 되면 저항에서의 전력 소모 값을 얻을 수가 있다.

여기서  $I(t)$ 는 저항, R에서 흐르는 전류를 나타내고, 식 (5)에서 알 수 있듯이 특정 저항에 흐르는 전류값을 알게 되면 저항에서의 전력 소모 값을 얻을 수가 있다.

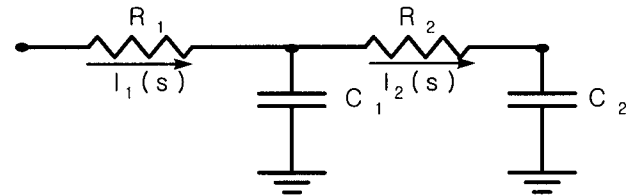


그림 4. 전력 소모 해석을 위한 연결선 모형  
( $I(s)$ 는 저항에 흐르는 전류)

Fig. 4. Interconnect model for power consumption analysis( $I(s)$  represents current flowing through resistor).

그러면 그림 4에서의 전력 소모는 식 (6)과 같이 나타낼 수 있다.

$$E = R_1 \int_0^\infty I_1^2(t) dt + R_2 \int_0^\infty I_2^2(t) dt \tag{6}$$

식 (6)의 주파수 영역의 해석을 위하여  $R_1, R_2$ 에서 흐르는 전류를 각각  $I_1(s), I_2(s)$ 라 하면 식 (7), (8)과 같이 나타낼 수 있다.

여기서  $P_1, P_2$ 는  $I_1(s), I_2(s)$ 의 폴을 나타내며,  $K_{i,j}$ 는 각각에 대한 레지듀를 나타낸다. 식 (7), (8)에서 보는 바와 같이  $I_1(s), I_2(s)$ 의 폴은 서로 같다.  $R_b, C_i$ 를 통해  $R_1, R_2, C_1, C_2$ 의 값은 바로 얻을 수 있고, 폴은 식 (9), (10)로 계산 할 수 있다.

$$I_1(s) = \frac{R_2 C_1 C_2 S + (C_1 + C_2)}{R_1 R_2 C_1 C_2 S^2 + (R_1 C_1 + R_1 C_2 + R_2 C_2) S + 1} = \frac{K_{1-I_1}}{S - P_1} + \frac{K_{2-I_1}}{S - P_2} \tag{7}$$

$$I_2(s) = \frac{C_2}{R_1 R_2 C_1 C_2 S^2 + (R_1 C_1 + R_1 C_2 + R_2 C_2) S + 1} = \frac{K_{1-I_2}}{S - P_1} + \frac{K_{2-I_2}}{S - P_2} \tag{8}$$

$$P_1 = \frac{-(R_1C_1 + R_1C_2 + R_2C_2) + \sqrt{(R_1C_1 + R_1C_2 + R_2C_2)^2 - 4(R_1R_2C_1C_2)}}{2R_1R_2C_1C_2} \quad (9)$$

$$P_2 = \frac{-(R_1C_1 + R_1C_2 + R_2C_2) - \sqrt{(R_1C_1 + R_1C_2 + R_2C_2)^2 - 4(R_1R_2C_1C_2)}}{2R_1R_2C_1C_2} \quad (10)$$

또한 레지듀는 식 (11)로 나타낼 수 있다.

$$\begin{aligned} K_{1-l_1} &= \frac{(C_1 + C_2)P_1P_2 + R_2C_1C_2P_1^2P_2}{P_1 - P_2} \\ K_{2-l_1} &= R_2C_1C_2P_1P_2 - K_{1-l_1} \\ K_{1-l_2} &= \frac{C_2P_1P_2}{P_1 - P_2} \\ K_{2-l_2} &= -K_{1-l_2} \end{aligned} \quad (11)$$

그런데 식 (6)에서  $\int_0^\infty I^2(t)dt$  는 폴과 레지듀를 이용해 식 (12)으로 나타낼 수 있다<sup>[3]</sup>.

$$\int_0^\infty I^2(t)dt = \sum_{i=0}^q K_i I(-P_i) \quad (12)$$

$$\begin{aligned} E &= R_1 \int_0^\infty I^2(t)dt + R_2 \int_0^\infty I_2^2(t)dt \\ &= R_1 \left\{ K_{1-l_1} \left( \frac{K_{1-l_1}}{-P_1 - P_1} + \frac{K_{2-l_1}}{-P_1 - P_2} \right) + K_{2-l_1} \left( \frac{K_{1-l_1}}{-P_2 - P_1} + \frac{K_{2-l_1}}{-P_2 - P_2} \right) \right\} \\ &\quad + R_2 \left\{ K_{1-l_2} \left( \frac{K_{1-l_2}}{-P_1 - P_1} + \frac{K_{2-l_2}}{-P_1 - P_2} \right) + K_{2-l_2} \left( \frac{K_{1-l_2}}{-P_2 - P_1} + \frac{K_{2-l_2}}{-P_2 - P_2} \right) \right\} \end{aligned} \quad (13)$$

식 (12)를 식 (7)에 적용하면 식(6)은 식 (13)과 같이 나타낼 수 있고, 이 식을 통해 연결선의 동적 에너지 소모를 계산 할 수 있다.

지금까지의 과정에서 알 수 있듯이 축소모형의  $R_1, R_2, C_1, C_2$ 값을 통해 2차 축소 모형의 폴과 레지듀를 구하고, 구해진 폴과 레지듀를 이용한 식(13)을 통해 연결선의 전력 소모 계산을 위한 대수적 계산법을 얻을 수 있게 된다. 물론 2차 축소 모형의  $R_1, R_2, C_1, C_2$ 값은  $R_b, C_t$  값을 이용해 바로 얻을 수 있다.

#### IV. 시뮬레이션 결과

본 절에서는 제안한 방법의 타당성을 검증하기 위해 일반적인 트리 구조의 연결선에 대한 시뮬레이션 결과를 제시한다. 시뮬레이션은 드라이버와 부하를 제외한 순수한 연결선만을 고려하며 연결선의 입력은 단위 계단 입력으로 가정한다. 본 논문에서 제안하는 방법과 HSPICE와의 비교를 통해 시뮬레이션 결과를 확인한다.

#### 1. RC tree 예

여러 개의 URC 조각으로 구성된 트리 구조의 연결선 즉, 그림 5에 대해 시뮬레이션을 수행하였다.

그림 5는 연결선의 URC 모형 및 각각의 URC 조각에 대한 총 저항 값( $\Omega$ )과 총 커패시턴스 값(pF)을 나타낸다. 식(14)<sup>[16]</sup>를 이용해 원하는 주파수 범위 내에서 각각의 URC 조각을 분포 정수 회로의 특성을 그대로 반영할 수 있는  $N$ 개의 셀을 가진 사다리 모형으로 구성한다.

$$f_{\max} \leq \left| \frac{2N^2}{R_t C_t} (1 - \cos \frac{(2N-1)\pi}{2N}) \right| \quad (14)$$

이렇게 구성된 RC 트리에서의 소모 전력과 제안한 방법을 이용한 소모 전력을 비교한 값은 표 1과 같다.

표 1. HSPICE 결과와 제안한 방법의 전력소모(단위 : J) 및 상대 오차  
Table 1. HSPICE result and energy consumption(unit : J) and relative error of proposed method

| HSPICE                         | Proposed Method                   |
|--------------------------------|-----------------------------------|
| 1.61919*10 <sup>-12</sup> (0%) | 1.60030*10 <sup>-12</sup> (1.17%) |

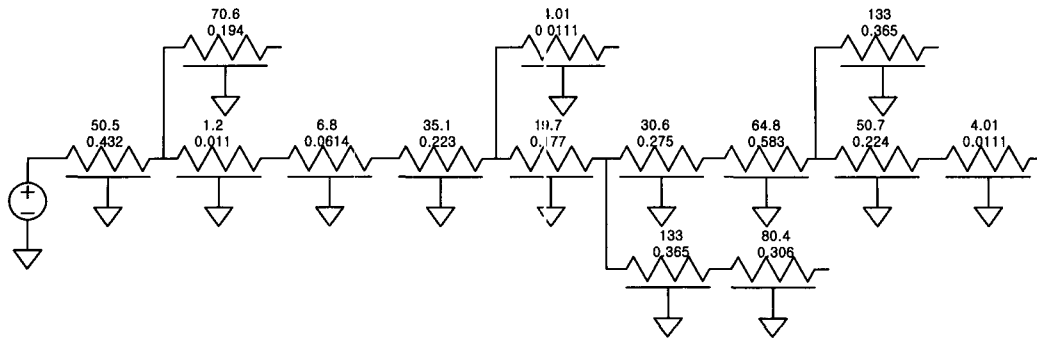


그림 5. RC 트리 회로 예  
Fig. 5. RC tree example.

표 1에서 알 수 있듯이 HSPICE로 계산된 전력 소모와 제안한 방법으로 계산된 전력 소모는 1.17% 정도의 오차를 보이고 있다.

2. 일반적 구조의 RC 연결망 사례

본 절에서는 노드 수와 구조가 다양한 RC 회로에 대한 시뮬레이션 결과를 제시한다. 시뮬레이션에 사용한 회로는 가지가 없는 RC 연결망 및 가지가 있는 RC 연결망 모두를 포함하고 있으며, 그 크기 또한 다양하다.

표 2는 다양한 RC 연결망의 HSPICE 결과에 대한 제안한 방법의 상대 오차를 보여주고 있다. 표 2에서 알 수 있듯이 제안한 방법은 믿을만한 수준의 정확도를 보이고 있다. 연결망의 크기가 커지고 가지 수가 많아짐에 따라 정확도가 떨어지는 현상이 나타나긴 하지만, 고차의 모형을 사용하지 않고 본 논문에서 제안하는 방법으로 모형화한 2차 축소 모형만으로도 만족할 만한 정확도를 갖는 결과를 얻을 수 있다.

표 2. HSPICE 결과와 비교한 제안한 방법의 소모 전력에 대한 상대오차

Table 2. Relative errors of proposed method in comparison with HSPICE results.

|               | Relative Error(%) |
|---------------|-------------------|
| Circuit 1     | 0.00%             |
| Circuit 2     | 0.04%             |
| Circuit 3     | 0.12%             |
| Circuit 4     | 0.13%             |
| Circuit 5     | 0.50%             |
| Circuit 6     | 2.56%             |
| Circuit 7     | 9.82%             |
| Average Error | 1.86%             |
| Maximum Error | 9.82%             |

V. 결 론

칩 내부에서 회로 연결선이 차지하는 비중 및 저항성분의 증가, 빨라진 신호 상승시간으로 인해 칩 전체의 전력 소모 중 연결선이 차지하는 비중이 점차 증가하고 있는 추세이다. 따라서 연결선의 소모 전력을 효율적으로 계산하는 방법이 필요하며, 본 논문에서는 연결선의 소모 전력을 계산하는 간단한 방법을 제안하였다.

큰 크기의 회로에 대한 축소 모형의 해석을 통해 원래 회로의 소모 전력을 계산할 수 있음을 보였다. 또한, 축소 모형의 전력 소모는 축소 모형의 폴과 레지듀를 이용한 계산이 가능함을 보였고, 이 때 사용된 폴과 레지듀는  $R_t, C_t$  로 부터 얻어 낸  $R_1, R_2, C_1, C_2$  값만으로 계산이 가능하다. 다양한 RC 트리를 통한 시뮬레이션 결과 1.86%의 평균 오차 및 9.82%의 최대 오차를 보였으며, 본 논문의 결과는 회로 설계 과정 중 배치 및 배선 (placement & routing) 단계에서 연결선의 전력 소모를 고려한 배치 및 배선에 중요한 지표를 제공할 수 있을 것으로 본다. 또한 본 논문에서 제안한 연결선의 축소 모형은 게이트의 지연시간이나 전력 소모 계산을 위한 부하 모형으로도 사용 가능할 것으로 본다.

참 고 문 헌

[1] J. Cong, "An Interconnect-Centric Design Flow for Nanometer Technologies," *IEEE Proc.*, vol. 89, pp. 505-528, Apr. 2001.  
 [2] S. Borkar, "Low Power Design Challenges for The Decade," in *Proc. IEEE ASP-DAC*, 2001.  
 [3] Y. Shin and T. sakurai, "Power Distribution

- Analysis of VLSI Interconnects Using Model Order Reduction," *IEEE Tran. Computer-Aided Design*, vol. 21, pp. 739-745, June 2002.
- [4] D. Lur and C. Sevensson, "Power Consumption Estimation in CMOS VLSI Chips," *IEEE Journal of Solid-State Circuits*, vol. 29, pp. 663-670, June 1994.
- [5] Michael K. Gowan, Larry L. Biro, and Daniel B. Jackson, "Power Considerations in the Design of the Alpha 21264 Microprocessor," in *Proc. IEEE DAC*, June 1998.
- [6] M. Celik, L. T. Pileggi, and A. Odabasioglu, *IC Interconnect Analysis*, Kluwer Academic Publishers, 2002.
- [7] F. Caignet, S. Delmas-Bendhia, and E. Sicard, "The Challenge of Signal Integrity in Deep-Submicrometer CMOS Technology," *IEEE proc.*, vol. 89, no. 4, Apr. 2001.
- [8] M. Celik and L. T. Pileggi, "Metrics and Bounds for phase delay and signal Attenuation in RC(L) Clock Trees," *IEEE Tran. Computer-Aided Design*, vol.18, Mar. 1999.
- [9] Howard H. Chen and J. Scott Neely, "Interconnect and Circuit Modeling Technique for Full-Chip Power Supply Noise Analysis," *IEEE Tran. Comp.*, vol. 21, Aug. 1998.
- [10] J. M. Rabaey, *Digital Integrated Circuits, A Design Perspective*, Prentice Hall, Inc., New Jersey, 2003.
- [11] T. Uchino and J. Cong, "An Interconnect Energy Model Considering Coupling Effects," in *Proc. IEEE DAC*, June 2001.
- [12] P. Heydari and M. Pedram, "Interconnect Energy Dissipation in High-Speed ULSI Circuit," in *Proc. IEEE Int. Conf. VLSID*, 2002.
- [13] P. R. O'Brien and T. L. Savarino, "Modeling the Driving-Point Characteristic of Resistive Interconnect for Accurate Delay Estimation," in *Proc. IEEE ICCAD*, 1989.
- [14] S. Y. Kim, *Modeling and Analysis of VLSI Interconnects*, Sigma Press, 1999.
- [15] H. B. Bakoglu, *Circuit, Interconnections, and Packaging for VLSI*, Addison Wesley, 1990.
- [16] N. Gopal, "Fast Evaluation of VLSI Interconnect Structures Using Moment-Matching Methods," Ph.D. Thesis, Univ of Texas at Austin, Dec. 1992.
- [17] L. T. Pileggi and R. A. Rohrer, "Asymptotic Waveform Evaluation for Timing Analysis," *IEEE Trans. Computer-Aided Design*, vol. 9, 1990.
- [18] A. Odabasioglu, M. Celik, and L. T. Pileggi, "PRIMA : Passive Reduced-Order Interconnect Macromodeling Algorithm," *IEEE Tran. Computer Aided Design*, vol. 18, no 8, pp. 645-654, Aug. 1998.
- [19] E. Acar, A.Odabasioglu, M.Celik, and L. T. Pileggi, "S2P : A Stable 2-pole RC Delay and Coupling Noise Metric," in *Proc. Great Lakes Symposium VLSI*, 1999.
- [20] W. K. Kal and S. Y. Kim, "An Analytical Calculation Method for Delay Time of RC-class Interconnect," in *Proc. IEEE ASP-DAC*, 2000.

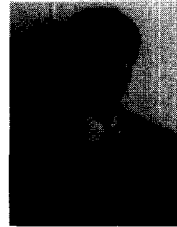
저 자 소 개

박 중 호(정회원)

2002년 숭실대학교 컴퓨터학부졸업  
2002년~현재 숭실대학교 컴퓨터학과 석사과정  
<주관심분야 : 설계 자동화, VLSI회로해석 및 설계>

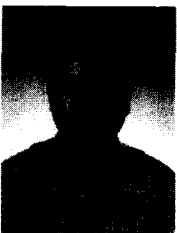


정 문 성(정회원)  
2001년 숭실대학교 컴퓨터학부졸업  
2003년~현재 숭실대학교 컴퓨터학  
과석사과정  
<주관심분야 : 설계자동화, VLSI 회  
로해석 및 설계>



김 석 윤(정회원)  
1980년 서울대 공대 전기공학과학사  
1990년 University of Texas at  
Austin 전기, 컴퓨터학과 석사  
1993년 University of Texas at  
Austin 전기, 컴퓨터학과 박사  
1982년~1987년 한국전자 통신연구

소 연구원  
1993년~1995년 Motorola Inc. Senior Staff Engineer  
1995년~현재 숭실대학교 컴퓨터학부 교수  
<주관심분야 : 설계자동화, VLSI 회로해석 및 설계>



김 승 용(정회원)  
1994년 부산대학교 전자공학과학사  
1999년 숭실대학교 정보과학대학원  
전자계산기공학과 석사  
1994년 1월~2000년 8월 LG 이노텍  
연구소 근무  
2000년 8월~현재 숭실대학교 컴퓨

터학과 박사과정  
<주관심분야 : 설계자동화, VLSI 회로해석 및 설계>