논문 2004-41SD-4-1

고성능 시스템을 위한 클록 분배 방식 및 Coplanar 및 Microstrip 전송라인의 구조적 분석

(A Novel Clock Distribution Scheme for High Performance System and A Structural Analysis of Coplanar and Microstrip Transmission Line)

박 정 근*, 문 규*, 위 재 경**

(Jung-keun Park, Gyu-Moon, and Jae-Kyung Wee)

요 약

고속 저전력 디지털 시스템을 위해 클록 스큐를 최소화하고 동적 파워 소모를 줄이는 새로운 클록 분배 방법을 제안하였다. 제안된 방법은 접힌 라인구조(FCL)과 위상 섞임 회로(phase blending circuit)을 이용하여 Zero-skew 특성을 갖는다. FCL에 적합한 라인 구조를 분석하기 위해, 마이크로 스트립과 코플라너 라인을 FCL형 클록 라인으로 분배되었다. 시뮬레이션 결과는 10mm 떨어져 있는 두 리시버 사이의 최대 클록 스큐가 1GHz에서 10psec보다 적고 20mm 떨어져 있는 두 리시버 사이의 최대 클록 스큐는 1GHz에서 60 psec보다 작음을 보였다. 또한, 공정, 전압, 온도 변화에 무관하게 클록 신호들의 스큐가 변하지 않음을 알 수 있었다.

Abstract

A novel clock distribution scheme is proposed for high-speed and low-power digital system to minimize clock skew and reduce dynamic power consumption. This scheme has ideal zero-skew characteristic by using folded clock lines (FCL) and phase blending circuit. For analyzing suitable line structures to FCLs, microstrip line and coplanar line are placed with folded clock lines. Simulation results show that the maximum clock-skew between two receivers located 10mm apart is less than 10ps at 1GHz and the maximum clock-skew between two receivers located 20mm apart is less than 60ps at 1GHz. Also the results show that the maximum skews of clock signals regardless of process, voltage, and temperature variation are invariant.

Keywords: Clock skew, Clock distribution system, LVDS

I. 서 론

근래에, 대부분의 고속 시스템은 시스템 클록들과 데이터 사이의 클록 스큐를 줄이기 위하여 phase locked loops(PLL) 또는 delay locked loops(DLL) 을 사용한다. 그럼에도 불구하고 각 데이터 버퍼 사이에 서로 다른 클록 도착시간으로 인해 데이터 버퍼들 사이의 클록 스큐을 충분히 줄이는 것은 어렵다. 이 문제를 피하기 위해서 클록과 데이터 분배 설계시 주의 깊게 고려되어야 한다. 그러나 Microprocess를 설계할 때 많이 쓰는 전통적인 클록 분배 방식은 고속 시스템 설계제작에는 적합하지 않다. 클록 시스템의 동적 파워 소모는 고속 시스템에 또 다른 중요 한 문제이다.

이는, 클록 동작시 클록 시스템의 커다란 부하가 동시에 동작하여 전류가 순간적으로 최고치로 사용되어 전압공급원 잡음이 발생된다. 이 잡음은 칩 내에 있는 노이즈에 민감한 회로들에 영향을 미치게 된다. 본 논문에서 디지털 고속 시스템을 위한 새로운 클록 분배

* 정회원, 한림대학교 정보전자공과대학
(Division of Information Engineering And Telecommunication, Hallym Univ.)
** 정회원, 숭실대학교 공과대학 정보통신전자공학부
(Division of electronic engineering, college of engineering, Soongsil Univ.)
※ 이 논문은 2002년도 한림대학교 교비연구비 (HRF 2002-41)에 의하여 연구되었음
접수일자 : 2003년9월18일, 수정완료일: 2004년3월23일

방식을 제시한다. 그것은 zero-skew 특성을 원칙적으로 가지고 있다. 그리고 Folded clock lines(FCLs)과 저전압 스윙 클록 신호를 개발하는 것으로 동적 파워 소모를 많이 줄일 수 있다. 추가로 이 제안된 설계는 공정, 전압, 온도(PVT)에 대한 변화가 적다.

II. 제안된 분배회로 설계

그림 1 은 제안된 클록 분배 방식이다. FCLs에 의해 Clock receiver들을 #1 ~ #n까지 구동시키며, 스큐가 최소화 된다. FCLs 구조에서 터미네이션 저항은 신호의 반사를 막는다. 클록 신호는 Clock driver에서 발생하여 시작점이라 표시된(FCK) 지점으로 clock 신호를 전송한다. 그 후에 시작점(FCK)을 통과하고 그것은 표시된 반환지점(RCK)으로부터 드라이버에 다시 되돌아온다. Clock driver로부터의 전기적인 길이는 FCK와 RCK의 합이 항상 FCL의 어떠한 임의 지점에 동일하다. 예를 들면 수신기 #1에서 (=2'elA+2'elB)의 FCK 와 RCK의 전기적 길이의 합은 수신기 #n에서 (=2×elC+2×elD)와 같은 것이다. 이것은 원칙적으로 zero-skew 의 클록 분배가 FCK와 RCK의 Phase mixer에 의해서 이루어질 수 있는 것을 의미한다. 그러므로 로컬 클록 (LCKs) 모두는 Receiver들 사이의 거리가 멀리 떨어져 있다 하더라도 이론상으로는 동일한 위상을 가지고 있다. 그러나 실제 시스템에서 클록 스큐는 FCL의 저항 성분 때문에 신호 감쇄가 각 Receiver로 하여금 서로 다른 Delay를 가지고 있도록 하기 때문에 영일 수는 없다. 이 문제를 피하기 위하여, 저전압 스윙을 하는 Differential FCL을 Single FCL 대신에 사용하였다. Low voltage differential clocking은 동적 파워 소모 또한 줄여준다.

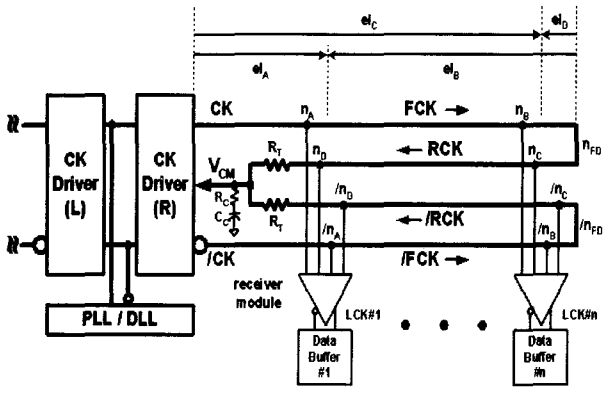


그림 1. 새로운 클록 분배 시스템.
Fig. 1. A novel clock distribution system.

III. 회로 구현

그림2 (a)는 LVDS(Low Voltage Differential Signaling)를 위한 Driver를 보여주고 있다. 이것은 Differential swing level을 만들기 위하여 수정된 Clock driver 이다. 각 FCL이 100 오옴의 저항을 지나면서 신호가 종단될 때, Driver의 2.5mA 바이어스 전류는 800mW 스윙을 만든다. 두 개의 터미네이션 저항(Rt) 또한 Common mode voltage (VCM)를 만들기 위한 Resistive divider 로 사용된다.

그 Common mode voltage는 클록 드라이버에 common mode feedback 을 제공하며, Rc와 Cc를 통한 pole-zero 특성보상은 Driver의 안정도에 큰 이득을 준다. 그림2(d)는 Receiver module을 보여주고 있으며 두 개의 Self-bias Comparator 와 Phase blender로 이루어져 있다.

Self-bias comparator는 PVT변화들에 높은 허용한계를 제공하며, 그림 2(b)는 Self-bias comparator를 보여주고 있다. Self-bias differential amplifier 는 비교기로 사용된다. 제안한 방식에서 이것은 Differential FCL에 결합된 Receiver들의 부하 균형을 맞추는 것이 중요하다. 비균형 부하들은 주로 Receiver들의 Differential input들 사이의 비균형으로 부터 온다. 그것은 차등 클록 신호의 (CK와/CK) 비대칭 통신과 클록 신호의 잦은 원인이 된다. 이것은 Current mirror load 가진 Single-end differential amplifier 는 인력 커패시티브 로드

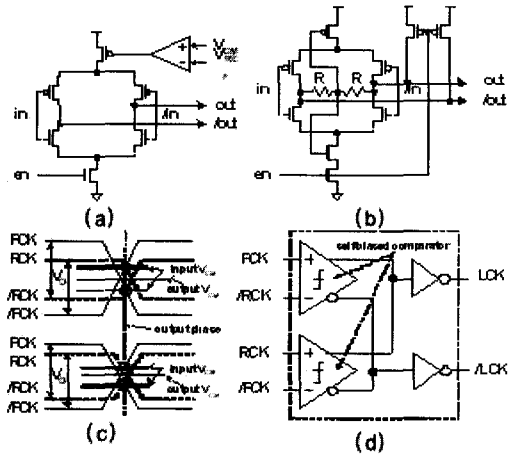


그림 2. (a) LVDS를 위한 수정된 드라이버 (b) 비교기를 사용한 셀프 바이어스 차동 증폭기 (c) 입력신호 범위 (d) 수정된 수신기 모듈.
Fig. 2. (a) Modified driver for LVDS (b) Comparator using self-biased diffe -rential amplifier (c) Input signal level (d) Modified receiver module.

들의 Miller 효과는 동일하지 않기 때문에 비교기로 사용되기에 적합하지 않은 것을 의미한다. 균형 입력 부하들을 가진 수정된 비교기를 그림 2(b)에 제안하였다. 이것은Resistive FCLs로 인한 신호 감쇄가 서로 다른 비교기에서 클록 스큐의 원인이 되는 신호지연을 발생시킨다. 위와 같은 문제를 피하기 위하여 Receiver 단은 수신단 모듈의 입력특성을 보여준다. 반전 입력들의 교환은 신호 진폭의 차이를 입력 common mode 전압 레벨의 차이로 바꾼다. 비록 2개의 비교기들의 입력 전압들이 같지 않을지라도, 그 출력 common mode volt -age level들은 각 비교기의 출력들이 보완적인 단계들을 가지고 있기 때문에 거의 Half-VDD 다. 이것은 진폭 mismatch가 규칙적으로 동등하게 나누어지며, 2개의 비교기들에 의해서 취소되기 때문에 매우 많은 이점을 가지고 있다. 그리고 비교기 출력들의 위상은 FCK와 RCK사이에 놓인다. 이 Receiver module은 Receiver에 영향을 미치는 PVT 변화에 가능성이 있는 것으로 알려진 소자를 가지고 있지 않기 때문에 2개의 비교기와 Phase blender로 구성하였던 것보다 조금 더 좋은 성능을 나타낸다.

Ⅳ. 전송라인

본 논문에서는 coplanar 방식과 microstrip 선 방식 중 어떠한 형태의 전송선로이 적합한 전송 구조 형태를 지니고 있는지 분석하였다. microstrip 선 방식과 coplanar 선 방식를 비교해 보면, coplanar 방식이 microstrip 선 방식에 비하여 선로 및 구조에 영향 및 제약이 적어 배선효율을 높일 수 있으며, 이로 인해 소형화할 수 있다는 장점이 있다. 그러나, microstrip 선 방식에 비해 coplanar 구조는 신호의 감쇄가 상대적으로 많고, 따라서, coplanar 구조를 이용하여 transmis-sion 선 제작 시 가장 큰 문제로 대두되고 있다. 그림 3은 coplanar 방식과 microstrip line 방식의 구조를 보여주고 있다.

coplanar 방식은 동일 층면에 신호선과 접지선이 같이 있는 구조이다. 신호선이 접지선에 끼워진 구조로 되어 있어 microstrip line 방식과는 달리 선로아래구조의 제약이 없어 회로의 특성 평가나 배선효율성에서 장점을 보이고 있다. 본 논문에서는 metal 4 공정을 사용하였으나, metal 6 공정을 사용할 경우 metal layer의 두께가 증가하여 커패시턴스를 줄여줌으로써 더욱 더 긴 선의 전송과 고속으로의 전송을 보장해 줄 것으로

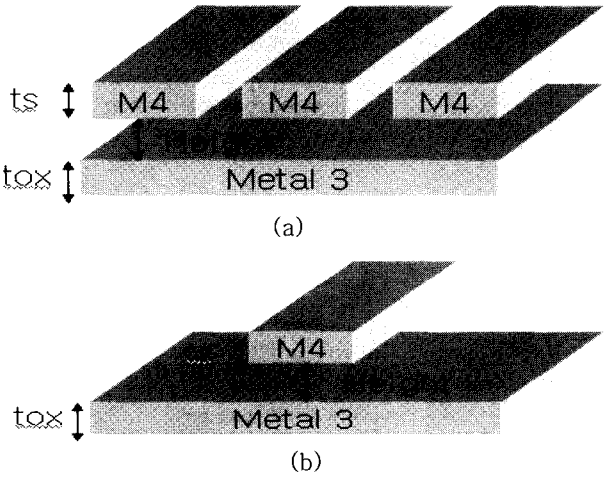


그림 3. (a) Coplanar 구조 (b) Microstrip line 구조.
Fig. 3. (a) Coplanar structure (b) Microstrip line structure.

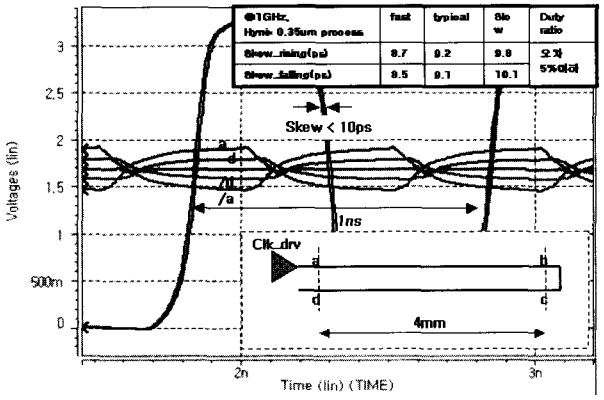


그림 4. 1GHz 에서 클록 분배회로 시뮬레이션 결과.
Fig. 4. Simulation result of clock distribution scheme at 1GHz.

예상된다. 이를 검증하기 위한 방법으로 10mm 영역과 20mm 영역에서, 두 구조가 보이는 스큐의 차이를 분석하였으며, lumped modeling을 통하여 제안된 회로가 신호선로의 아래 구조의 영향에도 둔감하여 signal quality 확보에도 큰 도움이 된다는 것을 검증하였다.

이 때 사용한 RLG 값은 10m영역에서 width 4um coplanar 방식의 경우 R은 31.25Ω , L은 8.5nH, C는 0.9pF 이고, microstrip 선 방식의 R은 31.25 Ω, L은 0.7nH, C는 1.14pF 이다. 20mm 영역에서 coplanar 방식의 경우 R은 125Ω, L은 34nH, C는 3.62pF 이고, microstrip 선방식의 R은 125, L은 2.8nH, C는 4.56pF 이다.

Ⅴ. 시뮬레이션 결과

그림 4는 1GHz 에서 5mm 영역을 커버하는 10mm differential FCLs 클록분배시스템의 결과를 보여주고

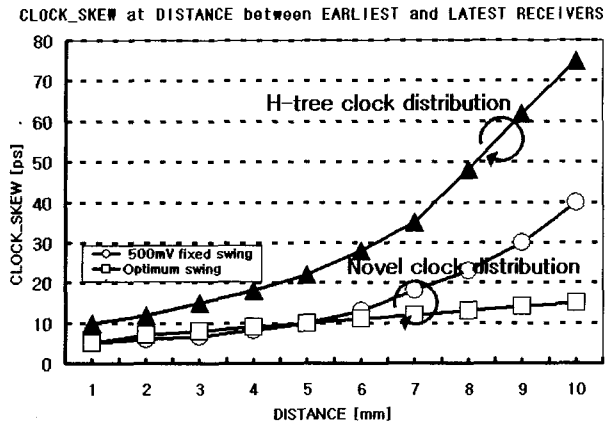


그림 5. 수신기 거리에 따른 클록 스큐.
Fig. 5. Clock skew variation vs distance of two receivers.

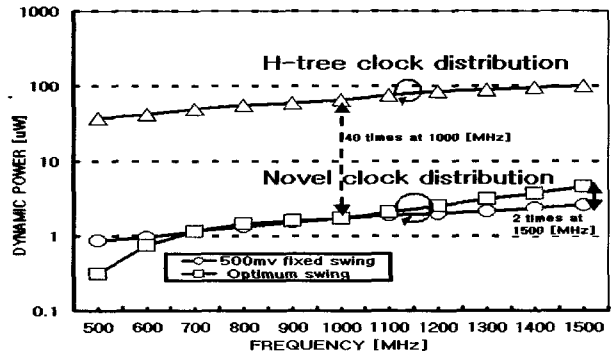


그림 6. 각 클록 분배 구조의 동적 파워 소비량.
Fig. 6. Dynamic power consumption of each clock distribution systems.

있다. 이것은 단순히FCL 영역만을 보여주고 있으며, FCLs 은 4um-width METAL 4 layer로 구성되어 있다. 최대 4mm 떨어진 두 개의 수신단들 사이에서 최대 클록 스큐를 나타내며, 10ps 이하의 값을 보이고 있으며, 주파수를 1.5GHz까지 증가 시켜도 낮은 클록 스큐를 유지함을 보이고 있다.

그림 5 는 거리에 따른 클록 스큐 값을 H-tree 방식과 비교하여 분석한 결과를 보여주고 있다. 이것은 line의 길이가 증가할수록 제안된 클록 분배 방식이 더 작은 값의 스큐값을 나타내고 있음을 보여주고 있다.

그림 6 은 속도가 증가할수록 소비되는 동적 파워 소모를 보여주고 있다. 제안된 회로는 최대 10uw 이하의 소비량을 보이고 있으나, H-tree방식은 최대 100uw의 소비량을 보이고 있다.

그림 7 은 파워 잡음과 그라운드 잡음의 영향에 따른 skew 값의 변화를 보여주고 있다. 이것은 H-tree 방식은 20ps ~ 30ps 사이의 값을 가지고 있음을 보이고 있으나, 제안된 방식은 10ps 정도의 스큐 값을 보이고 있다. 표 1 에 다른 주파수 영역에서의 시뮬레이션 결과

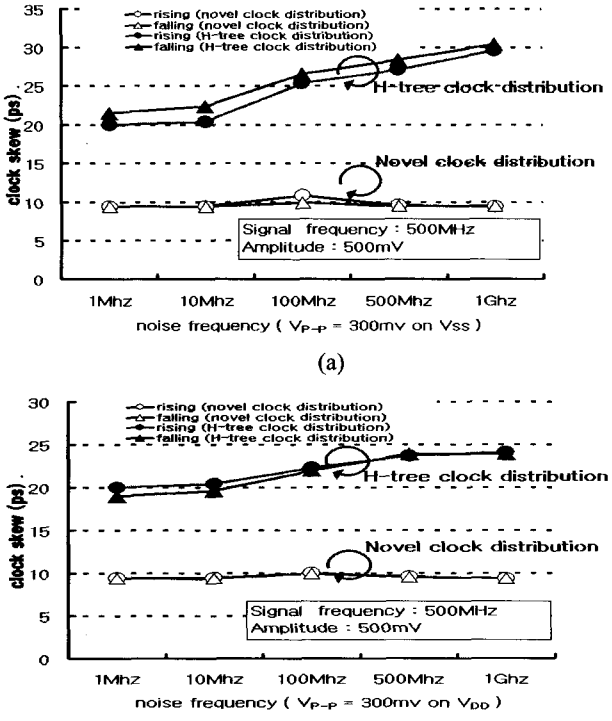


그림 7. 클록 스큐 변화 (a) 파워 노이즈에 따른 (b) 접지 노이즈에 따른.
Fig. 7. Clock skew variation (a) on power noise and (b) on ground noise.

표 1. 10mm 떨어진 두 receiver 사이의 주파수 변화에 따른 클록 스큐.
Table 1. Maximum clock skew at several frequencies between two receivers having distance of 10mm.

Freq	500MHz		1000MHz		1500MHz	
	Skew Rising	Skew Falling	Skew Rising	Skew Falling	Skew Rising	Skew Falling
Fast	6.7ps	6.3ps	8.7ps	8.5ps	10.2ps	10.1ps
Typical	7.1ps	7.6ps	9.2ps	9.1ps	10.5ps	10.4ps
Slow	7.8ps	8.1ps	9.8ps	10.1ps	11.6ps	12.1ps
Duty Ratio	Below 3.67%		Below 4.55%		Below 5.8%	

를 보여주고 있으며, 표 2에서는 제안한 회로가 PVT 변화에 둔감하다는 시뮬레이션 결과를 보여주고 있다.

추가로 제안된 회로에 적합한 클록 배선로를 선택하기 위하여 coplanar 방식과 microstrip 방식을 사용하여 클록 스큐 및 동적 전력 소모 특성등을 분석하였다. 또한 금속선폭을 변화시켜가며, 선폭 변화가 스큐에 어떠한 영향을 미치는가에 대한 분석도 병행하였으며, lumped modeling 기법을 사용하여 신호선의 아래 구조가 신호선에 미치는 영향에 대한 분석도 하였다.

표 3은 선의 길이와 폭의 변화에 따른 스큐 값을 나타내고 있다. 메탈 선의 폭이 4um일 때, microstrip 선

표 2. 전압, 온도 변화에 따른 클록 스큐
Table 2. Clock skew variation according to voltage and temperature variation.

@1000MHz 500mV Swing(VDD =3.3V)			
Temperature	27	50	70
Skew Rising	9.2ps	9.6ps	9.8ps
Skew Falling	9.1ps	9.4ps	9.6ps
@1000MHz 500mV Swing(Temp=27)			
Power supply	3V	3.3V	3.6V
Skew Rising	8.9ps	9.2ps	9.3ps
Skew Falling	10.1ps	9.1ps	9.5ps

표 3. 메탈 길이와 폭의 변화에 따른 클록 스큐.
Table 3. Clock skew variation as a function of metal length and width variation.

	10mm(800mv swing)				20mm(800mv swing)			
	microstrip line		coplanar		microstrip line		coplanar	
Metal width	skew rising	skew falling	skew rising	skew falling	skew rising	skew falling	skew rising	skew falling
4u	20ps	20ps	20ps	20ps	63ps	70ps	10ps	60ps
6u	23ps	20ps	30ps	40ps	90ps	90ps	10ps	100ps
8u	30ps	30ps	40ps	50ps	110ps	130ps	none	none

표 4. 10mm 에서의 클록 스큐 변화
Table 4. Clock skew variation at a length of 10mm.

	10mm							
	Microstrip line				Coplanar line			
	Normal		Optimum		Normal		Optimum	
Metal Width	rising	falling	rising	falling	rising	falling	rising	falling
4um	20ps	20ps	20ps	20ps	20ps	20ps	10ps	10ps
6um	23ps	20ps	20ps	20ps	30ps	40ps	20ps	10ps
8um	30ps	30ps	30ps	30ps	40ps	50ps	40ps	20ps

방식과 coplanar 방식 모두 10mm 영역에서는 20ps 이하의 스큐 값을 나타내었으며, 20mm 영역에서는 copla-nar 의 경우 rising 기간에서 10ps, falling 기간에서 60ps microstrip의 경우 rising 기간에서 60ps, falling 기간에서 70ps의 스큐 값을 보이고 있다. 전송선로를 lumped model을 하고, LVDS 드라이버의 스윙 전압을 메탈 선의 폭과 길이에 따라 최적화한 경우 최적화 하지 않은 경우 보다 스큐가 매우 감소함을 알수 있다. 표 4에서는 10mm 길이의 클록 분배 선로에서 회로를 최적화한 경우와 최적화 하지 않은 경우의 스큐 결과를

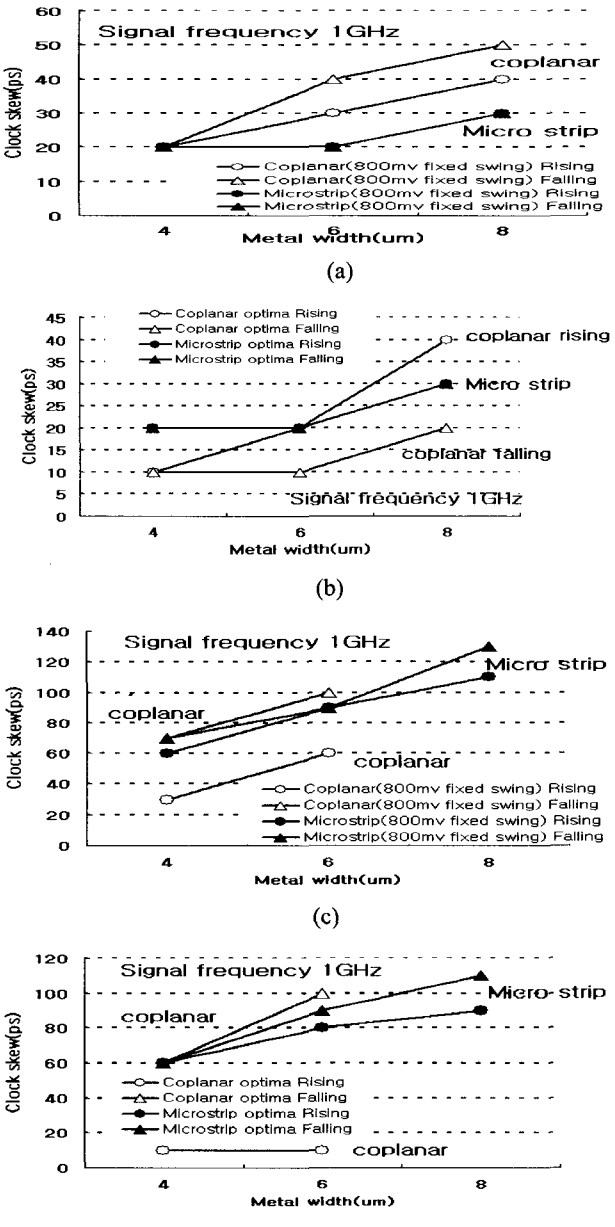


그림 8. 메탈 폭의 변화에 따른 클록 스큐, (a) 10mm @ normal (b) 10mm @ optimum (c) 20mm @ normal (d) 20mm @ optimum

Fig. 8. Clock skew variation according to Metal width variation. (a) 10mm @ normal (b) 10mm @ optimum (c) 20mm @ normal (d) 20mm @ optimum

보여 주고 있다.

메탈선의 폭이 증가함에 따라 저항이 줄어든다는 개념을 바탕으로 두 가지 방식에 메탈 폭을 변화시켜가며 시뮬레이션 한 결과 폭이 증가할수록 선의 저항은 감소하나 선의 커패시턴스가 증가하여 오히려 스큐 값이 증가함을 나타내었다. 커패시턴스의 증가로 인해 신호에 미치는 영향은 coplanar 방식이 microstrip 방식보다 더

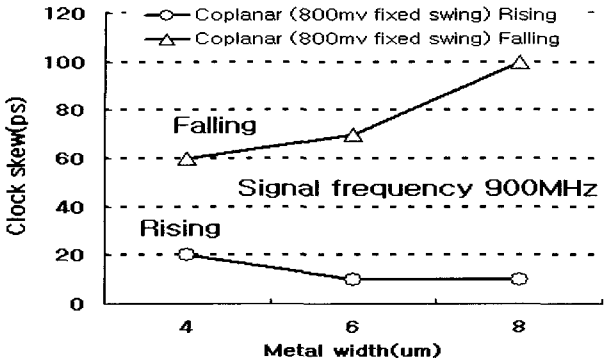


그림 9. Coplanar 구조에서 900MHz 동작의 클록 스큐.
Fig. 9. Clock skew of 900MHz operation on coplanar structure.

표 5. Metal 4 와 6을 클록 선로에 사용한 경우 클록 스큐 변화.
Fig. 5. Clock skew variation in case of clock lines placed with metal 4 and metal 6.

	20mm coplanar			
	Metal 4		Metal 6	
width	skew rising	skew falling	skew rising	skew falling
4u	30ps	70ps	25ps	70ps
6u	60ps	100ps	52ps	80ps
8u	none	none	153ps	180ps

표 6. Lumped 모델링에 따른 클록 스큐.
Fig. 6. Clock skew variation according to lumped modelings.

	10mm coplanar			
	Lumped modeling		dumped modeling	
width	skew rising	skew falling	skew rising	skew falling
4u	20ps	20ps	20ps	20ps
6u	30ps	40ps	30ps	30ps
8u	40ps	50ps	31ps	32ps

큼을 보여주고 있다. 그림 8 은 표 3과 4에 나타난 값을 그래프로 나타낸 것이다.

커패시턴스의 문제를 해결하기 위해서 드라이버의 구동 능력을 증가시켰으나, coplanar 방식에서는 20mm 영역에서 1GHz 동작을 기대하기에는 충분치 못하였다. coplanar 방식은 최대 900MHz 에서는 약간의 클록 duty가 일그러짐을 보이기는 하나 8um의 선폭에서 rising 10ps, falling 100ps의 스큐값을 보여주고 있다. 그림 9는 coplanar 방식을 900MHz 에서 동작 시킨 결과를 보여준다.

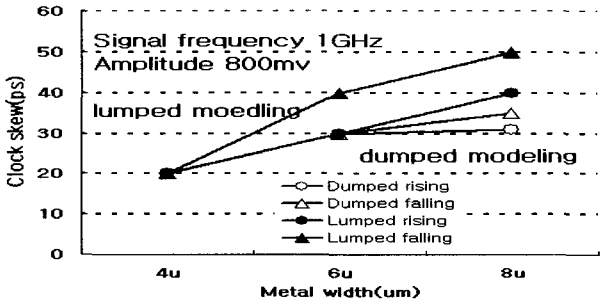


그림 10. Lumped 와 dumped 모델링의 클록 스큐.
Fig. 10. Clock skew variation about lumped modeling vs. dumped modeling.

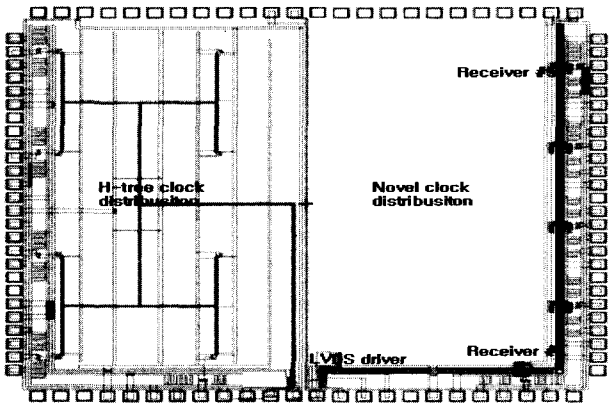


그림 11. 테스트를 위한 제안된 분배 방식과 H-tree 방식의 레이아웃.
Fig. 11. Layout of the test chip for Novel clock distribution & H-tree clock distribution.

이러한 결과는 20mm, 8um 폭 에 초점을 맞추어 드라이버 의 구동능력을 증가 시켰다. 따라서, 현재 사용한 METAL 4 가 아닌, 두께가 두꺼운 METAL 5 또는 METAL 6 공정을 사용할 경우, 고속동작 범위와 선의 길이 범위를 더욱 증가 시켜줄 것으로 예상 되며, 표 5 에서 METAL layer의 공정을 변화 시켰을 경우의 시뮬레이션 값을 보여주고 있다. METAL 4 에서는 동작하지 않았던 1GHz 가 METAL 6 에서는 동작함을 보여주고 있다.

선로 아래 구조가 신호선에 미치는 영향을 분석하기 위해 lumped modeling을 이용한 시뮬레이션 결과 미세한 duty cycle의 변화는 있었으나, 성로 아래 구조의 변화에 따른 signal line의 변화는 둔감하다는 것을 확인할 수 있었다. 표 6과 그림 10은 lumped modeling 에 따른 결과 값을 나타내고 있다. 두 가지 방식의 경우를 비교 분석 한 결과 선의 길이가 길어질수록 coplanar 방식이 더 작은 값을 나타내고 있으므로, 전송선으로 사용하기가 적합한 것으로 보이나, 메탈의 폭이 증가함에 따라 커패시턴스의 영향을 크게 받게 되어 넓은 폭

을 가지는 선에서는 부적합한 것으로 나타났다. 그림 11 은 H-tree와 새로운 클록 분배 시스템을 비교 분석하기 위한 layout을 보여주고 있으며, 제안된 방식은 선로 아래 구조와 주변회로들이 신호에 미치는 효과에 둔감하여 Soft-IP을 기반으로 하는 SoC 설계에 적합하다.

VI. 결 론

제안한 새로운 클록 분배 시스템은 매우 낮은 스큐값과 낮은 동적 파워 소모 그리고, 파워 잡음과 그라운드 잡음 에 둔감한 특성을 보여준다.

전송로의 모델링을 통한 분석에서 Coplanar 구조가 Microstrip 구조에 비해 선로 아래의 영향이 적어 뛰어난 배선 효율을 나타내며, 20mm 이상의 길이를 가지는 line에서는 Microstrip 구조보다 더 안정적인 신호 전달을 보장해 준다. 위의 시뮬레이션 결과를 토대로 전송선로의 구조는 Microstrip 구조 보다 Coplanar 구조가 더 적합한 것으로 보여 지며, Coplanar 구조의 안정성은 METAL 적층 공정의 발전과 함께 보장될 것이라 기대 된다.

참 고 문 헌

[1] P. J. Restle, et al. "A clock distribution network for microprocessors", IEEE J. Solid-State Circuits, 36, (5), pp. 792-799, May, 2001

[2]. A. Boni, A. Pierazzi, and D. Vecchi, "LVDS I/O interface for Gb/s-per-pin operation in 0.35-mm CMOS", IEEE J. Solid-State Circuits, 36, (4), pp. 706-711, April, 2001.

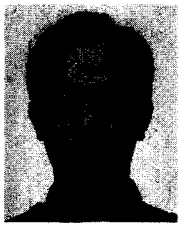
[3] M. Bazes, "Two novel fully complementary self-biased CMOS differential amplifiers", IEEE J. Solid-State Circuits, 26, (2), pp. 165-168, Fab., 1991.

[4] B. W. Garlepp, et al, "A portable digital DLL for high-speed CMOS interface circuits", IEEE J. Solid-State Circuits, 34, (5), pp. 632-644, May, 1999.

[5] J.K. WEE, et al. "A study of underlayer geometry effects on interconnect line characteristics through S-parameter measurements", Proc. Electronic Components Technology Conf., pp. 1290-1294, May, 2001.

저 자 소 개

박 정 근(정회원)
2003년 한림대학교 정보통산공학부 학사졸업
2003년~현재 한림대학교 전자공학과 석사과정



위 재 경(정회원)
1988년 연세대학교 물리학과 학사 졸업
1990년 서울대학교 물리학과 석사 졸업
1998년 서울대학교 전자공학과 박사 졸업
1990년~2002년 하이닉스전자 메모리연구소 근무
2002년~2004년 한림대학교 정보통신 공학부 조교수
2004년~현재 숭실대학교 조교수.
<주관심연구분야 System-in-Package 설계 및 고속 SoC, high speed I/O interface, DLL/PLL, Mixed Mode 설계.>

문 규(정회원)
1982년 서울대학교 공과대학 제어계측과 졸업 (공학학사)
1990년 죠지워싱턴대학교 전기 및 컴퓨터공학과 졸업(공학석사)
1993년 죠지워싱턴대학교 전기 및 컴퓨터공학과 졸업(공학박사)
1982년 3월~1988년 5월 한국전자통신연구소 연구원
1993년 9월~현재 한림대학교 정교수
<주관심분야: 아날로그 반도체 설계 및 초고속 초전도 회로. 반도체 설계기술 및 설계 자동화 등>