

논문 2004-41SD-4-2

Ground Plane SOI MOSFET의 단채널 현상 개선 (Reduction of short channel Effects in Ground Plane SOI MOSFET's)

장 성 준*, 윤 세 레 나*, 유 중 근*, 박 종 태*, Jean-Pierre Colinge**

(Sung-Joon Jang, Se-Re-Na Yun, Chong-Gun Yu, Jong-Tae Park, and Jean-Pierre Colinge)

요 약

매몰 산화층 밑의 실리콘 기판에 자기정렬 방법으로 ground plane 전극을 만든 SOI MOSFET의 단채널 현상과 punchthrough 특성을 측정·분석하였다. 채널 길이가 0.2μm 이하의 소자에서는 GP-SOI 소자가 FD-SOI 소자보다 채널 길이에 따른 문턱전압 저하 및 subthreshold swing이 작고 DIBL 현상이 크게 개선됨을 알 수 있었다. 기판전압에 따른 문턱전압 특성으로부터 GP-SOI 소자의 body factor가 FD-SOI 소자보다 큰 것을 알 수 있었다. 그리고 punchthrough 전압 특성으로부터 GP-SOI 소자의 punchthrough 전압이 FD-SOI 소자보다 큰 것을 알 수 있었다.

Abstract

This paper reports the measurement and analysis of the short channel effects and the punchthrough voltage of SOI-MOSFET with a self-aligned ground plane electrode in the silicon mechanical substrate underneath the buried oxide. When the channel length is reduced below 0.2μm, it is observed that the threshold voltage roll-off and the subthreshold swing with channel length are reduced and DIBL is improved more significantly in GP-SOI devices than FD-SOI devices. It is also observed from the dependence of threshold voltage with substrate biases that the body factor is a higher in GP-SOI devices than FD-SOI devices. From the measurement results of punchthrough voltage, GP-SOI devices show the higher punchthrough voltages than FD-SOI devices

Keywords: SOI technology, MOSFET, Short Channel Effect, Ground Plane SOI MOSFET

I. 서 론

일반적으로 SOI MOSFET는 Bulk MOSFET에 비해 단채널 현상이 작은 것으로 알려져 있으며, FD(Fully Depleted) SOI 소자가 PD(Partially Depleted) 소자보다 단채널 현상이 더 작은 것으로 알려져 있다^[1]. 그러나 소자의 크기가 100nm 이하에서는 FD-SOI MOSFET의 단채널 현상이 심각하므로 이를 줄이기 위하여 다양한 구조의 SOI 소자들이 제안되고 있다. 실리콘 박막의

전계를 효과적으로 제어하기 위해 double gate SOI 소자^[2], SGT(Surrounding Gain Transistor)^[3], DELTA (Depleted Lean-channel Transistor)^[4], GAA(Gate All Around)^[5], FinFET^[6], Pi-gate^[7], Omega-gate^[8] 등의 소자들이 제안되었다. 제안된 소자들의 단채널 현상은 기존의 FD-SOI 소자에 비해 크게 개선된 것이 사실이나 공정이 까다로워 표준 SOI 공정으로 제작하기는 어려운 단점이 있다.

채널 길이가 작아지면 게이트 아래 부분에 만들어지는 공핍층 전하의 많은 부분이 소스 및 드레인 공핍층 전하에 의한 것이 된다. 그러므로 채널길이가 작아질수록 게이트에 의해 제어되는 전하의 양이 줄어들게 되어 문턱전압의 저하가 크게 된다. 특히 드레인 전압이 증가하면 드레인 포텐셜이 채널쪽으로 더 많이 침투하게 되어 증가된 드레인 공핍층 전하는 문턱전압 저하를 크

* 정회원, 시립 인천대학교 전자공학과 (Dept. of Electronic Engineering, Incheon Univ.)
** Dept. of ECE, University of California, Davis, U.S.A
※ 본 연구는 2003년도 인천대학교 교내 연구비로 수행 되었음 .
접수일자 : 2003년6월26일, 수정완료일: 2004년3월18일

게 한다. 드레인에서 나오는 전계를 게이트에서 제어하는 것보다 높은 불순물이 도핑된 기판을 ground plane으로 사용하는 것이 소자 제작 면에서 효과적인 방법이라는 제안이 Horiuchi등에 의해서 제안되었다^[9]. 그러나 이 제안은 PSI SOI기술을 이용한 것으로 소스나 드레인 밑의 기판 부분에도 불순물 농도가 높아져 기판과의 overlap 커패시턴스가 크게 되는 단점이 있다.

최근에 W. Xiong과 본 저자들이 기판의 소스나 드레인 부분에는 불순물이 주입되지 않고 채널 부분에만 주입된 자기정렬 방법의 ground plane SOI MOSFET를 제안하였다^[10]. 본 연구에서는 자기정렬 방법으로 제작된 ground plane SOI(GP-SOI) MOSFET의 단채널 특성과 punchthrough 특성을 같은 공정 조건에서 제작된 FD-SOI MOSFET와 비교 분석하였다.

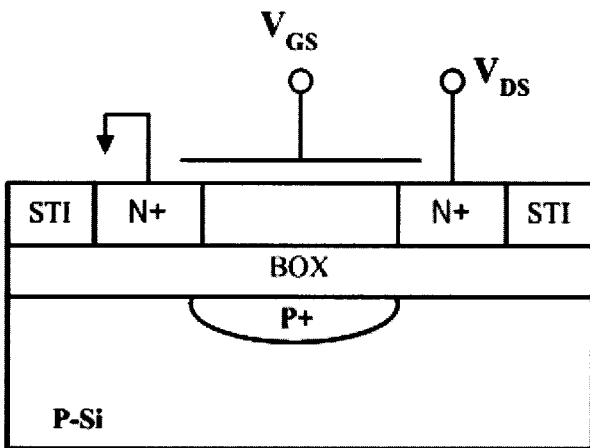


그림 1. GP-SOI 소자의 단면도
Fig. 1. Cross sectional view of GP-SOI device

II. 소자 제작 및 특성

본 연구에 이용된 GP-SOI MOSFET는 SIMOX 웨이퍼를 사용하였으며 매몰 산화층의 두께는 150nm이다. 최종 실리콘 박막의 두께는 80nm이며 게이트 산화층 두께는 3.2 nm이다. 그림 1은 본 연구에서 사용된 GP-SOI MOSFET의 단면도를 나타낸 것이다. 실리콘 박막의 active영역을 STI(Shallow Trench Isolation) 방법으로 정의한 후 두께가 450nm인 S₃N₄를 PECVD 방법으로 증착하였다. 그리고 게이트를 정의한 후 PSG를 증착하고 CMP기술로 역 게이트 이미지를 형성한 후 S₃N₄를 선택적으로 에칭하였으며 ground plane을 만들기 위해 Boron을 100KeV, 2.5 × 10¹⁴cm⁻²로 이온 주입하였다. 이 때 Boron은 자기정렬 방법으로 채널 영역에만 주입되어 드레인과 기판의 overlap 커패시턴스를 줄일 수 있게 된다. 그 이후의 공정은 Bulk CMOS 공정과 같으며 자세한 공정은 참고문헌에 서술되어 있다^[10]. 사용된 채널길이는 0.14μm~0.88μm이며, 채널폭은 25μm이다.

GP-SOI MOSFET의 단채널 현상은 채널길이에 따른 문턱전압, Subthreshold swing, DIBL, punchthrough 전압 등을 측정하여 같은 조건으로 제작된 FD-SOI MOSFET와 비교, 분석하였다. FD-SOI 소자는 실리콘 기판에 Boron이 도핑되지 않은 구조이며 다른 공정 과정은 GP-SOI 소자와 동일하게 제작되었다.

측정 시 드레인과 기판사이의 결합 커패시턴스에 의한 기판 포텐셜 변화를 없애기 위해 기판은 접지를 하였다.

III. 단채널 현상

채널 길이에 따른 소자의 문턱전압 저하 현상을 비교하기 위해 채널길이가 0.14μm~0.88μm인 소자의 문턱전압을 측정하였다. 채널길이가 0.88μm인 FD-SOI 소자와 GP-SOI 소자의 문턱전압은 각각 0.1V, 0.08V로 측정되었다. 그림 2는 FD-SOI 소자와 GP-SOI 소자의 채널 길이에 따른 문턱전압 변화(ΔV_{TH})를 나타낸 것이다. V_{TH}는 V_{DS}=0.1V에서 I_{DS}=0.1W/L[μm]가 되는 게이트 전압으로 정의하였다 그리고 ΔV_{TH}는 L=0.88μm의 V_{TH}를 기준으로 하고 각 채널 길이의 V_{TH} 차이로 정의하였다.

즉 ΔV_{TH}=V_{TH}(L=0.88μm)-V_{TH}(L)로 정의 하였다. L=0.2μm 이하의 소자에서 GP-SOI 소자의 ΔV_{TH}가 FD-SOI 소자보다 작음을 알 수 있다. FD-SOI 소자인

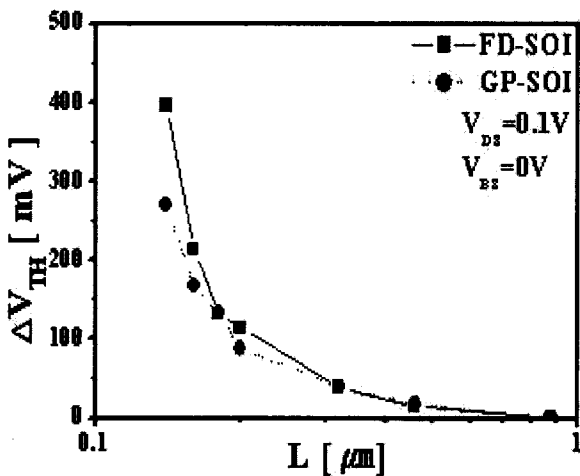


그림 2. 채널길이에 따른 문턱전압 변화
Fig. 2. Threshold voltage roll-off with channel lengths.

경우 실리콘 박막의 수직 전압 분포가 게이트 전압보다 드레인 전압의 의해 제어되어 Bulk MOSFET 보다는 작지만 단채널 현상이 많이 일어나게 된다고 알려져 있다^[11]. 채널 길이가 긴 소자에서는 소스 및 드레인에서 나오는 fringing field가 작으므로 채널의 전계는 상하 양 게이트에 의해 제어된다. 그러나 채널길이가 짧은 소자에서는 매몰 산화층을 통한 기판과 드레인 사이의 포텐셜 결합을 무시할 수 없게 된다. 즉 드레인에서 나온 전계가 매몰 산화층을 통해 실리콘 박막의 전압을 제어하기 때문에 단채널 현상이 많이 일어나게 된다. Ernt와 Critoloveanu는 게이트 밑의 실리콘 박막의 수직 방향 포텐셜이 게이트보다 소스 및 드레인에서 나오는 포텐셜 결합에 의해 제어된다고 보고하였다^[11]. 실제로 매몰 산화층의 포텐셜은 드레인 전압에 선형적으로 비례한다. 그러나 GP-SOI 소자에서는 드레인에서 나온 전계가 기판의 ground plane으로 향하게 되어 실리콘 박막의 전압을 보호하게 되므로 단채널 현상이 작게 일어나게 된다. 그림 3은 기판전압(V_{BS})에 따른 ΔV_{TH} 의 변화를 나타낸 것으로 GP-SOI 소자의 ΔV_{TH} 가 FD-SOI 소자보다 V_{BS} 에 대한 영향이 적은 것을 알 수 있다. 특히, 채널길이가 짧을수록 GP-SOI 소자의 ΔV_{TH} 변화가 FD-SOI 소자보다 적음을 알 수 있다.

그림 4는 채널길이에 따른 Subthreshold swing(S)과 DIBL특성을 나타낸 것이다. $DIBL = V_{TH}(V_{DS}=0.1V) - V_{TH}(V_{DS}=1.0V)$ 로 정의하였다. Subthreshold 특성은 $V_{DS}=0.1V$ 에서 측정하였다. 그림으로부터 $L=0.4\mu m$ 이하에서 GP-SOI 소자의 S 값이 FD-SOI 소자보다 작으며 $L=0.2\mu m$ 이하에서는 DIBL 특성이 우수함을 알 수 있다. 이것은 FD-SOI 소자에서는 드레인에서 나온 전계가 매몰 산화층을 통하여 채널 전계에 영향을 미치나 GP-SOI 소자에서는 드레인에서 나온 전계가 기판의 ground plane으로 향하기 때문이다.

그림 5는 V_{BS} 에 따른 S 및 DIBL 특성을 나타낸 것으로 그림 3과 같이 GP-SOI 소자가 FD-SOI 소자보다 V_{BS} 에 대한 영향이 적은 것을 알 수 있다. V_{BS} 에 따른 GP-SOI 소자와 FD-SOI 소자의 단채널현상을 분석하기 위해 V_{BS} 에 따른 GP-SOI 소자와 FD-SOI 소자의 V_{TH} 특성을 그림 6에 나타내었다. 그림으로부터 GP-SOI 소자의 기울기가 FD-SOI 소자보다 큰 것을 알 수 있는데 이것은 GP-SOI 소자의 body factor가 큰 것을 의미한다.

Body factor는 기판의 불순물 농도에 비례한다. 기판의 불순물 농도가 적은 FD-SOI 소자는 매몰 산화층 밑

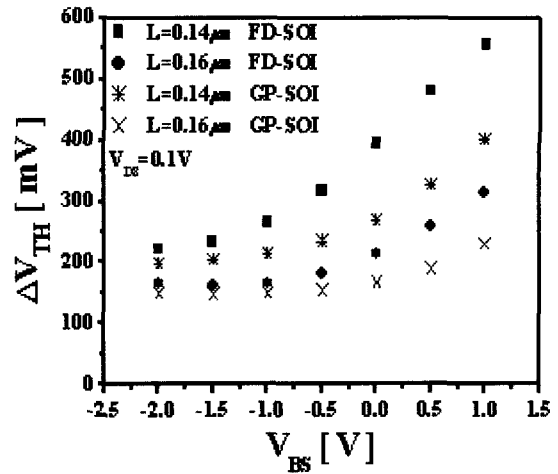


그림 3. 기판전압에 따른 문턱전압 변화
Fig. 3. Threshold voltage roll-off with substrate bias voltages

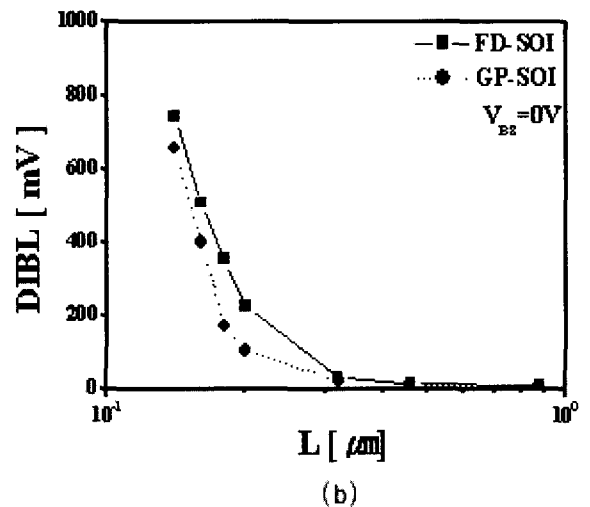
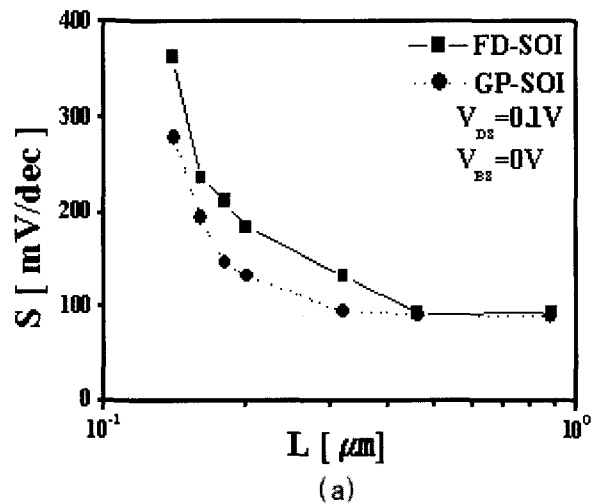


그림 4. 채널길이에 따른 subthreshold swing (a) 과 DIBL 특성(b)
Fig. 4. Subthreshold swing (a) and DIBL (b) with channel lengths

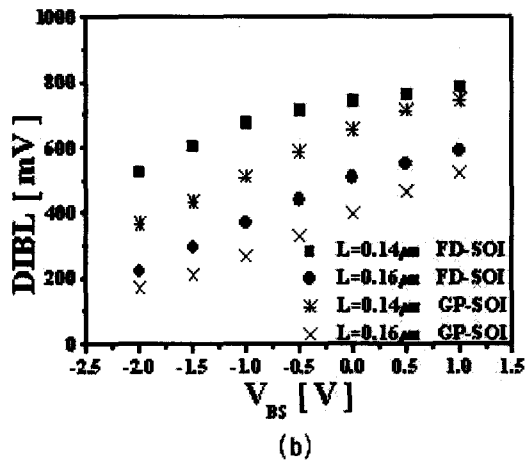
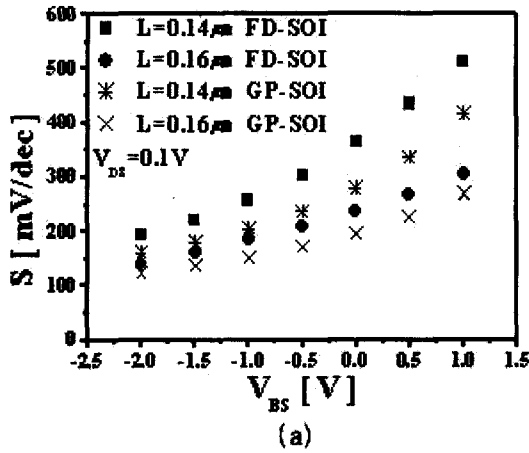


그림 5. 기판전압에 따른 subthreshold swing (a)과 DIBL 특성(b)
 Fig. 5. Subthreshold swing (a) and DIBL (b) with substrate bias voltages

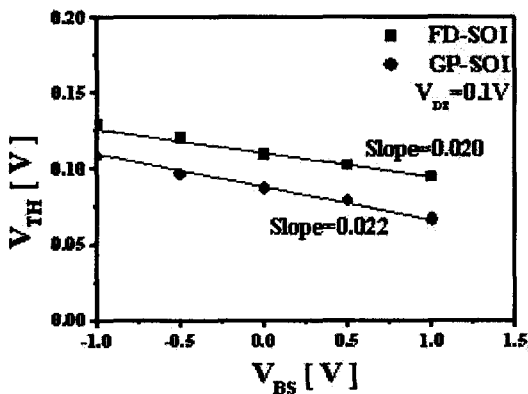


그림 6. 기판전압에 따른 문턱전압
 Fig. 6. Threshold voltage with substrate bias voltages.

의 기판에 만들어지는 공핍층이 넓기 때문에 게이트와 기판사이의 depletion capacitance가 작아져 body factor가 작아지게 된다. 기판에 ground plane을 만들기 위하여 많은 Boron을 이온 주입한 GP-SOI 소자는 기판에서의 depletion capacitance가 증가하기 때문이다. 일반

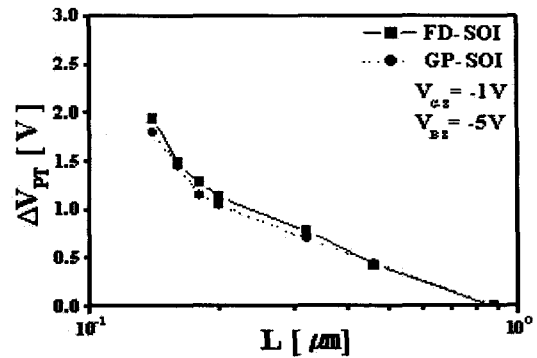


그림 7. 채널길이에 따른 punchthrough 전압 변화
 Fig. 7. The variation of punchthrough voltage with channel lengths

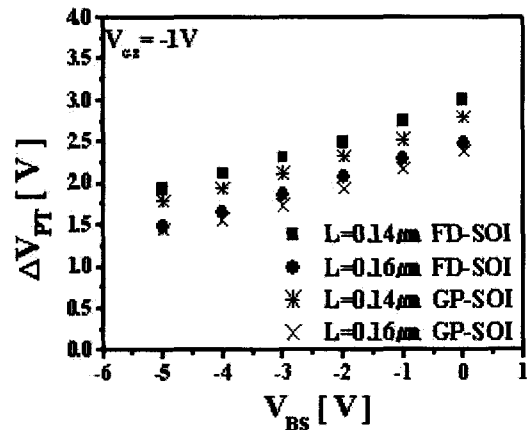


그림 8. 기판전압에 따른 punchthrough 전압 변화
 Fig. 8. The variation of punchthrough voltage with substrate bias voltages.

적으로 Bulk CMOS에서 기판 불순물을 증가시키면 단채널 현상이 감소하는 것과 같은 이유로 해석할 수 있을 것이다.

IV. Punchthrough 현상

그림 7은 채널 길이에 따른 GP-SOI 소자와 FD-SOI 소자의 punchthrough 전압 변화 (ΔV_{PT})를 나타낸 것이다. Punchthrough 전압은 실리콘 박막이 공핍이 되게 $V_{GS} = -1V$ 와 $V_{BS} = -5V$ 로 인가하면서 $I_{DS} = 1nA$ 가 되는 V_{DS} 로 정의하였다.

ΔV_{PT} 는 $L = 0.88\mu m$ 의 V_{PT} 를 기준으로 하고 각 채널 길이의 V_{PT} 차이로 정의하였다. $L = 0.88\mu m$ 에서 FD-SOI 소자와 GP-SOI 소자의 V_{PT} 는 각각 3.43V, 3.5V로 측정되었다. 그림에서와 같이 $L = 0.4\mu m$ 이하에서는 GP-SOI 소자가 FD-SOI 소자보다 ΔV_{PT} 가 작음을 알 수 있다.

채널길이가 짧을수록 GP-SOI 소자의 ΔV_{PT} 가

FD-SOI 소자보다 작은 것은 앞에서 설명한 단채널 현상과 같은 이유이다. 채널길이가 짧은 FD-SOI 소자에서는 드레인에서 나온 전계가 매몰 산화층을 통하여 실리콘 박막에 인가되므로 소스와 드레인 사이의 전위장벽을 더 많이 저하시켜 V_{PT} 가 작아지게 된다. 그러나 GP-SOI 소자에서는 이런 드레인 전계가 ground plane으로 향하게 되므로 V_{PT} 가 증가하게 된다.

그림 8은 V_{BS} 에 따른 ΔV_{PT} 를 나타낸 것으로 GP-SOI 소자가 FD-SOI 소자보다 V_{BS} 에 적게 영향을 받음을 알 수 있다. 이 또한 앞에서 설명한 것과 같이 GP-SOI 소자가 FD-SOI 소자보다 body factor가 큰 것으로 설명할 수 있을 것이다.

V. 결론

실리콘 기판에 Boron을 자기정렬 방법으로 이온 주입하여 ground plane을 만든 GP-SOI 소자가 기존의 FD-SOI 소자보다 단채널 현상이 개선되는 것을 측정으로부터 알 수 있었다. 특히 채널길이가 $0.2\mu\text{m}$ 이하의 크기가 작은 소자일수록 FD-SOI 소자에 비해 단채널 현상이 많이 개선됨을 알 수 있었다. 그러나 기판의 depletion capacitance의 증가로 body factor는 GP-SOI 소자가 큰 것을 알 수 있었다. 그리고 punchthrough 전압도 GP-SOI 소자가 FD-SOI 소자보다 크게 나왔다. 연구 결과로부터 GP-SOI 소자가 나노 스케일 SOI 소자 구조의 좋은 대안이 될 수 있음을 알 수 있다.

참고 문헌

[1] Jean-Pierre Colinge, Silicon-on-Insulator Technology: Materials to VLSI, 2nd edition, NA, Kluwer, 1997.

[2] H.-S.P. Wong, K.K. Chan and Y.Taur, "Self-Aligned(Top and bottom) Double-Gate MOSFET with a 5nm thick silicon channel", Tech. Digest of IEDM, pp. 427-430, 1997

[3] H. Takato, K. Sunouchi, N. Okabe, A.Nitayama, K. Hieda, F. Horiguchi, and F. Masuoka, "High performance CMOS Surrounding Gate Transistor (SGT) for ultra high density LSIs," Tech. Digest of IEDM, pp. 222-225, 1988.

[4] D. Hisamoto, T. Kaga, Y. Kawamoto, and E. Takeda, "A fully depleted Lean-channel Transistor(DELT) - A novel vertical ultrathin SOI MOSFET," Tech. Digest of IEDM, pp. 833-836, 1989.

[5] J.P. Colinge, M.H. Gao, A. Romano-Rodriguez, H. Maes, and C. Claeys, "Silicon-On-Insulator Gate-All-Around Device," Tech. Digest of IEDM, pp. 595-598, 1990.

[6] X. Huang, W.C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.K. Choi, K. Asano, V. Subramanian, T.J. King, J. Bokor, and C. Hu, "Sub 50nm FinFET: PMOS," Tech. Digest. of IEDM, pp. 67-70, 1999.

[7] J.T. Park, J.P. Colinge, and C.H. Diaz, "Pi-Gate SOI MOSFET," IEEE Electron Device Letter, vol. 22, No. 8, pp. 405-406, 2001.

[8] F.-L.yang, H.-Y.Chen, F.-C.Chen, C.-C.Huang, C.-Y.Chang, H.-k.Chiu, C.-C.Lee, C.-C.Chen, H.-T.Huang, C.-J.Chen, H.-J.Tao, Y.-C.Yeo, M.-S.Liang, and C.Hu, "25nm CMOS Omega FETs.", Tech. Digest of IEDM, pp. 255-258, 2002.

[9] M.Horinchi, T.Teshima, K.Tokumasu, and K.Yamaguchi, "High Current Small-Parasitic-Capacitance MOSFET on a Poly-Si Interlayered(PSI:4) SOI wafer." IEEE Trans. Electron Devices, vol.45 no.5, pp. 1111-1115, 1998.

[10] W.xiong, K.Ramkumar, S.J. Jang, J.T. Park, and J.P. Colinge, "Self-Aligned Ground-Plane FDSOI MOSFET." Proc. of SOI/IEEE, pp. 23-24, 2002

[11] T. Ernst, and S. Cristoloveanu, "Buried Oxide Fringing Capacitance : A new Physical Model and its Implication on SOI Device Scaling and Architecture." Proc. of SOI/IEEE, pp. 38-39, 1993, pp. 345-357, June 1998.

 저 자 소 개



장 성 준(정회원)
 1995년 인천대학교 전자공학과
 학사 졸업
 1997년 인천대학교 대학원
 전자공학과 졸업
 1998년 3월~현재 인천대학교 대학원
 전자공학과 박사과정

1998년 3월~현재 여주대학교 컴퓨터정보관리과
 조교수

<주관심분야: 반도체소자 I-V 특성 모델링 및
 Reliability>

유 종 근(정회원)

제40권 SD편 제10호 참조

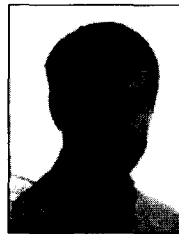
박 종 태(정회원)

제40권 SD편 제10호 참조



윤 세레나(정회원)
 1998년 인천대학교
 전자공학과 졸업.
 2000년 인천대학교 교육대학원
 전자공학과 졸업.
 2003년~현재 인천대학교 대학원
 전자공학과 박사 과정.

<주관심분야: CMOS, SOI MOSFET, 나노소자>



Jean-Pierre Colinge
 received the B.S. degree in
 philosophy, the Elect. Eng. Degr
 ee, and the Ph.D. degree in appl
 ied sciences, all from the Unive
 rsity Catholique de Louva in,
 Louvain-la-Neuve, Belgium, in

1980, and 1984, respectively. From 1981 to 1985,
 he was with the Centre National d'Etue rs des
 Telecommunications(CENT), Meylan, Fr ance
 He is now Professor at the University of
 California at Davis.

He has published over 240 scientific papers
 and three books on the field of SOI as well as
 a book on the semiconductor device physics
 .Dr. Colinge has been on the committee of
 several conferences, including IEDM and SSD
 M, and has been General Chairman of the IEE
 E SOS/SOI Technology Conference in 1998.