

논문 2004-41SD-4-3

# 파워 분배망을 고려한 디지털 회로 시스템의 설계와 분석

## (Design and Analysis of Digital Circuit System Considering Power Distribution Networks)

이 상 민\*, 문 규\*, 위 재 경\*\*

(Sang-Min Lee, Gyu-Moon, and Jae-Kyung Wee)

### 요 약

이 논문은 PCB의 PDN(Power Distribution Network) 시스템을 고려한 채널 분석을 나타내었다. 설계자가 원하는 PDN 시스템을 설계하기 위하여, 전체 주파수 범위의 PDN이 요구하는 임피던스를 얻는 유용한 설계방법을 제안하였다. 제안된 방법은 주파수 영역과 관계된 계층적 배치 접근방식과 보드와 decoupling 커패시터 사이의 current 흐름의 간섭을 고려한 path-based equivalent 회로를 기본으로 하였다. 비록 빠르고 쉬운 계산을 위한 lumped model일지라도, 실험 결과는 제안된 모델이 numerical 분석처럼 거의 정확함을 보였다. PDN 시스템의 분석은 패키지 인덕턴스가 파워 노이즈, 데이터 채널을 통한 신호 이동에 영향을 받는다는 것을 보여주고 있으나, 보드 PDN 또한 정확한 채널 신호를 위해 무시할 수 없다는 것을 보여준다. 따라서 설계자는 반드시 초고속 디지털 시스템의 첫 스펙 설계로부터 보드, 패키지, 칩 등을 동시에 디자인을 해야 한다.

### Abstract

This paper presents the channel analysis considering power distribution network(PDN) system of PCB. For achieve the target PDN system, we proposed the useful design approach for acquiring the characteristic target of power distribution network in overall frequency ranges. The proposed method is based on the hierarchical approach related to frequency ranges and the path-based equivalent circuit model to consider the interference of the current paths between the decoupling capacitors and the board though it is a lumped model for fast and easy calculation, experimental results show that the proposed model is almost as precise as the numerical analysis. The analysis of PDN system shows that although the effective inductance of package dominantly affects the power noise and the signal transfer through data channel, the board PDNs also can not be neglected for achieving the accurate channel signaling. Therefore, we must design concurrently the chip, package, and board from the initial spec design of high speed digital system.

**Keywords :** LVDS PDN, PEEC, Signal integrity, PBEC

## I. 서 론

Power supply의 안정성은 초고속 디지털 설계에서

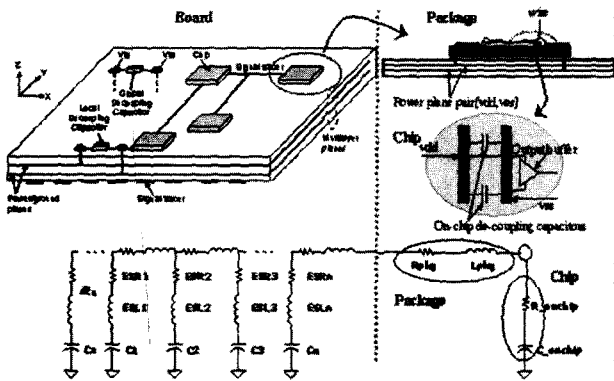
\* 정회원, 한림대학교 정보전자공과대학  
(Division of Information Engineering And Tele-communication, Hallym Univ.)

\*\* 정회원, 숭실대학교 공과대학 정보통신전자공학부  
(Division of electronic engineering, college of engineering, Soongsil Univ.)

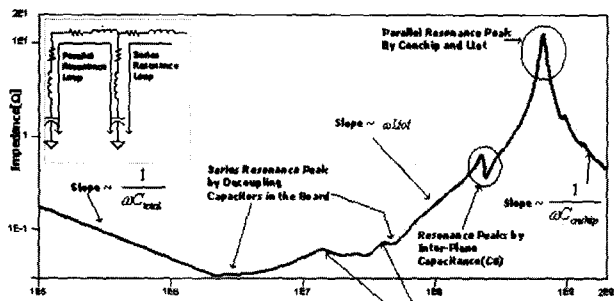
※ This work was supported by the research fund of Korea Research Foundation Grant (KRF-2003-003-D00307).

접수일자 : 2003년8월18일, 수정완료일: 2004년3월23일

점점 중요해지고 있고, I/O 스위칭 하는 동안 전압 변동과 파워 분배 시스템상에서 순간적인 전류 주입으로 인하여 power supply noise가 일어난다. Power supply 노이즈를 감소시키기 위한 파워 분배 시스템의 정확한 설계는 signal integrity와 transient operation 상의 파워 안정성을 위해 필요하며, on-board는 칩과 decoupling 커패시터 같은 구성요소가 포함된 파워 분배 시스템의 정확한 설계를 위해, PEEC(Partial Element Equivalent Circuit) 방법을 기본으로 사용해 왔으나 단점이 있다. 1)PEEC는 고유의 numerical 분석의 특성 때문에 임피던스 특성 커브와 파라미터의 매치가 어렵다. 2)PEEC는



(a) 디지털 시스템의 개념적인 모델  
(a) Conceptual model of a digital circuit system



(b) 대표적인 PDN 임피던스 분석  
(b) Analysis of a typical PDN impedance

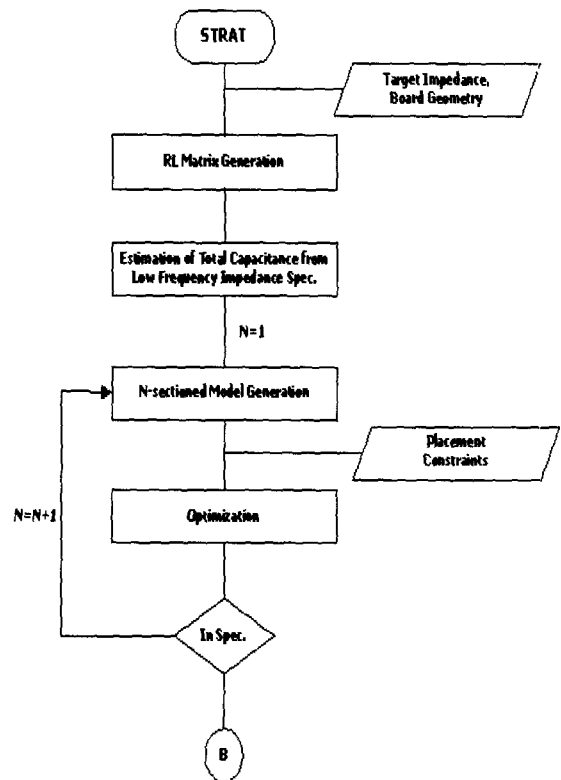
그림 1. 디지털 시스템의 분석과 모델링. CB:보드 상호 커패시턴스, Ci:Decoupling 커패시터, ESR:Decoupling 커패시터의 series 레지스턴스, ESL:Decoupling 커패시터의 series 인덕턴스, Rpkg:패키지 레지스턴스, Lpkg:패키지 인덕턴스, Conchip:On-chip decoupling 커패시터, 그리고 Ltot:전체 인덕턴스.

Fig. 1. Modeling and analysis of a digital circuit system. CB: Interplane capacitance of board, Ci:Decoupling capacitors, ESR:Effective series resistance of decoupling capacitors, ESL:Effective series inductance of decoupling capacitors, Rpkg:Effective resistance of package, Lpkg:Effective inductance of package, Conchip:On-chip decoupling capacitors. Ltot:Effective total inductance.

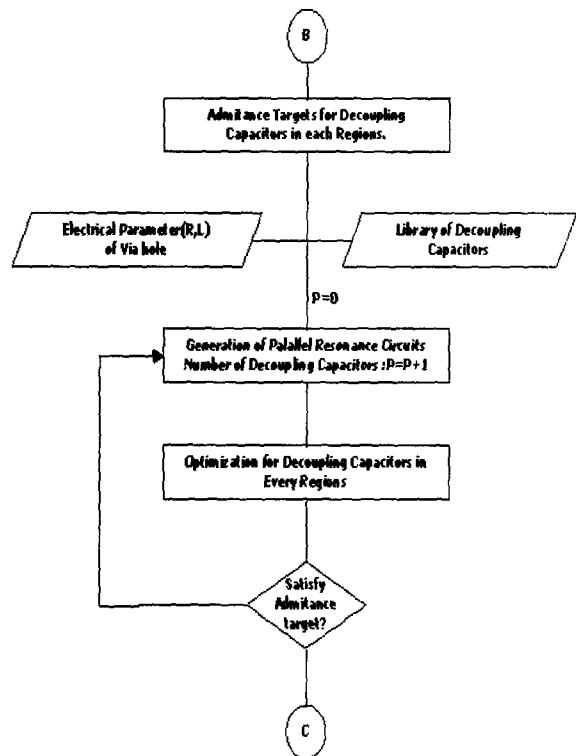
v계산하는데 많은 시간이 소모된다.

그러나 제안된 방법인 Path-based equivalent circuit model은 lumped circuit model로 장점은 1)Physical 파라미터와 임피던스 특성 커브의 직접적인 관계를 볼 수 있으며, 2)펜으로도 빠르고 간단히 계산 할 수 있다는 것이다.

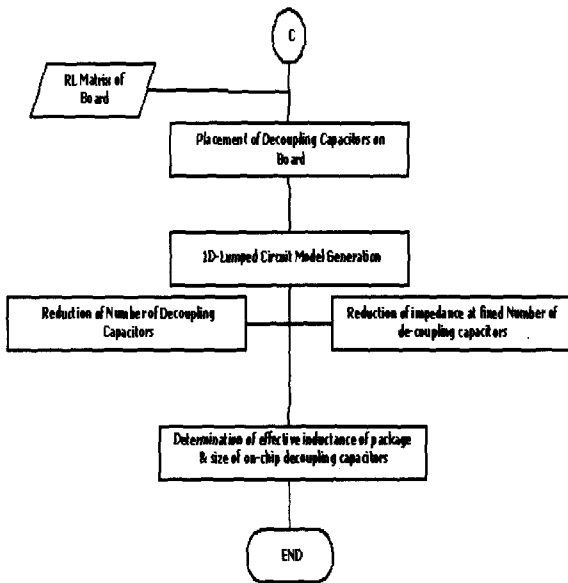
이 논문은 원하는 임피던스를 가지는 PDN 설계를 위한 방법을 설명하고, 이러한 design flow를 통하여 설계된 board를 digital system에 대한 PDN의 영향의 분석을 위해 적용하였다.



(a) 전체 decoupling 커패시터와 배치 결정  
(a) Determination of the total de-coupling capacitance and regional placement



(b) decoupling 커패시터의 수와 타입 결정  
(b) Determination of the number of decoupling capacitors and their types



- (c) 배치와 최적화
- (c) Placement and optimization

그림 2. 디지털 시스템의 PDN을 위한 제안된 설계 방법 순서도.

Fig. 2. Flowchart of the proposed design methodology for power distribution networks of digital circuit system.

## II. PDN 시스템을 위한 임피던스 특성 분석

그림 1은 path-based equivalent 회로를 이용한 파워 버스 모델링과 임피던스 특성을 보여준다. 시스템 파워 버스 임피던스 특성은 그림 1 (a)와 (b)처럼 geometry 관계된 주파수 범위에 따라 3가지로 나눌 수 있다. 저주파수의 임피던스 크기는 PDN상의 decoupling 커패시터의 전체 커패시턴스로 결정된다. Decoupling 커패시터 사이의 Parallel과 series의 resonance는 중간주파수에서 임피던스 특성을 보인다. 마지막으로 고주파수의 특성 임피던스는 보드와 패키지의 전체 인덕턴스와 패키지 그리고 on chip decoupling 커패시턴스에 의해 결정된다. 그러므로, 저주파수 범위의 임피던스 특성은 커패시턴스의 위치에 따라 변경 될 수 있다. 중간주파수의 임피던스 특성은 SMT decoupling 커패시턴스에 의해 이끌어낸 레지스턴스, 인덕턴스 영향의 감소로 조절할 수 있다. 고주파수에서 on-chip decoupling 커패시턴스와 패키지 파라스틱은 parallel resonance을 생성하며, parallel resonance에 의한 임피던스 특성의 주파수는 on-chip decoupling 커패시터와 board-high order resonance에 의해 결정된다. On-chip decoupling 커패시턴스 뿐만 아니라 패키지 파라스틱의 감소의 여부는

PDN 설계의 열쇠라고 할 수 있다.

## III. 제안된 설계 과정

그림 2는 제안된 방법의 순서도를 보여주며, 그림.1에서 보여주는 분석과 path-based equivalent 회로 모델을 사용하였다. 그림 1은 개수, 값, decoupling 커패시터의 위치 뿐만 아니라 리드의 레지스턴스와 인덕턴스의 영향과 같은 physical 파라미터 때문에 가능하고, via hole은 그림 1과 같은 방법으로 바로 결정 할 수 있다. 결론은 3개로 나눌 수 있는데 첫 번째, 1)칩으로부터 보드상의 net point까지 인덕턴스와 레지스턴스는 거리의 함수로 계산한다. RL(레지스턴스와 인덕턴스)의 계산으로부터 보드 파라스틱 테이블을 결정한다. 2)원하는 보드 임피던스와 주어진 전체 시스템의 파워를 계산한다. 3)Power-ground planes 임피던스를 계산한다. 4)전체 decoupling 커패시턴스를 결정한다. 5)원하는 임피던스에 최적화 한 후 보드는 N-지역으로 나누며 이들이 어드미턴스값은 각 지역에서 계산된다. 계산을 위해 고려된 것은 전체 커패시턴스, 인덕턴스 영향, decoupling 커패시터의 레지스턴스의 영향이다. 두 번째, decoupling 커패시터, via 파라스틱, 그리고 보드 파라스틱과 같은 회로 구성요소와 함께 지역의 특성에 맞도록 decoupling 커패시터를 set을 결정한다. 이러한 과정으로, decoupling 커패시터의 전체 수는 결정된다. 마지막으로, 세 번째, 1)decoupling 커패시터는 보드에 위치한다. decoupling 커패시터의 보드상의 위치는 칩으로부터 커패시터까지의 거리 함수로써 표현된 RL 테이블에 의해 결정된다. 2)Path-based equivalent circuit model은 decoupling 커패시터의 개수 결정을 위해 사용했으며, 알맞은 최적의 capacitor의 수 또는 고정된 캐패시터의 수의 임피던스 결정을 위해 사용했다. 보드상의 PDN의 설계 후, 칩은 보드 표면에 올려진다. 설계자는 보드의 재설계를 원하지 않으므로, 패키지의 파워 버스의 인덕턴스와 on-chip decoupling 커패시턴스의 영향을 주의하여 결정해야 하고 on-chip 파워 버스의 측면에서 본 임피던스를 조정해야 한다.

## IV. 예제와 토의

그림 3은 채널 신호상의 PDN의 영향 분석을 위한 테스트 보드이며, 그림 2와 같은 방법으로 설계 되었다. 보드가 목표로 하는 임피던스 스펙은 100KHz부터

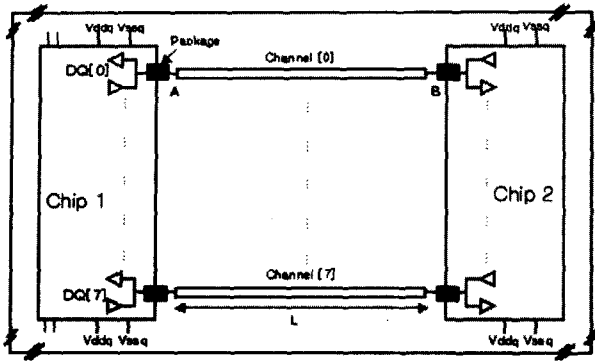


그림 3. 테스트 보드의 채널 배치도. 보드크기는 12.5cm × 12.5cm이며, 보드상 칩의 위치는 중앙이다.

Fig. 3. Channel configuration under the test. The board size is given by 12.5 cm by 12.5cm. The chip locations on the tested board are centered.

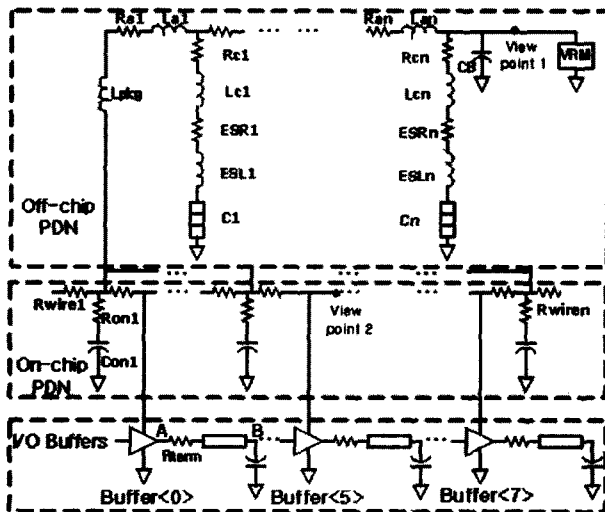
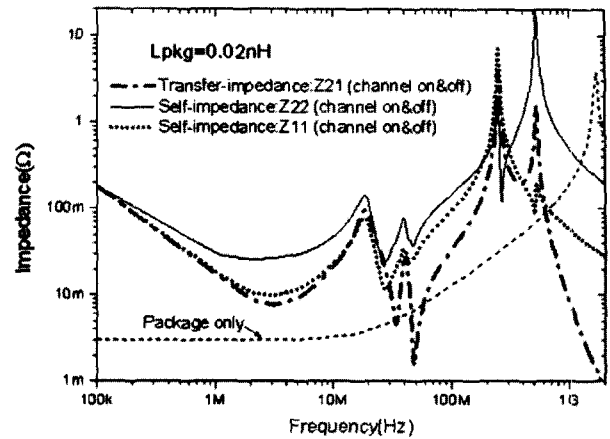


그림 4. 그림 3의 Chip1과 Chip2의 채널과 PDNs의 모델링.

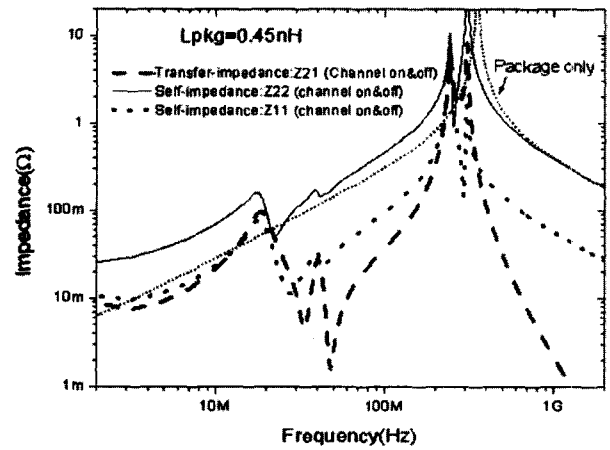
Fig. 4. Modeling the PDNs and channels of Chip 1 and Chip 2 as shown in Fig. 3.

400MHz까지 주파수 범위 상에 50Ω으로 설계되었다. 테스트 geometry는 12.5cm × 12.5cm 크기이고, 플랜과 플랜 사이의 거리는 200μm이다. Dielectric constant는 그림 3에서 보이지는 않지만 보드상에 위치하며 그림 4에 모델이 되어 있다.

그림 4에서 5개의 버퍼 드라이버가 구성되어 있는데 이것은 20Ω부터 60Ω까지 10Ω씩 채널 임피던스 영향을 조절할 수 있다. 또한 드라이버는 전형적인 push-pull 구조로 되어 있다. 그림 4의 Rtem은 38Ω이며, I/O핀의 인덕턴스와 커패시턴스는 3.5nH, 0.5pF이다. 채널의 특성 임피던스는 60Ω, 칩 2의 I/O는 3.5pF, 11Ω이다. 채널 라인의 전체 길이는 7.5cm로 시뮬레이션 하였다. On-chip PDN 모델링은 라인 레지스턴스와 MOS decoupling 커패시턴스를 포함하며, 분배 RC 망으로 분석 되었다. 칩



(a) Lpkg=0.02nH



(b) Lpkg=0.45nH

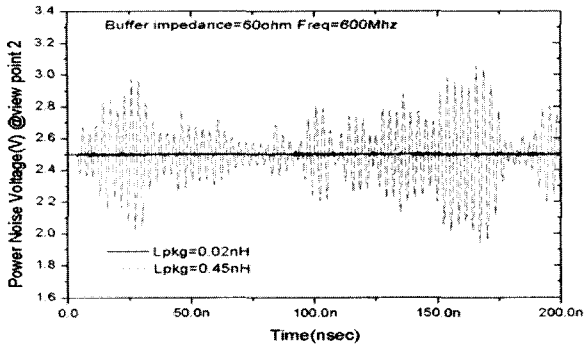
그림 5. PDN 상의 view point 1 과 view point 2의 self 임피던스와 transfer 임피던스.

Fig. 5. Self and transfer Impedances of view point 1 and view point 2 on PDNs.

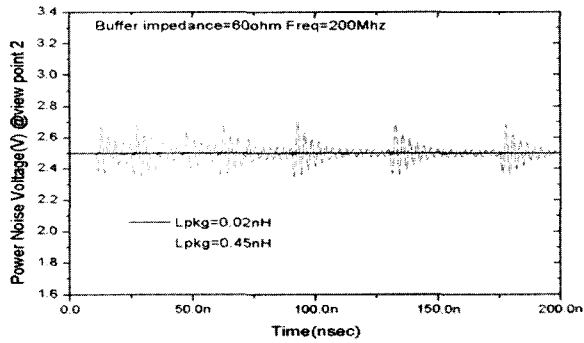
에 사용된 각 I/O 시스템은 8개의 버퍼이다. 즉, 칩당 X8 채널이다.

그림 5(a)와 (b)는 physical 레이아웃 후 마지막 설계된 모델링의 임피던스를 보여준다. 각 임피던스는 PEEC 시뮬레이션 결과 비교를 통해 증명된다. 첫 번째, 그림 5(a)와 (b)에 패키지 인덕턴스는 PDN 임피던스 특성에 영향을 받더라도, 보드 PDN의 존재는 그림에서 보여지는 임피던스 커브의 영향은 중요하다 할 수 있다. 이 요인은 보드의 PDN은 채널을 통한 정확한 신호 전송을 위해 무시할 수 없는 것을 의미한다.

또한 그림 5는 시스템 PDN은 칩 파라스틱, 패키지 그리고 보드 사이의 간섭에 의해 결정된다는 것을 보여준다. 이것은 칩의 early stage co-design의 중요성을 보여주며 패키지와 보드는 디지털 시스템이 만족할 만한 동작을 보이기 위해 필요하다는 것을 의미한다.



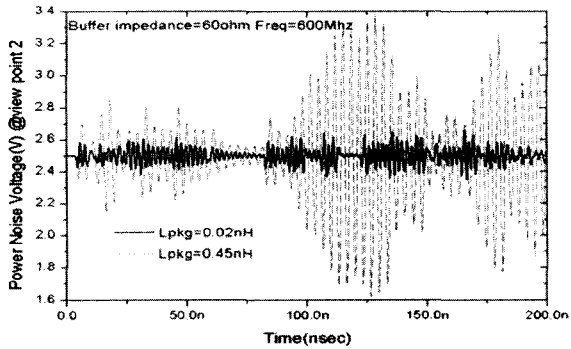
(a) Frequency=600Mhz



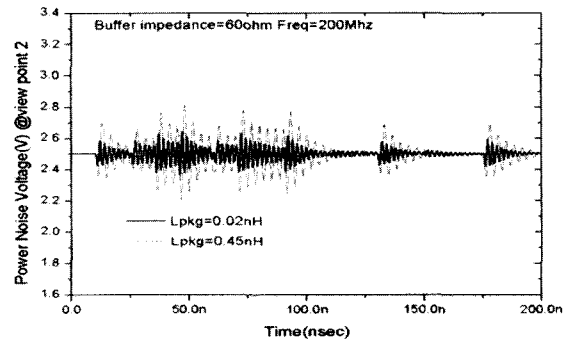
(b) Frequency=200Mhz

그림 6. 그림 4의 view point2에서의 노이즈.(PDN이 없을 경우)

Fig. 6. Noise voltage at view point 2 in Fig. 4. (without PDN)



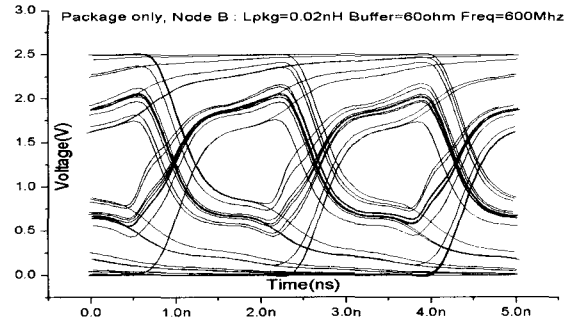
(a) Frequency=600Mhz



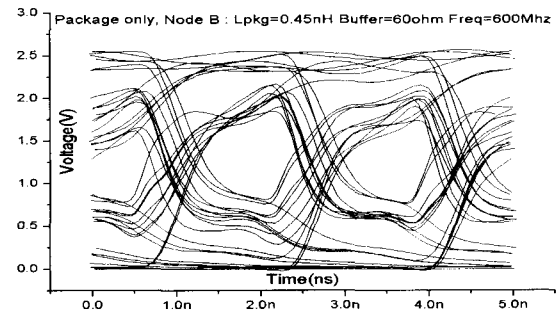
(b) Frequency=200Mhz

그림 7. 그림 4의 view point 2에서의 노이즈(전체 PDN 시스템).

Fig. 7. Noise voltage at view point 2 in Fig. 4.(with whole PDN system)



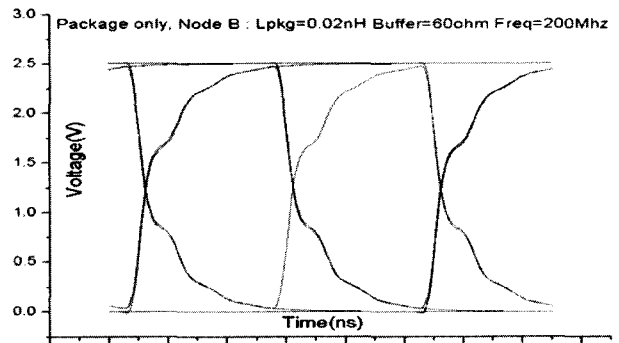
(a) Lpkg=0.02nH, Frequency=600Mhz



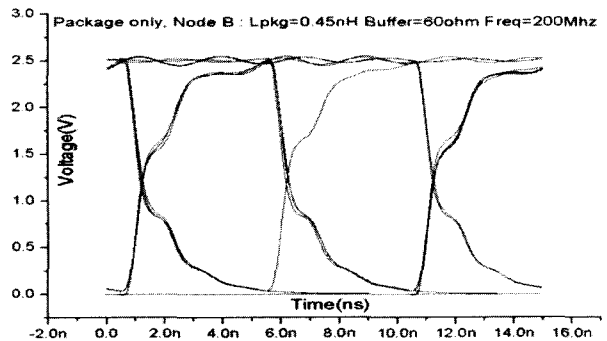
(b) Lpkg=0.45nH, Frequency=600Mhz

그림 8. 그림 4의 버퍼<5>의 NodeB의 eyediagram (PDN이 없을 경우).

Fig. 8. Eye diagram at Node B of Buffer <5> in Fig. 4. (without PDN).



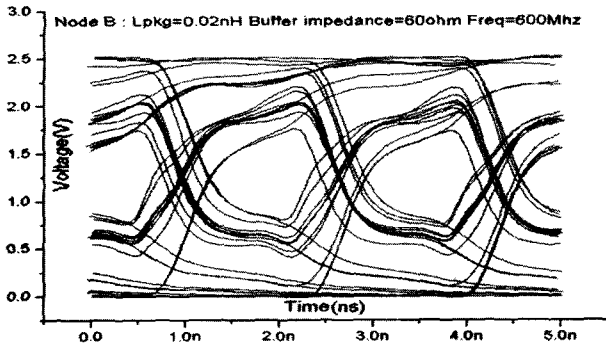
(a) Lpkg=0.02nH, Frequency=200Mhz



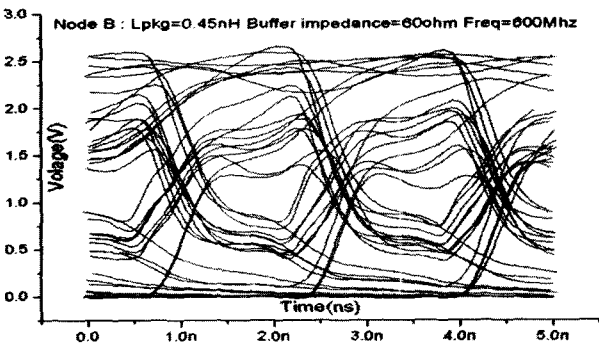
(b) Lpkg=0.45nH, Frequency=200Mhz

그림 9. 그림 4의 버퍼<5>의 NodeB의 eyediagram (PDN이 없을 경우).

Fig. 9. Eye diagram at Node B of Buffer <5> in Fig. 4. (without PDN).



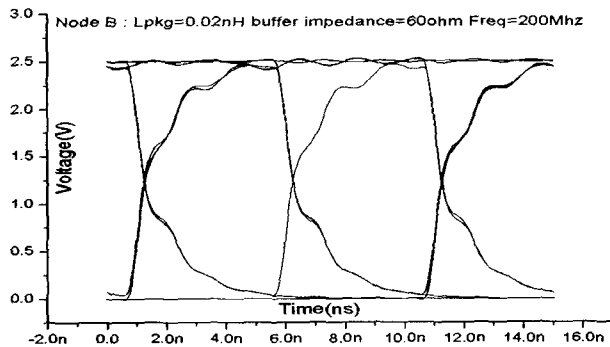
(a) Lpkg=0.02nH, Frequency=600MHz



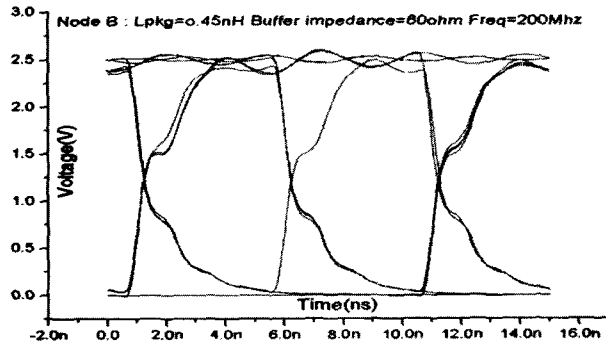
(b) Lpkg=0.45nH, Frequency=600MHz

그림 10. 그림.4의 버퍼<5>의 NodeB의 eyediagram(전체 시스템).

Fig. 10. Eye diagram at Node B of Buffer <5> in Fig. 4. (with whole PDN System).



(a) Lpkg=0.02nH, Frequency=200MHz



(b) Lpkg=0.45nH, Frequency=200MHz

그림 11. 그림.4의 버퍼<5>의 NodeB의 eyediagram(전체 시스템).

Fig. 11. Eye diagram at Node B of Buffer <5> in Fig. 4. (with whole PDN System).

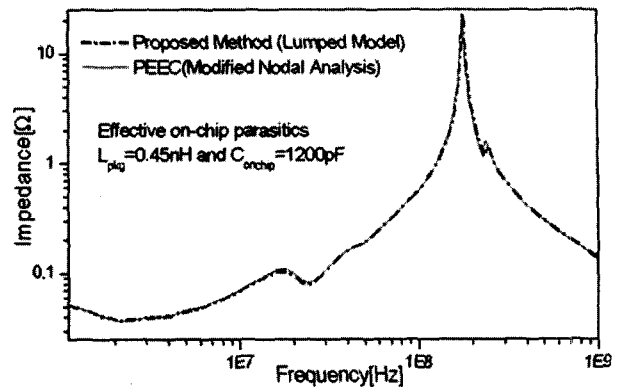


그림 12. PEEC 모델과 Lumped 모델 비교.

Fig. 12. Comparison with PEEC model and proposed lumped circuit model.

패키지를 보면, 그림 5(a)는 BGA 패키지와 함께 on-chip 파워 버스 측면에서 본 것이며, 그림 5(b)는 LOC(Lead On Chip) 패키지로써 낮은 임피던스의 칩이 붙은 on-chip decoupling 커패시터와 패키지 파라스틱 영향의 공진을 보여준다.

그림 6는 보드 PDN 모델 없이 패키지만 있는 시스템일 경우 view point 2의 노이즈를 보여주며 패키지 인덕턴스가 다를때 주파수가 200MHz일때와 600MHz일때를 보여준다. 버퍼의 on-채널 임피던스의 영향은 채널 라인의 특성 임피던스의 매치를 위해 선택된다. 노이즈 레벨은 그림 6(a)와 (b)에 의해 패키지 인덕턴스에 종속적인 것을 보여주며, 그림 7(a)와 (b)에 의해 PDN에도 종속적인 것을 보여준다.

보드 PDN 모델링이 존재할 경우 패키지만 있을 경우보다 높은 노이즈 레벨을 보여준다. 그림 8부터 11은 버퍼<5>의 노드 B의 eyediagram이며 PDN 모델링이 있는 경우와 없는 경우의 시뮬레이션을 보여주며 추가적으로 주파수가 200MHz일때와 600MHz일 때의 시뮬레이션과 패키지 인덕턴스의 값이 다를 때를 병행하여 시뮬레이션 했다. 시뮬레이션 조건은 그림 5와 동일하다. 주목해야 할 것은, 신호의 eyediagram은 보드의 PDN이 있을 경우와 없을 경우에 따라 영향이 다르다. 결과는 I/O 채널 설계 방법의 기본개념의 변화가 필요함을 뜻한다. 그리고 패키지 인덕턴스의 영향을 무시할 수 없다는 것도 확인 할 수 있다. Early-stage I/O 채널과 전체 PDN 설계 협력관계는 초고속 디지털 시스템 설계를 위해 필요하다.

그림 12는 on-chip 파워 버스에서 본 인덕턴스의 영향을 보여준 그래프이며, PEEC 모델과 제안된 모델의 비교를 한 것으로 두 모델의 차이가 거의 없는 것을 확인할 수 있다.

이 설계 개념을 잡기 위하여, 우리는 다양한 형태의 보드에 칩을 올렸고, 그 결과로써 빠르고 정확한 보드 설계 방법을 소개했다. 우리가 제안한 방법은 많은 도움을 줄 수 있을 것이다.

### V. 결론

이 논문은 패키지 파워 버스와 on-chip 버스가 고려된 새로운 설계 방법을 multilayer PCB의 PDN을 통해 설명했다. 이 방법은 path-based equivalent 회로 모델을 기본으로 했으며 매우 빠르고 단순하다. 예를 들면, 제안된 방법의 증명은 test 보드상의 PEEC 결과로 체크할 수 있다. 또한 우리는 칩, 패키지 그리고 보드의 협력 설계 개념의 필요성을 보여주었다.

### 참고 문헌

- [1] J.Kim and M.Swaminathan, "Modeling of irregular shaped power distribution planes using transmission matrix method," IEEE Transactions on Advanced Packaging, vol.24, no.3, pp.334-346, Aug. 2001.
- [2] D.Herrel and B.Becker, "Modeling of power distribution system for high performance microprocessors," IEEE Transaction on Advanced Packaging, vol.22, no.3, pp.240-248, Aug. 1999.
- [3] Yong-Ju Kim, et al, "A New Circuit Model for Power Plane Considering Decoupling Capacitance in Multi-Layer Digital Applications", IEEE proceeding on Electrical Performance of Electronic Packaging,(Monterey, CA), pp.187-190, Oct. 2002.

---

### 저 자 소 개

---

#### 이 상 민(정회원)

2003년 한림대학교 정보통신공학부 학사 졸업  
 2003년~현재 한림대학교 전자공학과 석사과정

#### 문 규(정회원)

1982년 서울대학교 공과대학 제어계측과 졸업 (공학학사)  
 1990년 조지워싱턴대학교 전기 및 컴퓨터공학과 졸업(공학석사)  
 1993년 조지워싱턴대학교 전기 및 컴퓨터공학과 졸업(공학박사)  
 1982년 3월~1988년 5월 한국전자통신연구소 연구원  
 1993년 9월~현재 한림대학교 정교수  
 <주관심분야: 아날로그 반도체 설계 및 초고속 초전도 회로, 반도체 설계기술 및 설계 자동화 등>



#### 위 재 경(정회원)

1988년 연세대학교 물리학과 학사 졸업  
 1990년 서울대학교 물리학과 석사 졸업  
 1998년 서울대학교 전자공학과 박사 졸업

1990년~2002년 하이닉스전자 메모리연구소 근무  
 2002년~2004년 한림대학교 정보통신 공학부 조교수  
 2004년~현재 숭실대학교 조교수.  
 <주관심연구분야 System-in-Package 설계 및 고속 SoC, high speed I/O interface, DLL/PLL, Mixed Mode 설계.>

