

논문 2004-41SD-4-4

# PMOS에 적합한 Mo 전극의 전기적 화학적 안정성 (Electrical and Chemical Stability of Mo Gate Electrode for PMOS)

노영진\*, 이충근\*, 홍신남\*

(Young-Jin Noh, Chung-Keun Lee, and Shin-Nam Hong)

### 요약

본 논문에서는 Mo를 PMOS의 금속 게이트로 사용하였을 때의 Mo의 특성에 대해서 연구 하였다. Mo를 게이트 물질로 사용한 MOS 커패시터를 제작하였고, 소자의 C-V 특성 곡선으로부터 일함수를 추출하였다. 그 결과 Mo 게이트는 PMOS에 적합한 일함수를 나타내는 것을 알 수 있었다. Mo의 전기적/화학적 안정성을 검증하기 위해서 600, 700, 800 그리고 900°C에서 금속 열처리를 수행하였으며 열처리 이후 유효 산화막의 두께와 일함수의 변화를 살펴보았다. 또한 900°C 열처리 이후의 XRD 분석을 통해서 Mo 금속 게이트가 SiO<sub>2</sub>에 대해서 안정하다는 것을 확인하였다. 4점 탐침기로 측정한 Mo 금속 게이트의 면저항은 10 Ω/□ 미만으로 폴리 실리콘에 비해서 매우 작은 값을 나타냈다.

### Abstract

In this paper, the properties of Mo as PMOS gate electrodes were studied. The work-function of Mo extracted from C-V characteristic curves was appropriate for PMOS. To identify the electrical and chemical stability of Mo metal gate, the changes of work-function and EOT(Effective Oxide Thickness) values were investigated after 600, 700, 800 and 900°C RTA(Rapid Thermal Annealing). Also it was found that Mo metal gate was stable up to 900°C with underlying SiO<sub>2</sub> through X-ray diffraction measurement. Sheet resistances of Mo metal gate obtained from 4-point probe were less than 10 Ω/□ that was much lower than those of polysilicon.

**Keywords :** Mo, Metal Gate, Work-function, RTA, Sheet Resistance

### I. 서론

CMOS 소자의 크기가 100nm 이하로 감소하면서 기존에 게이트 물질로 사용되었던 폴리 실리콘을 금속으로 대체하려는 연구가 활발히 진행되고 있다<sup>[1-2]</sup>. 금속 게이트는 폴리 실리콘에 비해서 여러 가지 장점을 가지고 있다. 우선 면저항(sheet resistance)이 월등히 낮아서 금속 게이트는 미래의 저 전력 소자에 적합하다고 할 수 있다. 또한 폴리 실리콘의 대표적인 문제인 폴리 공핍 현상(poly depletion effect)이 일어나지 않는다는 장점이 있다<sup>[4]</sup>.

그림 1은 폴리 실리콘의 도핑 농도 분포에 따른 폴리

공핍 현상을 나타내고 있다.

그림에서 E<sub>v</sub>, E<sub>i</sub>, E<sub>t</sub>, E<sub>c</sub>는 각각 가전자대 에너지 준위, 진성 페르미 에너지 준위, 페르미 에너지 준위, 그리고 전도대 에너지 준위를 나타낸다. 또한 X1과 X2는 폴리 실리콘 상단과 하단의 위치, 그리고 N<sub>d,X1</sub>, N<sub>d,X2</sub>는

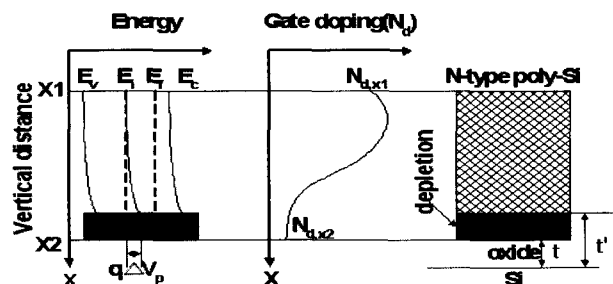


그림 1. 도핑 농도 분포에 따른 폴리 공핍 현상 (N-type 폴리실리콘)

Fig. 1. Poly depletion effect along doping distribution (N-type polysilicon).

\* 정희원, 한국항공대학교 전자·정보통신·컴퓨터공학부 (School of Electronics, Telecommunication, and Computer Eng., Hankuk Aviation University)  
접수일자 : 2003년12월4일, 수정완료일: 2004년3월19일

X1과 X2 위치에서의 도핑 농도를 나타낸다. 최근에는 접합 깊이를 얇게 형성하기 위해 또는 여러 가지 열처리 조건에 대한 제약 때문에 폴리 실리콘에 불순물을 도핑 하였을 경우에 폴리 실리콘의 하단 부분에 반송자의 농도가 매우 작은 지역이 나타나게 된다. 이 지역이 그림 1에 나타나 있는 (t'-t) 지역이다. 이러한 폴리 공핍 현상 때문에  $\Delta V_p$ 와 같은 여분의 전압 강하가 발생되고 또한 (t'-t) 만큼 유효 산화막 두께(effective oxide thickness: EOT)도 증가하게 된다<sup>[4]</sup>. 그러나 일반적으로 금속 게이트는 1022 cm<sup>-3</sup> 이상의 높은 반송자 농도를 갖고 있기 때문에 폴리 공핍 현상을 해결할 수 있다. 따라서 폴리 실리콘을 금속 게이트로 대체하기 위한 현재 연구가 많이 진행되고 있다<sup>[5-9]</sup>.

금속이 폴리 실리콘을 대체하여 게이트 물질로 사용되기 위해서는 다음과 같은 조건을 만족해야만 한다. 첫째, 금속은 적합한 일함수를 가지고 있어야 한다. 즉 p+ 폴리 실리콘과 n+ 폴리 실리콘을 대체하면서 동일한 특성을 유지하기 위해서 금속은 PMOS와 NMOS에서 각각 4.0과 5.0eV 정도의 일함수를 가지고 있어야 한다. 둘째로, 금속 증착 공정이 기존 공정의 틀에서 크게 벗어나지 않아야 한다. 만약에 기존 공정에서 크게 벗어난다면 공정 비용이 많이 들게 될 것이고 또한 증착 과정에서 많은 어려움이 따를 것이다. 마지막으로, 소자 제작 과정에서는 금속 게이트 증착 후 후속 열처리가 뒤따르기 때문에 금속 게이트는 게이트 절연막과 전기적으로 화학적으로 안정해야 한다. 예를 들어 Ta과 Ti 같은 금속은 SiO<sub>2</sub>와 반응을 일으켜 새로운 계면층을 형성하게 된다<sup>[10]</sup>. 이렇게 형성된 계면층은 소자의 전기적인 특성을 저하시키는 요인이 되기 때문에 Ta과 Ti은 게이트 물질로 적합하지 못하다. 본 연구에서는 Mo을 게이트 전극으로 사용한 MOS 커패시터를 제작하여 일함수 값을 측정하였고 여러 온도에서 금속 열처리를 수행한 후 여러 측정 장비를 이용해서 금속 게이트 전극과 SiO<sub>2</sub>의 전기적/화학적 안정성을 조사하였다.

## II. 실험

MOS 커패시터를 제작하기 위하여 (100) n형 실리콘 기판 위에 3500Å과 100Å의 필드 산화막(field oxidation)과 게이트 산화막을 열 산화법으로 성장시켰다. 순도 99.95%의 Mo 타겟을 3×10<sup>-9</sup> torr의 기본 압력(base pressure)에서 스퍼터링을 수행하여 500Å의

금속 게이트 전극을 증착시킨 후 lift-off 방법을 이용하여 100×100μm<sup>2</sup> 패턴으로 MOS 커패시터를 제작하였다. 그 후에 금속 게이트의 산화를 방지하기 위해 Mo 위에 Ru을 스퍼터링하였다.

제작된 MOS 커패시터의 C-V(capacitance-voltage) 특성을 측정하기 위해 HP 4280 LCR meter(1MHz)를 사용하였다. 측정된 C-V 곡선으로부터 평탄 전압(flat-band voltage)과 유효 산화막의 두께를 얻어 내었으며 그 값으로 Mo의 일함수 값을 구했다<sup>[3]</sup>. 재료적인 분석으로 4점 탐침기로 시편의 면저항을 측정하였고 파장이 1.54056Å인 Cu Kα의 X-ray diffraction 분석을 통해서 금속 게이트와 게이트 절연막 사이의 계면 특성을 분석하였다. 반도체 공정에서는 게이트 형성 후에 후속 열처리 공정이 뒤따르게 된다. 따라서 이 경우 형성된 금속 게이트의 안정성을 검증해야 한다. Ar 분위기에서 각각 600, 700, 800, 그리고 900°C에서 10초간 금속 열처리를 실행한 후 앞의 방법과 동일하게 전기적 특성과 재료적 특성을 반복하여 측정하였다.

## III. 결과 및 고찰

그림 2는 제작된 MOS 커패시터를 열처리하지 않고 측정된 C-V 특성 곡선을 나타내고 있다.

C-V 곡선으로부터 평탄 전압과 유효 산화막 두께를 얻은 후 다음 식을 이용하여 일함수를 추출할 수가 있었다.

$$V_{FB} = \Phi_{MS} \pm Q_o / C_{acc} \quad (1)$$

$$\Phi_{MS} = \Phi_M - \left( \chi + \frac{E_g}{2q} - \Psi_B \right) = 0 \quad (2)$$

식 (1)에서  $V_{FB}$ 는 평탄 전압,  $C_{acc}$ 는 축적 상태의 정전용량,  $Q_o$ 는 절연체 내의 전하(oxide charge)를 나타낸다. 그리고 수식에서 고정 전하가 음전하인 경우 (+)부호 수식을 만족하고 양전하인 경우 (-)부호 수식을 만족한다. 그리고 식 (2)에서  $\Phi_{MS}$ 는 금속과 반도체의 일함수 차이,  $\Phi_M$ 은 금속의 일함수,  $\chi$ 는 반도체의 전자 친화도,  $E_g$ 는 반도체의 가전자 대역과 전도대역의 차이를 나타낸다. 그리고  $\Psi_B$ 는  $E_f$ 와  $E_i$ 의 에너지 차를 나타낸다.

추출된 Mo 금속 게이트의 일함수는 열처리 전에 5.12eV를 나타냈다. 그러나 열처리 전의 시편에는 어느

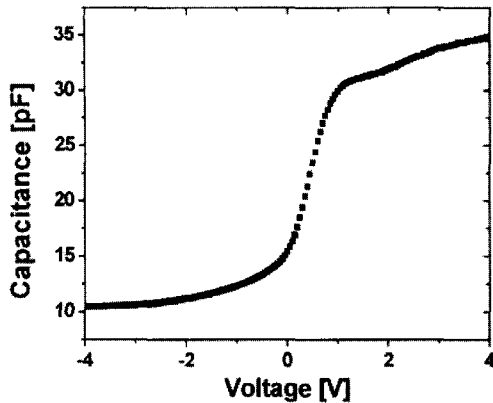


그림 2. 열처리 전의 Mo 금속 게이트 MOS 커패시터의 C-V 특성 곡선  
 Fig. 2. C-V curve of as-deposited Mo-gated MOS capacitor.

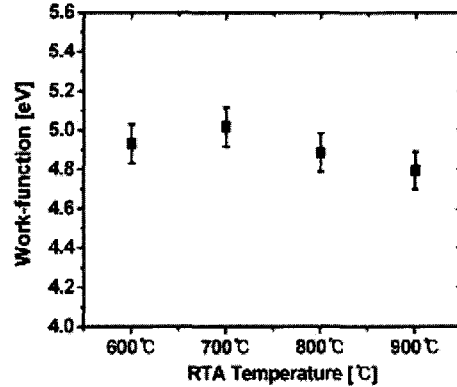


그림 4. 열처리 온도에 따른 일함수의 변화  
 Fig. 4. Changes of work-function with the annealing temperature.

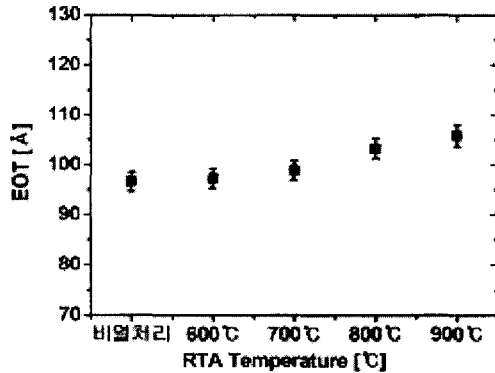


그림 3. 열처리 온도에 따른 유효 산화막 두께의 변화  
 Fig. 3. Changes of EOT with the annealing temperature.

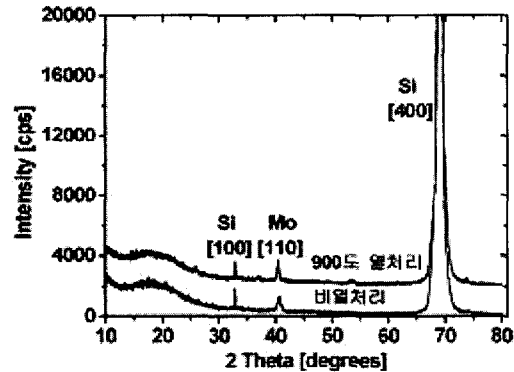


그림 5. 비열처리와 900°C 열처리 이후 XRD 측정 결과  
 Fig. 5. The XRD results of as-deposited and after 900°C annealed sample.

정도 sputter damage가 남아 있기 때문에 이 값이 Mo의 실제 일함수라고 할 수 없다. 따라서 600°C 열처리를 수행하여 sputter damage를 제거하고 측정된 Mo의 일함수 분포를 살펴보면 대략 4.80eV로 PMOS에 적합한 특성을 나타냈다.

Mo 금속 게이트의 전기적/화학적 안정성을 검증하기 위해서 Ar 분위기에서 600, 700, 800, 900°C에서 급속 열처리 공정을 10 초간 수행한 후 유효 산화막의 두께와 일함수 변화를 살펴보았다. 만약에 Mo 금속 게이트가 SiO<sub>2</sub>에 대해서 전기적/화학적으로 안정하지 못하다면 게이트 절연막과 반응을 일으켜 새로운 계면층을 형성하여 유효 산화막의 두께에 변동을 가져 올 것이고 또한 일함수 값에 영향을 주어 소자의 전기적인 특성이 저하 된다<sup>[5]</sup>.

그림 3은 열처리에 따른 유효 산화막 두께의 변화를 나타내고 있다. 700°C까지 열처리를 수행하였을 경우 유효 산화막의 두께 변화가 2Å 정도로 미미하였지만

800°C, 900°C 열처리 이후에 유효 산화막 두께가 대략 열처리 전과 비교해서 8.2Å정도 증가하였다.

그림 4는 열처리에 따른 일함수 변화를 보여 주고 있다. 그림을 살펴보면 800°C와 900°C 열처리 후 일함수 값이 감소하는 경향이 나타났지만 900°C 열처리 이후에도 PMOS 게이트 전극에 적합한 일함수 값을 나타냈다. 즉 후속 열처리 이후에도 소자의 일함수 값이 PMOS에 적합한 안정한 특성을 나타낸다는 것을 알 수가 있다.

금속 게이트와 게이트 산화막 계면의 열처리 후의 안정성은 XRD(X-ray diffraction) 측정으로 확인할 수 있다. 그림 5에서는 열처리 전과 900°C 급속 열처리 이후에 측정된 XRD 결과를 비교 분석해 놓았다. 그림 5를 살펴보면 소자 제작 후 열처리를 수행하지 않았을 때 Si, Mo 피크 말고는 다른 결정 구조를 갖는 물질이 나타나지 않았음을 알 수가 있다<sup>[11]</sup>. 그리고 900°C 열처리 이후에도 비열처리와 거의 동일한 결과를 보이는 것을

알 수 있다. 즉 900°C 열처리 이후에도 Mo 게이트가 SiO<sub>2</sub>에 대해서 열적으로 안정하다는 것을 나타낸다.

Mo의 안정성은 열역학적인 분석을 통해서도 확인 할 수가 있다<sup>[12]</sup>. 표 1에는 900°C에서 Mo과 SiO<sub>2</sub>와의 반응식과 그에 따른 생성 반응 Gibbs 자유 에너지를 보여 주고 있다<sup>[13]</sup>. 모든 반응식에 대해서 생성 반응 Gibbs 자유 에너지는 모두 양수 값을 가지는 것을 볼 수가 있다. 반응식의 좌측을 반응물, 우측을 생성물이라고 가정했을 경우 모든 반응식이 양수 값의 Gibbs 자유 에너지를 가지기 때문에 반응이 좌측으로 진행된다는 것을 알 수가 있다<sup>[14]</sup>. 즉 Mo은 SiO<sub>2</sub>와 반응을 일으키지 않고 서로 공존한다는 것을 알 수가 있다.

그림 6은 900°C에서 Mo-Si-O 시스템의 모든 반응식과 Gibbs free energy를 이용하여 얻어진 삼원계 상태도이다. 그림을 살펴보면 Mo과 SiO<sub>2</sub> 사이에 반응선(tie line)이 존재하지 않는 것을 볼 수가 있다. 즉 Mo의 경우에는 어느 정도 고용 한도에 이르기까지 Mo과 SiO<sub>2</sub> 사이에서 서로 내부 확산이 발생하지만 Mo은 SiO<sub>2</sub>와 화학적인 반응을 일으키지 않는 안정한 물질임을 알 수가 있다<sup>[12]</sup>.

그림 7은 각각 다른 온도에서 급속열처리에 따른 Mo 급속 게이트 MOS 커패시터의 C-V 특성 곡선을 보여 주고 있다. 비열처리에 비해서 600°C로 열처리를 수행했을 경우에 V<sub>FB</sub>가 왼쪽으로 이동한 것을 알 수 있다. 이것은 sputter damage와 고정 전하의 감소에 기인 한다<sup>[15]</sup>. 그러나 600, 700, 800 그리고 900°C로 급속열처리를 수행했을 경우에는 V<sub>FB</sub>의 이동이 거의 없고 C-V 곡선이 일치하는 것을 볼 수가 있다. 즉 어느 정도 온도까지는 sputter damage나 고정전하의 영향으로 V<sub>FB</sub>가 이동하지만 그 이상의 온도에서는 안정한 고온 특성을

표 1. 900°C에서 Mo-SiO<sub>2</sub> 시스템에 대한 반응식과 생성 반응 Gibbs 자유에너지.

Table 1. The Gibbs free energy and tie line reactions for Mo-SiO<sub>2</sub> system at 900°C.

반응식	ΔG <sub>r</sub> (kJ/mol)
4Mo+SiO <sub>2</sub> = MoO <sub>2</sub> +Mo <sub>3</sub> Si	221.909
8Mo+3SiO <sub>2</sub> = 3MoO <sub>2</sub> +Mo <sub>5</sub> Si <sub>3</sub>	642.319
3Mo+2SiO <sub>2</sub> = 2MoO <sub>2</sub> +MoSi <sub>2</sub>	530.160
11Mo+3SiO <sub>2</sub> = 2MoO <sub>3</sub> +3Mo <sub>3</sub> Si	880.677
7Mo+3SiO <sub>2</sub> = 2MoO <sub>3</sub> +Mo <sub>5</sub> Si <sub>3</sub>	857.269
3Mo+2SiO <sub>2</sub> = 2MoO <sub>2</sub> +MoSi <sub>2</sub>	530.160

보이고 있다. 또한 축적 상태의 정전 용량 값인 C<sub>acc</sub>도 열처리 전과 비교해서 저하되지 않는 것을 볼 수가 있다. 종합해 보면 900°C 열처리 이후에도 전기적인 특성이 저하되지 않고 안정한 고온 특성을 나타내는 것을 알 수가 있다.

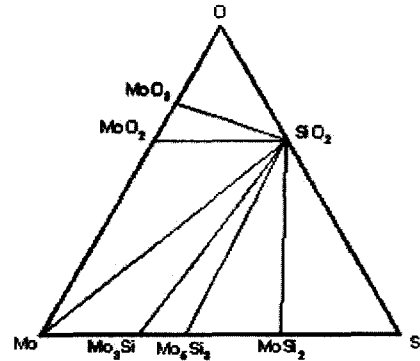


그림 6. 900°C에서 Mo-Si-O 시스템의 삼원계 상태도  
Fig. 6. Ternary phase diagram of Mo-Si-O system at 900°C.

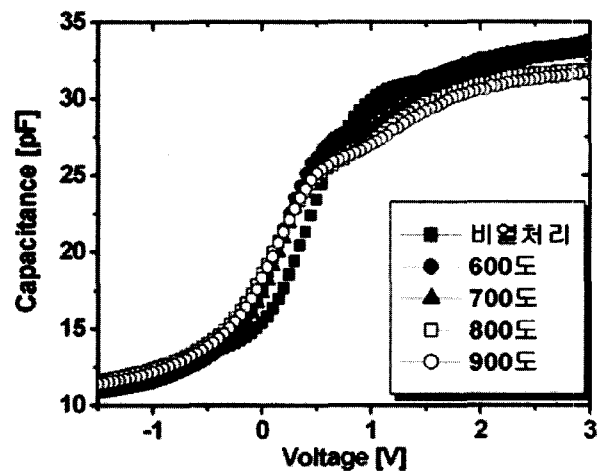


그림 7. 열처리에 따른 MOS 커패시터의 C-V 특성 곡선  
Fig. 7. C-V curves of MOS capacitor for various annealing temperature.

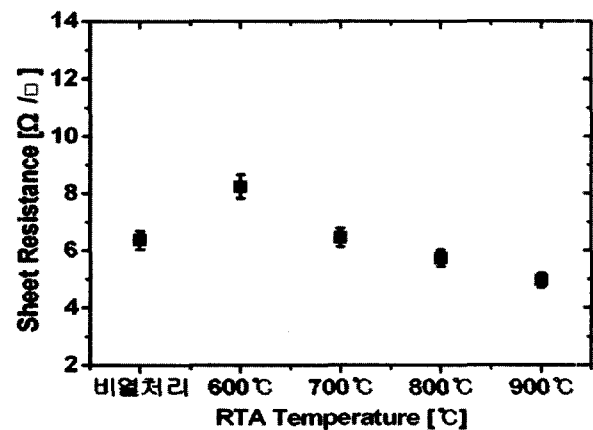


그림 8. 열처리 온도에 따른 면저항의 변화  
Fig. 8. Changes of sheet resistance with the annealing temperature.

열처리에 따른 Mo 금속 게이트의 면저항을 그림 8에 나타내었다. 폴리 실리콘의 면저항이 80  $\Omega/\square$ 에서 수백  $\Omega/\square$  정도의 값을 보이는 반면에 Mo 금속 게이트는 10  $\Omega/\square$  미만의 작은 값을 나타내는 것을 볼 수가 있다<sup>[16]</sup>. 비열처리에서 600°C까지 면저항이 약간 증가했지만 열처리 온도를 증가 할수록 grain size 크기가 증가하면서 grain boundary 밀도가 감소하기 때문에 면저항이 감소하는 경향을 나타냈다<sup>[17]</sup>.

#### IV. 결론

N-type Si 기판 위에 Mo을 금속 게이트로 증착했을 경우 일함수가 600°C 급속 열처리 이후에 4.80eV로 PMOS에 적합한 값을 나타냈다. 전기적/화학적 안정성을 검증하기 위해 여러 온도에서 급속 열처리를 실행하여 유효 산화막 두께와 일함수 변화 분포를 살펴보았다. 유효 산화막 두께의 경우 700°C 열처리까지 변화가 매우 작았지만 800°C, 900°C 열처리 이후에는 열처리 전과 비교해서 8.2Å 정도 증가하였다. 열처리 이후에 Mo 전극의 일함수 값은 900°C 열처리 이후에도 PMOS에 적합한 특성을 나타냈다. 그리고 XRD 데이터를 비교 분석한 결과 Mo 금속 게이트는 SiO<sub>2</sub>에 대해서 900°C 열처리 이후까지 안정한 물질임을 확인 할 수 있었다. 또한 급속 열처리 이후에도 소자의 전기적인 특성이 저하되지 않았다. 결과적으로 Mo을 금속 게이트로 사용했을 경우 PMOS에 적합한 일함수를 나타냈고 900°C까지 전기적/화학적으로 안정한 특성을 나타냈다. 마지막으로 Mo 금속 게이트의 면저항은 10  $\Omega/\square$  미만으로 매우 작은 값을 나타냈다.

#### 참고 문헌

- [1] H. Zhong, S. N. Hong, Y. S. Suh, H. Lazar, G. Heuss and V. Misra, "Properties of Ru-Ta alloys as gate electrodes for NMOS and PMOS silicon devices", IEDM 01, p. 467, 2001.
- [2] H. Iwai, and S. I. Ohmi, "Problems and solutions for downsizing CMOS below 0.1 $\mu$ m", ICE2000 Proc., p. 1, 2000.
- [3] J. R. Hauser et al, "SRC working paper", 1997
- [4] C. H. Choi, P. R. Chidambaram, R. Khamankar, C. F. Machala, Z. Yu, and R. W. Dutton, "Dopant profile and gate geometric effects on polysilicon gate depletion in scaled MOS", IEEE Trans. on Electron Dev., vol. 49, no. 7, p. 1227, 2002.
- [5] V. Misra, G. P. Heuss, and H. Zhong "Use of metal-oxide-semiconductor capacitors to detect interactions of Hf and Zr gate electrodes with SiO<sub>2</sub> and ZrO<sub>2</sub>", Appl. Phys. Lett., vol. 78, no. 26, p. 4166, 2001.
- [6] R. Lin, Q. Lu, P. Ranade, T. J. King, and C. Hu, "An adjustable work function technology using Mo gate for CMOS devices", IEEE Electron Device Lett., vol. 23, no. 1, p. 49, 2002.
- [7] Q. Lu, Y. C. Yeo, P. Ranade, H. Takeuchi, R. J. King, and C. Hu, "Dual-metal gate technology for deep-submicron CMOS transistors", Symposium on VLSI Technology Digest of Technical Papers, p. 72, 2000.
- [8] Y. S. Suh, G. Heuss, H. Zhong, S. N. Hong, and V. Misra, "Electrical characteristics of TaSixNy gate electrodes", Symposium on VLSI Technology Digest of Technical Papers, p. 47, 2001.
- [9] M. A. Pawlak, T. Schram, K. Maex, and A. Van tomme, "Investigation of Iridium as a gate electrode for deep sub-micron CMOS technology" published by Elsevier B.V. 2003.
- [10] T. Ushiki, K. Kawai, I. Ohshima, and T. Ohmi, "Chemical reaction concerns of gate metal with gate dielectric in Ta gate MOS device: An effect of self-sealing barrier configuration interposed between Ta and SiO<sub>2</sub>", IEEE Trans. on Electron Dev., vol. 47, no. 11, p. 2201, 2000.
- [11] Q. Lu, R. Lin, P. Ranade, T. J. King, and C. Hu, "Metal gate work function adjustment for future CMOS technology", Symposium on VLSI Technology Digest of Technical Papers, p. 45, 2001.
- [12] R. Beyers, "Thermodynamic considerations in refractory metal-silicon-oxygen systems", J. Appl. Phys. vol. 56, no. 1, p. 147, 1984.
- [13] I. Brain, "Thermochemical data of pure substances", John Wiley and Sons, p. 1440, 1994.
- [14] D. R. Gaskell, "Introduction to metallurgical thermodynamics", McGraw-Hill, p. 226, 1998.
- [15] H. Zhong, G. Heuss, and V. Misra, "Characterization of RuO<sub>2</sub> electrode on Zr silicate and ZrO<sub>2</sub> dielectrics", Applied Physics Letters, vol. 78, no. 8, p. 1134, 2001.
- [16] J. E. Suarez, B. E. Johnson, and B. El-Karch, "Thermal stability of polysilicon resistors", IEEE, p. 537, 1991.
- [17] T. S. Kalkur, and Y. C. Lu, "Thermal properties of ruthenium dioxide films", Thin Solid Films, vol. 205, p. 266, 1991.

## 저자 소개



노영진(정회원)  
 2002년 한국항공대학교  
 항공재료 공학과 학사졸업  
 2004년 한국항공대학교  
 항공전자 공학과 석사졸업  
 2004년 삼성전자 연구원

<주관심분야: Metal gate electrode>



이충근(정회원)  
 1996년 한국항공대학교  
 항공전자 공학과 학사졸업  
 1998년 한국항공대학교  
 항공전자 공학과 석사졸업  
 1998년 한국항공대학교  
 항공전자공학과 박사과정

<주관심분야: Metal gate electrode, High-k gate dielectric, SOI>



홍신남(정회원)  
 1979년 한양대학교  
 전자공학과 학사졸업  
 1984년 North Carolina State  
 University 석사졸업  
 1989년 North Carolina State  
 University 박사졸업

<주관심분야: Shallow junction, Metal gate electrode, High-k gate dielectric, SOI>